



HAL
open science

Projet de conception d'un processeur NIOS II sur FPGA

Eric Tanguy, Bruno Massé, Philippe Navarro

► To cite this version:

Eric Tanguy, Bruno Massé, Philippe Navarro. Projet de conception d'un processeur NIOS II sur FPGA. CETSIS 2018 (Colloque consacré à l'Enseignement des Technologies et des Sciences de l'Information et des Systèmes), Oct 2018, Fes, Maroc. hal-01913104

HAL Id: hal-01913104

<https://hal.science/hal-01913104v1>

Submitted on 3 Jun 2021

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Projet de conception d'un processeur NIOS II sur FPGA

Eric Tanguy, Bruno Massé, Philippe Navaro,
eric.tanguy@univ-nantes.fr

Université de Nantes, UFR Sciences et Techniques, 2 rue de la houssinière, 44322 Nantes cedex3

RESUME : Le but de ce projet est de proposer à des étudiants de première année de master EEEA de se familiariser avec la chaîne de conception d'un processeur embarqué sur FPGA.

Mots clés : retour d'expérience, FPGA, processeur.

1 INTRODUCTION

Dans le cadre de la nouvelle accréditation des diplômes nationaux de l'Université de Nantes (2017-2022) la thématique de notre Master EEEA a été infléchiée vers les « Capteurs intelligents et qualité des systèmes électroniques ». Dans le cadre de cette évolution, j'ai proposé d'ajouter au programme de première année de Master une introduction aux microprocesseurs embarqués sur FPGA. C'est la mise en place de ce nouvel enseignement que je vais développer dans cet article. Les 30 premiers étudiants ont suivis cet enseignement durant le mois d'octobre 2017.

2 SCENARISATION

Le volume horaire étudiant affecté à cet enseignement est de 11h pour 1 ECTS. J'ai choisi de proposer cet enseignement sous forme de projet découpé en 4 séances de 2h40. Les étudiants travailleront par binômes. Ils auront à leur disposition, en salle de projet, 1 ordinateur avec les logiciels utiles installés et une carte FPGA type DE2 [1] composée d'un FPGA « Cyclone II » de chez ALTERA et d'un certain nombre d'autres composants dédiés (voir fig 1). Mon choix s'est porté sur cette carte car nous l'utilisons déjà dans les travaux pratiques d'électronique numérique et de logique programmable de la première à la troisième année de licence. L'enseignement s'insérant dans un cursus d'électronique, il se focalisera sur la partie matérielle surtout la gestion des entrées/sorties. La partie logicielle reposera sur un exemple fourni.

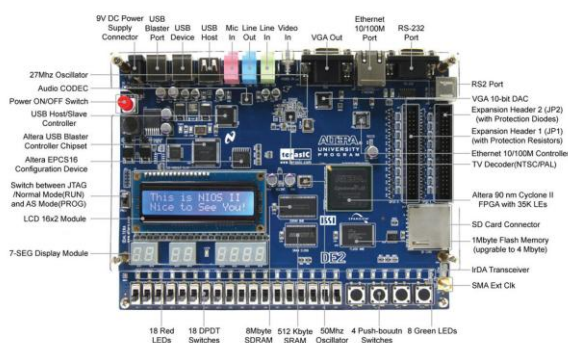


fig 1 : Carte PPGA DE2

Le projet est décrit de la manière suivante dans l'espace de cours dédié de la plateforme moodle mise à disposition par notre établissement :

Le projet à réaliser est la synthèse d'un processeur NIOS II [2] sur une carte DE2 gérant les entrées/sorties suivantes :

- une sortie sur 8 bits pour les LEDs nommée '**led_pio**' (Utiliser un PIO "Parallel Input Output")
- une sortie sur 16 bits pour les 2 afficheurs 7 segments nommé '**seven_seg_pio**' (**Attention** vous avez **16 bits pour gérer 14 segments** il est conseillé de gérer les 7 premiers segments sur les bits de 0 à 6 puis les 7 suivants sur les bits de 8 à 14)
- un composant LCD Display nommé '**lcd_display**'. Il est à noter que lors de la compilation de la partie logicielle la présence matérielle du périphérique 'lcd_display' est testée. La partie du programme gérant le lcd n'est activée que si la partie matérielle correspondante est présente.
- une sortie sur 4 bits nommé '**button_pio**' (Attention l'activation des boutons poussoirs doit générer une interruption sur front pour être prise en compte par le processeur et doit être activée de manière synchrone sur tous les fronts)

Le programme utilisé pour tester la partie matérielle est un programme simple (nommé "count binary" dans les exemples proposés sous eclipse). Ce programme, utilisant une variable de 8 bits, compte de 00 à FF de manière continue. Cette variable est affichée sur les LEDs, les 2 afficheurs 7 segments et l'afficheur à cristaux liquides. Les 4 boutons poussoirs (SW0-SW3) sont utilisés pour contrôler l'affichage sur ces éléments de la manière suivante :

- Button1 (SW0) => les LEDs comptent
- Button2 (SW1) => les 2 afficheurs 7 segments comptent
- Button3 (SW2) => l'afficheur à cristaux liquides compte
- Button4 (SW3) => tous les périphériques comptent

La première séance est dédiée à la réalisation d'un tutorial permettant la prise en mains des logiciels et la réalisation d'un premier processeur simple. L'espace mémoire utilisé dans ce premier processeur est un espace

mémoire interne au FPGA. Le programme de test utilise détecte les parties matérielles implémentées dans le processeur et n'active que les parties de code correspondant aux parties matérielles effectivement présentes. Par la suite chaque binôme commence la réalisation et le test de son projet par étape :

1. Ajout des sorties leds et afficheurs 7 segments
2. Test
3. Ajout de la gestion du LCD
4. Test
5. Ajout de la gestion des boutons poussoirs
6. Test final

Après l'ajout du LCD, le programme généré est trop volumineux pour tenir dans l'espace mémoire interne. L'étudiant se retrouve donc face à une erreur qu'il doit gérer en ajoutant au processeur la gestion d'une mémoire externe SDRAM présente sur la carte DE2. Il doit donc gérer l'instanciation d'une boucle à verrouillage de phase afin de générer une horloge pilotant le composant mémoire SDRAM. Cette horloge aura la même fréquence que l'horloge pilotant le processeur mais avec un temps de retard permettant un accès aux données au moment adéquat. J'ai rencontré cette erreur au cours de la conception du projet. 2 possibilités s'offraient à moi : soit la masquer dès le départ en proposant dès le début du projet d'utiliser une mémoire externe type SDRAM offrant un espace de stockage suffisant pour toutes les étapes du projet, soit laisser les étudiants buter sur cette erreur et les laisser chercher une solution tout en étant présent pour les guider en cas de besoin. J'ai choisi de les laisser se confronter au problème et tenter de trouver une solution car ce travail par essai/erreur est plus proche du travail réel qu'ils auront à mener lors de la réalisation d'un projet de conception dans un bureau d'études par exemple.

La suite du projet se déroule séquentiellement.

3 MISE EN PLACE

Le projet s'est déroulé sur 4 semaines avec un créneau de 2h40 par semaine et par groupe. 2 groupes ont été mis en place. Le groupe 1 était composé de 16 étudiants répartis en 8 binômes et le groupe 2 était composé de 14 étudiants répartis en 7 binômes. Je souhaitais que les binômes soient les plus homogènes possibles mais je ne souhaitais pas non plus imposer la répartition. J'ai donc choisi de les laisser choisir leur binôme afin de leur laisser un peu de contrôlabilité sur l'activité tout en leur imposant des règles de choix. Les étudiants sont affectés à un groupe par l'administration mais choisissaient leur binôme parmi les étudiants de leur groupe en essayant de respecter les consignes suivantes :

- Ne pas mettre ensemble 2 étudiants ayant déjà pratiqués le VHDL
- Ne pas se mettre avec un étudiant que l'on connaît

Cette répartition s'est opérée dans les premières minutes de la première séance du projet. N'ayant que 4 séances, il n'était pas concevable de prendre du temps sur ces séances afin de présenter l'enseignement, le déroulé, le projet, l'évaluation, ... J'ai donc choisi de présenter tous ces aspects par l'intermédiaire de l'espace Moodle dédié à ce projet tout en m'assurant que chaque étudiant avait bien pris connaissance de tous ces éléments avant la première séance. L'ouverture de l'espace Moodle de cet enseignement s'est opérée 15 jours avant la première séance et cette ouverture s'est accompagnée d'un message dans le forum de cet espace afin de poser le projet et les dates de début et de fin des séances et leur demandant de prendre connaissance des ressources mises à leur disposition. Dans cet espace Moodle, j'ai mis en place la fonctionnalité du suivi d'achèvement d'activité. Cette fonctionnalité permet de suivre, par étudiant, la réalisation d'un certain nombre de tâches comme par exemple la lecture d'un texte ou l'affichage d'une vidéo. Durant les 15 jours entre l'ouverture de l'espace Moodle et la première séance, j'ai pris connaissance des indicateurs de suivi d'activités en faisant 2 relances collectives puis 2 jours avant la première séance en faisant une relance ciblée par mail nominatif indiquant à chaque étudiant ce qu'il restait comme travail à fournir avant la première séance. A la première séance tous les étudiants présent avaient effectués le travail préalable demandé et pouvaient entamer le projet dans de bonnes conditions. Durant les 4 séances de projet, les étudiants ont travaillé par binôme en toute autonomie. J'ai encouragé les échanges entre binômes. Je me suis positionné dans un coin de la salle de projet comme une personne ressource qu'ils pouvaient solliciter en cas de besoin. L'ambiance de travail a été très studieuse et agréable. J'ai souvent été contraint de leur rappeler que la séance était terminée et que l'on devait libérer la salle pour les étudiants suivants.

Sur les 15 binômes, seulement 3 sont arrivés au bout du projet, 5 sont arrivés à l'étape 4 et 7 sont restés bloqués à l'étape d'ajout de la mémoire externe.

Pour l'évaluation et la notation chaque étudiant a rendu sous Moodle un compte-rendu personnel faisant état des réussites et des difficultés rencontrées, des solutions mises en œuvre, ... Chaque rapport a été passé automatiquement à un détecteur de plagiat au moment du rendu sous Moodle. Ce module travaille en comparant chaque rapport avec ce qui est disponible sur internet et aussi en comparant les rapports entre eux afin de s'assurer que le travail rendu est bien l'expression d'un travail personnel. Les étudiants étaient, bien entendu, avertis de cette procédure. La notation du compte rendu s'effectue directement sous Moodle en utilisant une grille critériée et l'étudiant a, après publication des notes, accès à la note de son compte-rendu et le décompte des points par l'intermédiaire de la grille critériée. La note finale est composée pour moitié d'une note reflétant l'avancée du projet (partie commune au binôme) et pour moitié de la note du rapport (partie individuelle).

4 RETOUR DES ETUDIANTS

A la fin de l'enseignement, au moment du rendu du rapport et avant la notation les étudiants ont répondu à un questionnaire de satisfaction sous Moodle. Il ressort de ce questionnaire que l'organisation pédagogique a été présentée de manière satisfaisante ou très satisfaisante, que la difficulté du projet a paru facile (3%), adaptée (77%) ou difficile (17%), que le projet était intéressant ou très intéressant. Les étudiants ont donc été globalement satisfaits du contenu pédagogique et de l'organisation. Par contre, à la question ouverte « L'organisation de ce projet est en évolution. Auriez-vous des propositions à faire pour l'améliorer ? », de nombreuses réponses proposent d'avoir plus de temps pour réaliser le projet. Cette demande est à mettre en parallèle du taux d'achèvement du projet : seulement 3 binômes sur 15 ont terminé le projet à l'issue des 4 séances.

5 EVOLUTIONS

Les évolutions présentées dans ce paragraphe seront mises en œuvre à la rentrée 2018. La demande des étudiants de pouvoir disposer de plus de temps pour réaliser le projet est légitime. En effet, cet enseignement permet d'acquérir 1 ECTS ce qui correspond normalement à un temps de travail étudiant compris entre 25 et 30h [3]. Le temps de présentiel encadré en salle étant de 11h, les étudiants devraient pouvoir travailler en dehors de ces temps entre 14 et 19h. L'accès à la salle n'est pas possible en libre-service car elle n'est que très peu disponible au premier semestre. Il n'est pas non plus possible de prêter aux étudiants des cartes DE2 car elles sont utilisées par d'autres enseignements au même moment. Il n'est pas non plus possible d'acquérir un plus grand nombre car leur prix (environ 900€ pièce) ne le permet pas. J'ai donc fait le choix de changer de carte pour passer à une carte DE10-Lite[4] (voir fig 2).

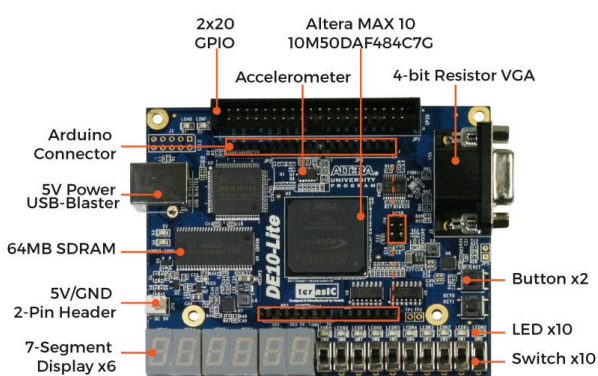


fig 2 : Carte PPGA DE10-Lite

En effet, le coût de ces cartes pour nos établissements est pris en charge pour 1/3 par le CNFM [5] et pour 1/3 par Intel FPGA (nouveau nom de Altera après son rachat par Intel). Il ne reste donc à notre charge que 1/3

du prix soit environ 25€ par carte. Pour pouvoir utiliser cette carte sans changer le projet, une carte d'extension a été réalisée afin de pouvoir ajouter un écran LCD et 4 boutons poussoirs(voir fig 3). 20 cartes DE10-Lite ont été achetées et 20 cartes d'extension ont été réalisées afin de pouvoir prêter 1 ensemble carte DE10-Lite + carte d'extension par binôme durant le temps du projet.



fig 3 : Carte PPGA DE10-Lite associée à la carte d'extension

Les logiciels étant téléchargeables gratuitement, ils pourront consacrer le temps qu'ils souhaitent à la réalisation de ce projet. Dans les évolutions envisagées, il est aussi prévu d'utiliser le carnet de notes de Moodle pour l'ensemble de l'évaluation et de la notation. Cela permet à l'étudiant de pouvoir connaître ses notes de manière individuelle et confidentielle puisqu'il ne nous est plus permis d'afficher les notes de l'ensemble des étudiants.

6 CONCLUSION

La mise en place de ce nouvel enseignement sous forme de projet utilisant des fonctionnalités de Moodle que je n'avais jamais utilisé a été très enrichissante. Cette approche a été validée par la satisfaction des étudiants et l'intérêt qu'ils ont porté à ce projet. Nous envisageons de poursuivre ce type de projet mais dans une version pluridisciplinaire en associant électronique, automatique et informatique autour du pilotage d'un robot.

Bibliographie

- [1] <http://de2.terasic.com/>.
- [2] <https://www.altera.com/niosII>.
- [3] <http://www.agence-erasmus.fr/page/ects>.
- [4] <http://de10-lite.terasic.com/>

[5] Coordination Nationale pour la Formation en Microélectronique et en nanotechnologies : <http://www.cnfm.fr/>