Impact des bruits d'alimentations et des signaux parasites sur l'intégrité des signaux ultra-rapides

Faten Sahel, Pascal Guilbault, Farouk Vallette, Sylvain Feruglio

▶ **To cite this version:**

Faten Sahel, Pascal Guilbault, Farouk Vallette, Sylvain Feruglio. Impact des bruits d'alimentations et des signaux parasites sur l'intégrité des signaux ultra-rapides. 13ème Colloque du GDR SoC/SiP, Jun 2018, Paris, France. hal-01841290

HAL Id: hal-01841290
https://hal.science/hal-01841290

Submitted on 17 Jul 2018

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Impact des bruits d'alimentations et des signaux parasites sur l'intégrité des signaux ultra-rapides

F. Sahel, P. Guilbault
Bull Atos Technologies
78340 Les Clayes-sous-Bois, France
faten.sahel@atos.net

F.Sahel, F. Vallette, S. Feruglio
Sorbonne Université, CNRS UMR7606, LIP6
F-75005, Paris, France
sylvain.feruglio@upmc.fr

***Résumé*—Pour répondre aux besoins croissants des systèmes électroniques en performance et en rapidité, l'électronique numérique a rejoint l'analogique pour former des circuits mixtes ultra-rapides. De cette mixité émerge la nécessité de contrôler l'intégrité des signaux échangés entre les composants, et de leur assurer une bonne protection contre les éventuelles perturbations causées par leur environnement. Cet article présente les caractéristiques des modules critiques présents sur des cartes électroniques à haute densité et à forte puissance employées pour le calcul haute performance, ainsi que les problématiques liées à leur cohabitation.**

***Mots clés*—Alimentation, bruit, circuit imprimé, forte densité, forte puissance, intégrité du signal, liens rapides, HPC, SERDES.**

I. INTRODUCTION

Le calcul haute performance (HPC - High Performance computing) est une technique de calcul permettant de traiter des fonctions complexes qu'un ordinateur ordinaire ne pourrait effectuer. Les résultats d'une grande précision sont fournis en un temps réduit, grâce à la parallélisation des milliers de processeurs contenus dans le supercalculateur. Les circuits imprimés qui le composent contiennent, en plus de ces processeurs, plusieurs autres modules essentiels au bon fonctionnement du système, dont des alimentations et des liens séries ultra-rapides qui transmettent des informations devant rester intègres.

La miniaturisation des composants rend les cartes électroniques de plus en plus denses et induit un rapprochement des composants les uns des autres. Les liens rapides entre composants subissent ainsi des perturbations plus importantes, causées notamment par les alimentations et circuits avoisinants, et par l'environnement de la carte [1].

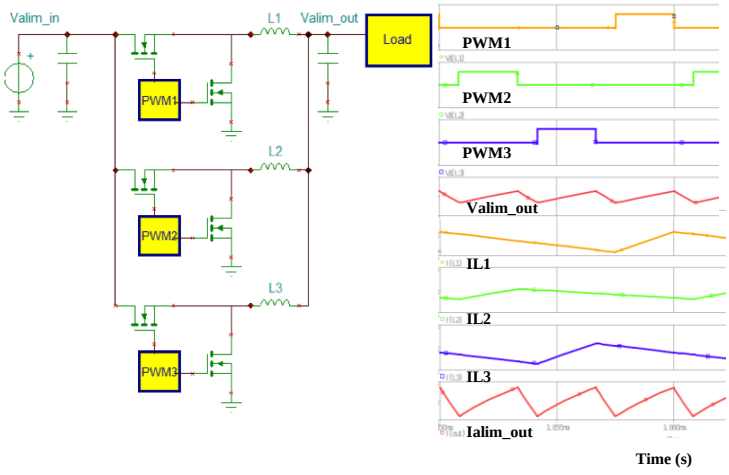
Dans ce contexte, l'objectif est d'étudier l'impact du bruit lié aux alimentations à fortes puissances sur l'intégrité des signaux ultra-rapides dans des cartes à haute densité, telles que celles réalisées par Atos, dans le cadre du développement de supercalculateurs [2], et d'évaluer les moyens de limiter leurs effets sur le bon fonctionnement du système envisagé.

Dans la suite de ce papier, les caractéristiques des modules précédemment énoncés sont d'abord brièvement présentées. Ensuite, l'impact de leur proximité est exposé et, enfin, un exemple de cas d'étude est décrit.

II. CARACTERISTIQUES DES MODULES

Les processeurs utilisés par Atos pour le HPC fonctionnent avec de fortes puissances (tensions d'alimentation aux alentours de 1V et courants de l'ordre de 100 à 200A). De telles puissances provoquent des échauffements localisés, malgré un système de refroidissement global [3], et des variations de tensions (dues aux chutes ohmiques et aux inductances parasites de distribution) [1, 4], phénomènes qu'il est indispensable de maîtriser pour assurer le bon fonctionnement du système dans sa globalité.

L'alimentation des processeurs se fait via des VRMs (Voltage Regulator Modules) multi-cellulaires (cf. Fig.1). Souvent sous forme d'abaisseurs de tension ($V_{alim_IN} > V_{alim_OUT}$), ils permettent une distribution partagée et équilibrée des forts courants nécessaires aux processeurs [5].



a) *b)*

Fig.1 a) Exemple de VRM à 3 phases alimentant une charge (processeur) et b) variations temporelles des tensions et des courants du VRM.

Les générations actuelles de liens séries ultra-rapides (SERDES - SERializer/DESerializer) [6] fonctionnent de 8Gb/s (pour des liens PCI-e de 3ème génération), à 25Gb/s pour les liens rapides utilisés pour l'interconnexion de plusieurs nœuds de calcul (100Gb/s ethernet, Infiniband™ EDR, BXI, pour Bull eXascale Interconnect). Dans un futur proche, des débits de 56Gb/s à 112Gb/s sont attendus sur de multiples liens séries d'une même puce [7].

III. MOTIVATIONS

Parmi toutes ces sources de perturbation, les interférences électromagnétiques émanant des alimentations sont les plus critiques [6]. Celles-ci dépendent avant tout de la qualité de l'alimentation, qui peut se révéler plus ou moins bruyante

(selon ses caractéristiques, son circuit de filtrage et de découplage associé), mais aussi de son mode de fonctionnement et de la puissance qu'elle fournit [8].

L'état de l'art propose des topologies d'alimentation relativement stables, dont les réseaux de distribution sont robustes, grâce à des circuits de découplage renforcés et des règles de routage strictes [9]. Mais comme illustré à la figure 2, la diaphonie perçue par les liens rapides reste un problème majeur [6], généralement causée par leur proximité aux alimentations, dont les commutations induisent des effets parasitiques, en plus des retours de courants dans les plans qui perturbent les signaux ultra-rapides sensibles.

IV. Cas d'etude

La carte en figure 3 constitue un exemple type de carte entrant dans les dispositifs HPC. Elle est composée de 14 couches : les couches externes contiennent les composants, une partie de la distribution des puissances et du routage, on y trouve également 4 couches internes de routage, 2 plans d'alimentations, et 6 plans de masse. Chacun des deux processeurs consomme typiquement 160 W (valeur nominale maximum), et possède 8 barrettes mémoires [8].

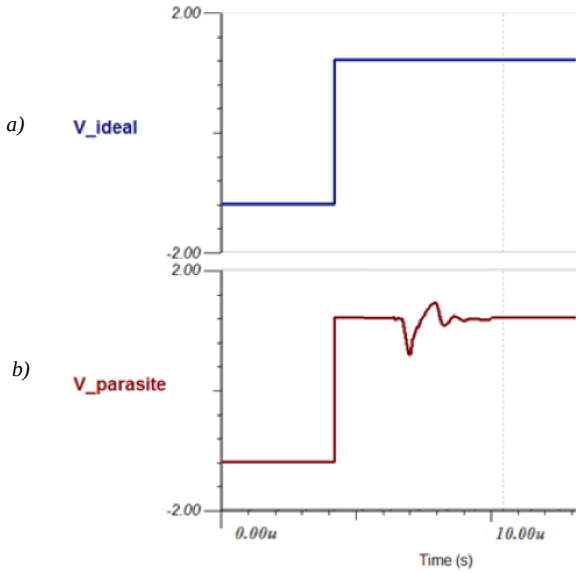


Fig.2 a) Signal idéal d'une ligne rapide et b) signal perturbé par la proximité d'une ligne rayonnante.

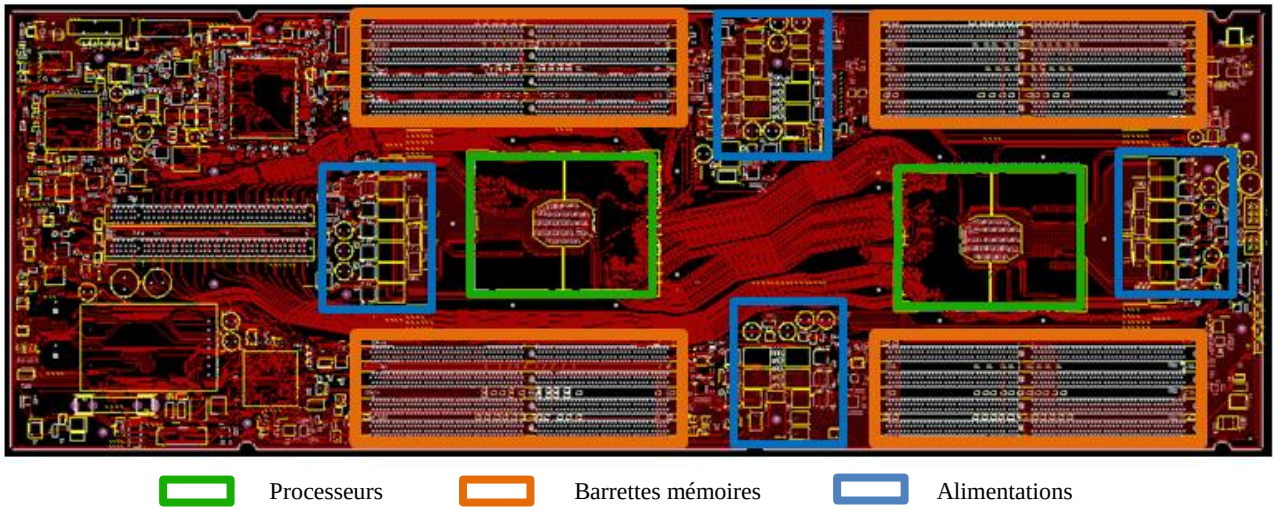


Fig.3 Exemple d'une carte électronique à haute densité développée par Atos.

Ces éléments sont alimentés par des dispositifs séparés à partir d'une alimentation commune. Entre les deux processeurs, par exemple, on peut aussi voir quelques pistes de signaux ultra-rapides. Ces liens séries assurent la communication entre les deux processeurs, le reste de la carte, et avec les autres cartes qui composent le supercalculateur.

V. Perspectives

Une étude approfondie des alimentations sera faite. En effet, leur mode de fonctionnement influence grandement le comportement des composants environnants. Les perturbations perçues par les liens rapides avoisinants seront relevées et modélisées, et une méthode d'optimisation de la robustesse du système « alimentation-liens rapides » sera proposée afin de limiter ces perturbations sur ce type de carte.

References

[1] S.A. Bokhari, "Signal Integrity Considerations for the PCB implementation Of Multi-Gigabit SERDES Links", IEEE, NEMO, 2015.

[2] https://atos.net/fr/produits/calcul-haute-performance-hpc/supercalculateurs-bull-sequana-x/gamme-bullsequana-x1000.

[3] F. Demange, et al., "Electronic board provided with a liquid cooling system", brevet US 2014/0233175 A1, 2014.

[4] S. Müller, "Energy-Aware Signal Integrity Analysis for High-Speed PCB Links", IEEE, Trans. Electromagn.Compat., 57(5), 1226-1234, 2015.

[5] N. Bouhalli, "Étude et intégration de convertisseurs multicellulaires parallèles entrelacés et magnétiquement couplés", mémoire de thèse INPT, 2009.

[6] D. Lewis, "SerDes Architectures and Applications", Designcon, 2004.

[7] IEEE802.3 Ethernet Working Group,"400 Gigabit Ethernet Call-For-Interest Consensus", IEEE 802 Plenary, 2013

[8] F. Sahel, "Nouvelles solutions d'alimentation DC-DC", rapport de stage de master 2 SESI UPMC, Atos-Bull, 2017.

[9] B. Goral, "Technique et Méthodologie de Conception du Réseau de Distribution d'Alimentation d'une Carte Electronique Rapide à Haute Densité d'Interconnexion", mémoire de thèse, Université Paris-Saclay, 2017.