



HAL
open science

Décodage analogique de codes duo-binaires DVB-RCS

Matthieu Arzel, Cyril Lahuec, Michel Jezequel, Fabrice Seguin

► **To cite this version:**

Matthieu Arzel, Cyril Lahuec, Michel Jezequel, Fabrice Seguin. Décodage analogique de codes duo-binaires DVB-RCS. ISIVC'04: 2nd International Symposium on Image/Video Communications over fixed and mobile networks, 7-9 juillet Brest, France, Jul 2004, Brest, France. hal-01809306

HAL Id: hal-01809306

<https://hal.science/hal-01809306>

Submitted on 6 Jun 2018

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Décodage analogique de codes duo-binaires DVB-RCS

Matthieu ARZEL, Cyril LAHUEC, Michel JÉZÉQUEL et Fabrice SEGUIN
GET/ENST Bretagne/PRACOM, CNRS-TAMCIC
Technopôle Brest Iroise, CS 83818 - 29238 BREST CEDEX 3 FRANCE.
Adresse électronique: Matthieu.Arzel@enst-bretagne.fr

Résumé— Une réalisation de décodeur analogique de codes convolutifs duo-binaires est proposée pour une application industrielle (la norme DVB-RCS). L'utilisation des caractéristiques exponentielles des transistors bipolaires a permis d'implanter l'algorithme MAP dans une technologie Philips BiCMOS SiGe $0,25\mu m$. Des simulations électriques ont validé le décodage d'une trame de 24 symboles duo-binaires. L'utilisation de ce décodeur élémentaire dans une structure "turbo" est ensuite envisagée afin de fournir un décodeur complet. Des simulations comportementales montrent une amélioration des performances de décodage allant jusqu'à $0,1dB$ (pour un taux d'erreur binaire de 10^{-4}) par rapport à une structure numérique équivalente.

I. INTRODUCTION

Dans les architectures de récepteurs de télécommunications, l'approche analogique a été peu à peu délaissée au profit du numérique. Néanmoins, elle conserve un certain nombre d'avantages dans l'intégration de fonctions telles que le décodage de canal. Les premières solutions analogiques à cette application ont été proposées par des équipes européennes [1] [2] [3]. Des gains significatifs en terme de débit, puissance consommée et surface de silicium occupée ont ainsi pu être obtenus [2].

La conception des décodeurs analogiques utilise un principe fondamental qui est l'exploitation de la caractéristique exponentielle des transistors. L'intégration en technologies BiCMOS et CMOS des premiers circuits traitant des codes élémentaires [2] [4] a permis de confirmer les concepts fondamentaux. Cependant, afin de démontrer la viabilité industrielle du décodage analogique, il est maintenant nécessaire de viser des standards.

Cet article présente les principes et des résultats de simulation du décodage analogique des codes duo-binaires retenus pour la récente norme *Digital Video Broadcasting - Return Channel via Satellite* (DVB-RCS) de l'*European Telecommunications Standards Institute* (ETSI) [5]. Dans une première partie les principes des codes duo-binaires sont rappelés. La conception en technologie BiCMOS d'un décodeur analogique et des résultats de simulation sont ensuite présentés. Son utilisation pour la mise en œuvre d'un turbo-décodeur analogique sera abordée en dernier lieu.

II. PRINCIPES ET AVANTAGES DES CODES DUO-BINAIRES

La norme DVB-RCS a adopté un turbocode Convolutif Récuratif Systématique Circulaire (CRSC) duo-binaire. L'originalité et la force de ce turbocode réside dans son caractère duo-binaire. Les bits de la trame transmise ne sont pas, en effet,

traités individuellement en tant que symboles binaires mais par couples : le codage de canal se fait donc sur des symboles quaternaires. L'encodeur (systématique et récuratif) élémentaire de canal DVB-RCS (figure 1), produit deux redondances qui sont associées à chaque couple de bits en entrée.

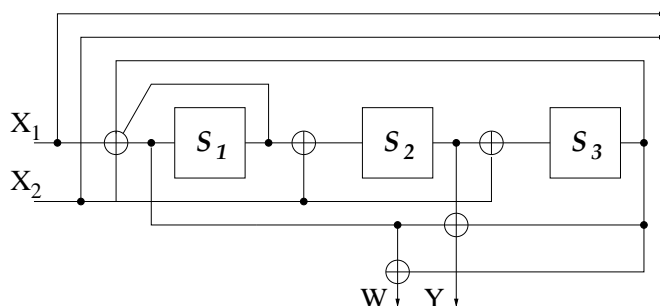


Figure 1. Encodeur élémentaire duo-binaire 8 états convolutif récuratif systématique de la norme DVB-RCS. A chaque symbole de deux bits est associée une redondance (sur un ou deux bits selon le rendement).

Une section de treillis de ce code convolutif est illustrée sur la figure 2. En la comparant à une section binaire équivalente, le nombre de branches est doublée. En revanche, la longueur du treillis associé à la trame est réduite de moitié puisqu'une section permet de décoder un symbole composé de deux bits au lieu d'un seul.

Un tel code a des avantages majeurs par rapport à ses homologues binaires. Berrou *et al.* [6] ont montré que la convergence des turbocodes m -aires est meilleure mais qu'elle croît peu pour $m > 2$. Ils offrent aussi de plus grandes distances minimales, donc un gain asymptotique supérieur, une sensibilité moindre au poinçonnage et une latence inférieure lors d'un décodage numérique. Il est donc fort probable que les codes duo-binaires soient de plus en plus largement adoptés par les normes de télécommunications.

III. RÉALISATION D'UN DÉCODEUR ANALOGIQUE EN TECHNOLOGIE BICMOS

Un code convolutif circulaire binaire peut être décodé selon l'algorithme Maximum A Posteriori (MAP) [7]. Ce dernier fait appel uniquement à deux opérateurs arithmétiques (addition et multiplication), ainsi qu'aux fonctions logarithme et exponentielle. Ces fonctions sont nécessaires pour assurer des conversions entre probabilités et log-rapports de vraisemblance (LRV). Si X est une variable aléatoire binaire et x est sa

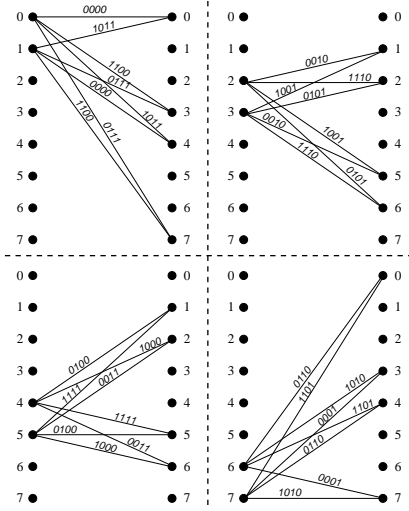


Figure 2. Treillis du code CRSC duo-binaire 8 états de la norme DVB-RCS. Chaque branche issue d'un des 8 états est étiquetée par le symbole codé X_1X_2YW où X_1 et X_2 sont les bits utiles, Y et W sont les redondances produites par l'encodeur duo-binaire.

réalisation, le LRV de X , $L(X)$, est défini par :

$$L(X) = \ln \left(\frac{P_X(x=1)}{P_X(x=0)} \right) \quad (1)$$

Afin de réaliser ces fonctions, il est possible d'utiliser un transistor bipolaire fonctionnant en régime normal. En effet, le courant de collecteur I_C dépend alors de la tension base-émetteur V_{BE} selon la relation $I_C \approx I_S \exp \frac{V_{BE}}{U_T}$, où I_S est le courant de saturation et U_T le potentiel thermique. Connecté en diode (figure 3), le transistor fournit donc une tension à ses bornes $V \approx U_T \ln \left(\frac{I}{I_S} \right)$.

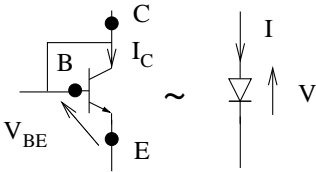


Figure 3. Transistor bipolaire connecté en diode.

Si un courant est associé à une probabilité et une tension à un log-rapport de vraisemblance, des structures différentielles de transistors et de diodes permettent alors de convertir respectivement des LRV en couples de probabilités, et réciproquement des couples de probabilités en LRV. De plus, des courants peuvent être manipulés par des structures de transistors simples pour réaliser des opérations de multiplication et d'addition de probabilités.

Les éléments de calcul de l'algorithme MAP peuvent donc être conçus de manière analogique par des transistors bipolaires permettant, par là même, la réalisation d'un décodeur analogique [2]. Le décodage d'une trame correspond alors au résultat fourni par la convergence d'un réseau analogique qui est l'implantation directe sur silicium d'un treillis de calcul

MAP. Il est constitué d'autant de sections (figure 4) que de symboles à décoder. Chaque section possède un module Γ de calcul de métriques de branche, un module A de calcul de métriques aller d'état, un module B de calcul de métriques retour d'état et un module Dec de décision sur le symbole duo-binaire. Les entrées fournies sont les données $L(X_1^i)$ $L(X_2^i)$ $L(Y^i)$ $L(W^i)$ issues du canal et associées au $i^{\text{ème}}$ symbole $X_1^i X_2^i$ transmis avec ses redondances Y^i et W^i . Les métriques aller et retour d'états α^i et β^{i+1} sont également fournies en entrée par les sections similaires adjacentes. Les sorties sont alors les métriques α^{i+1} et β^i transmises à leur tour aux sections voisines ainsi que les décisions d_1^i et d_2^i pour le symbole $X_1^i X_2^i$. Pour la réalisation d'un turbo-décodeur un module $Extr$ calculant des informations extrinsèques complète la section de treillis décrite ci-dessus. Ce module délivre une information $L(X_{eOUT}^i)$ utilisée par le module Γ d'un deuxième décodeur MAP.

La structure fondamentale d'un décodeur binaire est un multiplieur analogique appelé "cellule de Gilbert" [2]. Elle traite deux LRV associés à des symboles binaires et permet de construire un réseau de décodage sur un treillis. Le principe de cet opérateur peut être étendu à des symboles m-aires. La complexité des structures obtenues croît alors de manière géométrique. Cela est illustré par le cas du module de calcul des métriques d'états A ou B de la figure 4. Considérons la section de treillis duo-binaire présentée en figure 2. Huit états sont possibles par section. Soit $\alpha_i(s)$ la métrique aller d'un état s associée à la $i^{\text{ème}}$ section et $\gamma_i(s', s)$ la métrique de branche reliant un état s' de la $i^{\text{ème}}$ section à un état s de la $(i+1)^{\text{ème}}$. Selon l'algorithme MAP appliqué à un treillis de longueur k , pour chaque section i entre 0 et $k-1$, on calcule les huit métriques d'état de manière récursive :

$$\alpha_{i+1}(s) = \sum_{s'=0}^7 \alpha_i(s') \gamma_i(s', s) \quad (2)$$

Pour un code élémentaire de rendement 2/3 à huit états (un seul bit de redondance est produit par symbole quaternaire utile), les métriques de branche de treillis peuvent prendre huit valeurs (16 pour un code de rendement 1/2 comme en figure 2). Le module précédent nécessite la réalisation d'une structure de Gilbert étendue avec des entrées 8-aires (figure 5). Les transistors bipolaires assurent le produit des probabilités, portées par les tensions-LRV, et fournissent le résultat en courants-probabilités au collecteur.

Par conséquent, si le coeur (réalisant les multiplications de probabilités) de l'opérateur équivalent binaire ne requiert que 6 transistors, une structure pour des LRV 8-aires nécessite, elle, 72 transistors.

IV. RÉSULTATS ET COMPARAISONS

Des simulations comportementales utilisant un modèle développé sous Simulink[®] ont tout d'abord été effectuées. Elles ont permis de valider une architecture de décodeur MAP analogique traitant une trame de 24 symboles duo-binaires encodés selon le standard DVB-RCS. Le décodeur modélisé a ensuite été réalisé à l'aide de transistors issus de la technologie Philips SiGe 0,25 μm . La simulation du décodage d'une

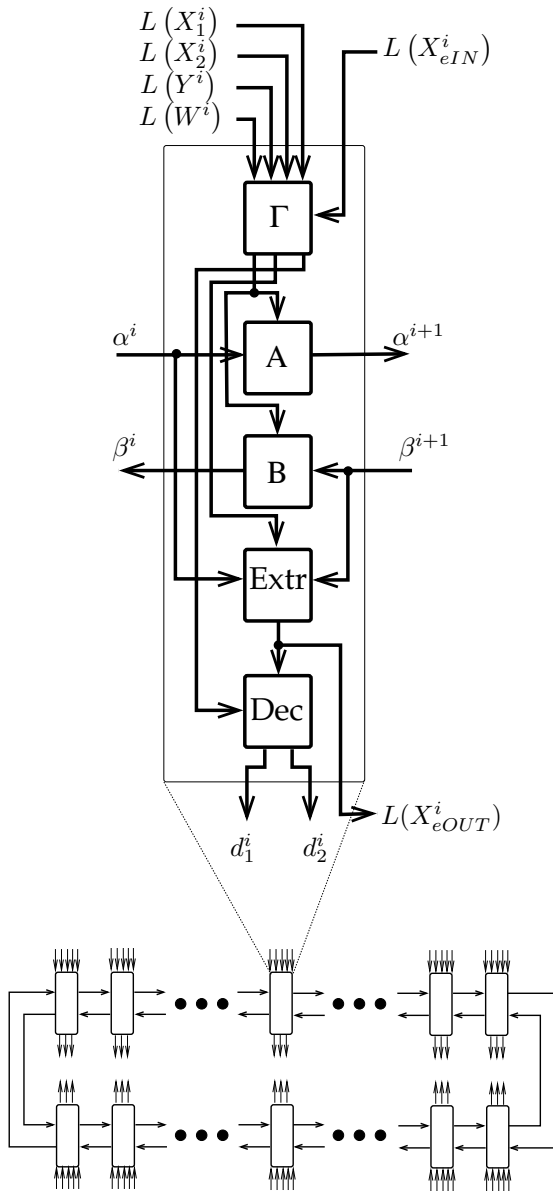


Figure 4. Décodeur MAP circulaire analogique composé d'autant de sections de décodage que de symboles à décoder. Chaque section est composée des modules standard définis par l'algorithme MAP.

trame altérée par un bruit gaussien confirme la capacité de correction de ce circuit. Comme le montre la figure 6, l'état du circuit évolue jusqu'à distinguer les fiabilités associées aux quatre valeurs possibles du symbole émis. Dans ce cas, la décision à la sortie du canal (non représentée) est 01, ce qui est une erreur, tandis que celle produite par le décodeur analogique converge vers la valeur correcte 00. Ainsi, les modules fournissent des métriques d'une précision suffisante pour assurer une correction d'erreurs introduites par le canal.

Puisque le circuit est une implantation directe du treillis de décodage, il faut évaluer la consommation et le débit en fonction de la taille de la trame décodée et du nombre d'états du code. Le critère significatif de consommation est donc la puissance utilisée par bit d'information utile de la

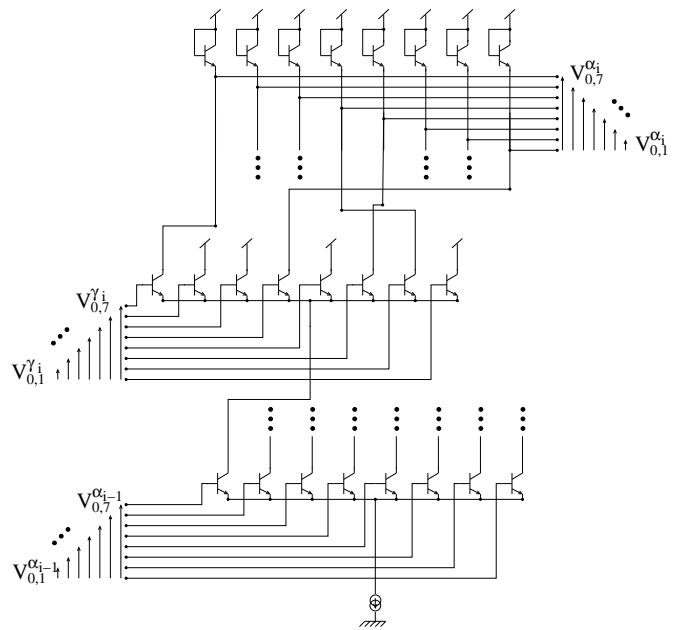


Figure 5. Arbre de Gilbert pour un module de calcul de métriques d'états associées à un code duo-binaire 8 états de rendement 2/3. Les entrées différentielles sont sous forme de tensions (proportionnelles à des log-rapports de vraisemblance). $V_{0,x}^{\gamma_i}$ fournit le LRV suivant : $\ln \left(\frac{\text{métrique de branche du symbole codé } x}{\text{métrique de branche du symbole codé } 0} \right)$. Le symbole codé x peut prendre 7 valeurs de (1)_s à (7)_s.

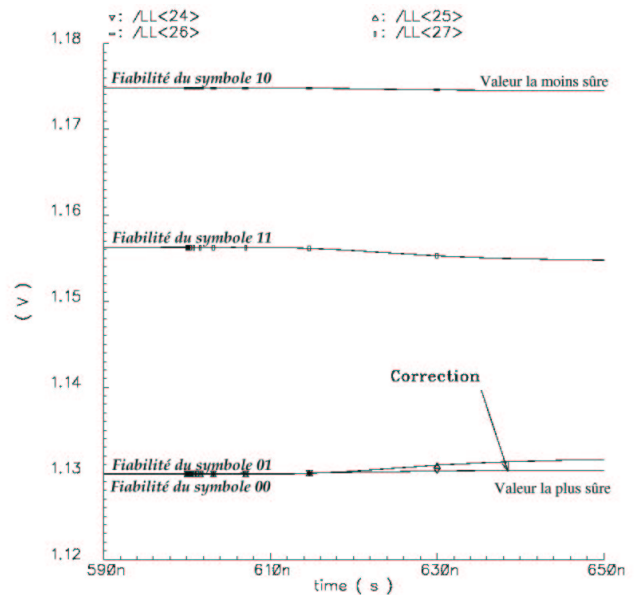


Figure 6. Correction d'une erreur introduite sur un symbole quaternaire. Sont représentés les 4 potentiels fournissant les probabilités associées aux différentes valeurs possibles du septième symbole de la trame. Le potentiel le plus bas est associé à la valeur du symbole la plus sûre. Ce résultat est issu d'une simulation au niveau transistor.

trame et par état du code. D'après les simulations effectuées, le décodeur alimenté sous 2,8V consomme 2,2 mW par bit d'information utile et par état. Comparé à [2] qui traite des trames de 16 symboles binaires dont 8 utiles codés sur 2 états, ce résultat est intéressant. Malgré une croissance géométrique

de la complexité des circuits en fonction du nombre d'états (ici 8) et du nombre de bits par symbole de trame (ici 2), la consommation a été simplement multipliée par deux. Plusieurs raisons expliquent ce résultat. D'une part, le rendement 2/3 du code implanté permet une réduction de la consommation par bit d'information. D'autre part, le courant de polarisation des arbres de Gilbert ne croît pas proportionnellement à leurs tailles.

V. VERS UN TURBO-DÉCODEUR POUR LA NORME DVB-RCS

En exploitant ce décodeur élémentaire duo-binaire, il est envisageable de réaliser un turbo-décodeur (figure 7) pour des trames de la taille minimale de la norme DVB-RCS (48 symboles). Ce turbo-décodeur analogique a été simulé

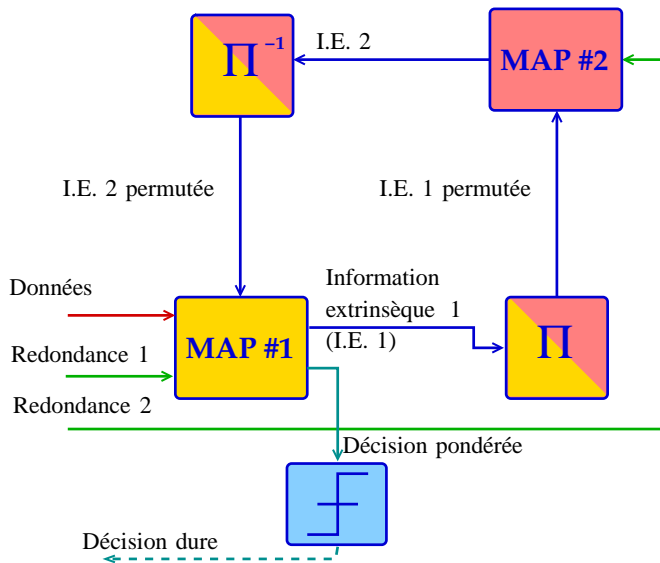


Figure 7. Turbo-décodeur constitué de deux décodeurs élémentaires MAP échangeant des informations extrinsèques par l'intermédiaire d'entrelaceurs Π et Π^{-1} .

à l'aide d'un modèle haut-niveau. La figure 8 montre ainsi que le décodage analogique apporte ici un gain de l'ordre de 0,1 dB pour un taux d'erreur binaire de 10^{-4} par rapport à une version numérique. Cette dernière a été réalisée en représentation flottante et exploite 15 itérations, ce qui fournit une performance itérative maximale. Le gain de codage de la structure analogique peut s'expliquer par la nature continue dans le temps des échanges. Le réseau analogique évolue continuellement jusqu'à converger.

VI. CONCLUSION

En étendant les fondements du décodage analogique de canal en technologie BiCMOS [2], un décodeur analogique élémentaire pour DVB-RCS est proposé. Comme il s'agit d'un code convolutif duo-binaire à huit états, les structures sous formes d'arbres de Gilbert atteignent des complexités jusque là jamais étudiées pour un décodeur analogique. Le traitement de 24 symboles duo-binaires a été simulé au niveau transistor. Il fournit une précision suffisante pour permettre un décodage

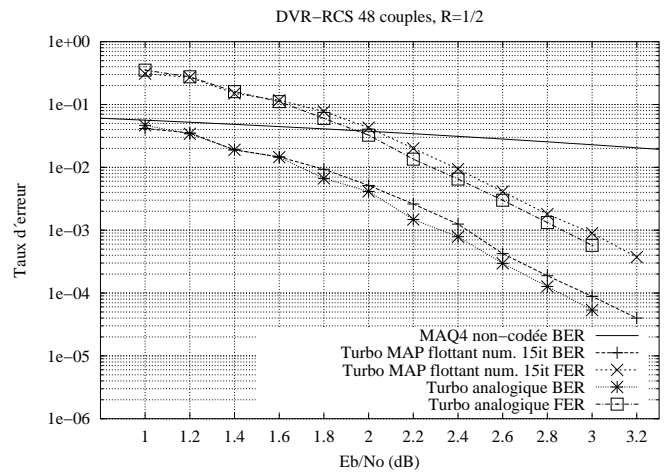


Figure 8. Courbes de taux d'erreur binaire (BER pour "bit error rate") et de trame (FER pour "frame error rate") associées au code DVB-RCS sur des trames de 48 couples duo-binaires et de rendement 1/2. Ici sont comparées les performances du décodage MAP flottant "standard", réalisé en C, à celles de son homologue analogique simulé sous Simulink®.

correct et sa consommation par bit utile et par état est du même ordre que celle d'un circuit élémentaire de référence [2].

La norme DVB-RCS employant un turbocode, une version analogique à base du décodeur élémentaire décrit dans ce papier a été simulée au niveau comportemental. Un gain de décodage théorique par rapport à son homologue numérique de l'ordre de 0,1 dB apparaît pour un taux d'erreur binaire de 10^{-4} . Le décodage analogique permet ici d'exploiter une autre dimension de l'effet turbo : le temps "souple", c'est-à-dire sans itérations. Il serait dommage de ne pas profiter de cette propriété, associée aux faibles consommations de puissance et surface propres à l'analogique.

REMERCIEMENTS

Les auteurs tiennent à remercier D. Gnaedig pour leur avoir offert une part de son temps et de ses connaissances.

RÉFÉRENCES

- [1] J. Hagenauer, "Der analoge Decoder," German Pat. Appl. No 197 25 275.3, June 1997.
- [2] M. Moerz, T. Gabara, R. Yan, and J. Hagenauer, "An analog 0.25 μ m BiCMOS tailbiting MAP decoder," in *Proc. ISSCC*, Feb. 2000, pp. 356–357.
- [3] F. Lustenberger, M. Helfenstein, H.-A. Loeliger, F. Tarköy, and G. S. Moschytz, "An analog VLSI decoding technique for digital codes," in *Proc. 1999 IEEE Int. Symposium on Circuits and Systems*, vol. 2, 1999, pp. 424–427.
- [4] C. Winstead, J. Dai, S. Yu, C. Meyers, R. Harrison, and C. Schlegel, "Cmos analog MAP decoder for (8,4) hamming code," *IEEE J. Solid-State Circuits*, vol. 39, no. 1, pp. 122–131, jan 2004.
- [5] *Digital Video Broadcasting ; Interaction channel for satellite distribution systems*, ETSI.
- [6] C. Berrou, M. Jézéquel, C. Douillard, and S. Kérouédan, "The advantages of non-binary turbo-codes," in *Proc. ITW2001*, Sept. 2001.
- [7] J. B. Anderson and S. M. Hladik, "Tailbiting MAP decoders," *IEEE Journal on selected areas in communications*, vol. 16, no. 2, Feb. 1998.