



HAL
open science

Consommation des émetteurs récepteurs Wi-Fi

Wissem Benali, Marie Le Bot, Charlotte Langlais, Sylvie Kerouedan

► **To cite this version:**

Wissem Benali, Marie Le Bot, Charlotte Langlais, Sylvie Kerouedan. Consommation des émetteurs récepteurs Wi-Fi. GRETSI 2017, Sep 2017, Juan-les-Pins, France. hal-01742080

HAL Id: hal-01742080

<https://hal.science/hal-01742080v1>

Submitted on 16 May 2024

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Consommation des émetteurs/récepteurs Wi-Fi

WISSEM BENALI^{1,2}, MARIE LE BOT¹, CHARLOTTE LANGLAIS², SYLVIE KEROUEDAN²

¹Orange Labs

4 rue Clos Courtel, 35510 Cesson Sévigné, France

²IMT-Atlantique, CNRS UMR 6285 Lab-STICC

Technopôle Brest-Iroise, 29200 Brest, France

^{1,2}wissem.benali@orange.com, ¹marie.lebot@orange.com,
²charlotte.langlais@imt-atlantique.fr, ²sylvie.kerouedan@imt-atlantique.fr

Résumé - Cet article présente une analyse de la consommation énergétique de la norme Wi-Fi IEEE 802.11ac, au niveau de la couche physique. La puissance dissipée par les circuits intégrés des émetteurs et récepteurs est prise en compte en plus de la puissance d'émission antennaire classique. Des simulations permettent d'évaluer la consommation en puissance des composants qui exécutent les algorithmes de traitement du signal, et les résultats sont validés par des mesures et des développements sur circuit logique programmable. Les éléments les plus énergivores sont ainsi identifiés, ce qui constitue une première étape vers un Wi-Fi à faible consommation d'énergie.

Abstract - This paper investigates on the power consumption of the Wi-Fi IEEE 802.11ac standard, at the physical layer level. The processing power dissipated in the integrated circuits of transmitters and receivers is analyzed in addition to the conventional transmission power. Simulations are done to evaluate the power consumption of the elements that perform the signal processing algorithms, and the results are validated thanks to measurements and hardware developments on a Field-Programmable Gate Array. The most consuming components are pointed out, which is a first step towards a low-powered Wi-Fi.

1 Introduction

L'augmentation de la demande des services multimédia et des technologies de communication impacte considérablement la facture énergétique des réseaux domestiques. Les solutions capables de réduire l'empreinte énergétique suscitent un intérêt significatif dans les réseaux cellulaires, comme le montrent les travaux du consortium GreenTouch [1] ou du projet européen EARTH [2] par exemple, mais peu de recherches sont réalisées au niveau des réseaux domestiques. Dans ce domaine, la Commission Européenne a fixé des contraintes sur la consommation d'énergie des passerelles domestiques et des dispositifs réseau [3]. Ces «codes de conduite» définissent des objectifs, mais ne précisent pas comment les satisfaire. Le projet GREENCoMM a évalué la consommation énergétique des technologies de communication dans un contexte Home Network, afin de proposer des solutions visant à améliorer l'efficacité énergétique [4].

Notre article propose une analyse du coût énergétique du Wi-Fi, qui est la technologie la plus répandue pour les services multimédia dans les habitations.

Des études qualitatives sur l'efficacité énergétique des réseaux sans fil sont présentes dans l'état de l'art, comme par exemple [5][6]. Dans [7], les auteurs soulignent l'importance de la puissance dissipée dans les circuits pour exécuter des algorithmes de traitement du signal, en plus de la puissance d'émission classique à l'antenne. Dans [8], une chaîne programmable Wi-Fi selon la norme IEEE 802.11a est proposée, et la complexité des algorithmes est évaluée. Dans [9],

l'énergie d'un module particulier, la transformée de Fourier rapide (FFT), est analysée pour différentes architectures. Dans [10], la puissance consommée par le décodeur est étudiée. Afin de compléter ces études, cet article présente une évaluation quantitative du coût énergétique des modules de traitement numérique du signal de la norme Wi-Fi la plus récente, IEEE 802.11ac [11]. Les résultats présentés par les auteurs dans [12] sur ce sujet sont à présent mis à jour grâce à l'optimisation de certains modules, ainsi qu'à de nouveaux développements et mesures, notamment dans la partie réception. La puissance dissipée par les circuits de chaque composant de l'émetteur et du récepteur est évaluée grâce à des simulations et des mesures réelles sur plateforme matérielle, ou carte FPGA (Field-Programmable Gate Array). De nombreux résultats numériques sont fournis, permettant d'évaluer l'impact de paramètres cruciaux tels que la température, le débit utile, la modulation et les schémas de codage, sur la consommation d'énergie.

Notre travail se concentre sur la partie bande de base numérique de la couche physique (PHY) Wi-Fi. La partie analogique n'est pas considérée ; des détails sur ce sujet peuvent être trouvés dans [13]. L'article est organisé de la manière suivante. Après une description du contexte dans la section 2, la méthodologie permettant d'obtenir les consommations est présentée dans la section 3. Les mesures et les résultats de simulation sont analysés dans la section 4, les conclusions sont fournies à la section 5.

2 Analyse théorique

2.1 Consommation en puissance

La consommation d'un système de communication inclut la puissance d'émission à l'antenne et la puissance dissipée par les circuits. La puissance d'émission est limitée par les organismes de normalisation des différents pays. En Europe, la puissance d'émission maximale rayonnée pour les applications Wi-Fi dans la bande de 5 GHz est de 100 à 1000 mW [14]. Jusqu'à présent, peu d'études ont traité la consommation des circuits due aux algorithmes de traitement de signal. Elle est cependant prise en compte lors de la conception des systèmes de communication, en particulier dans les environnements intérieurs impliquant de courtes distances, et donc, de faibles puissances d'émission.

La puissance totale du circuit P_c comprend une partie statique et une partie dynamique, P_{stat} et P_{dyn} respectivement [15]. La puissance statique est principalement due aux courants de fuite et dépend de la technologie des circuits, de la tension d'alimentation et de la température ambiante. Son expression théorique est (en W) : $P_{stat} = V i_{leak}$, où i_{leak} est l'intensité du courant de fuite (en A) qui est fonction de la température [16], et V la tension d'alimentation (en V), généralement autour de 1 V. La puissance dynamique est induite par l'activité de commutation des transistors. Son expression théorique est (en W) : $P_{dyn} = \alpha C V^2 f$, où α représente la probabilité de commutation d'un élément, C est la capacité (en Farads) et f la fréquence d'horloge (en Hz).

2.2 Contexte Wi-Fi

Les principaux composants des chaînes Wi-Fi d'émission (Tx) et de réception (Rx) sont représentés

Figure 1. Le système est basé sur le multiplexage par répartition orthogonale de la fréquence (OFDM), construit via des transformées de Fourier rapide directe et inverse (IFFT). Un préfixe cyclique (CP) ajouté au début de chaque symbole OFDM limite les interférences entre symboles. La mise en trame consiste à construire le symbole OFDM, comprenant les données, les symboles pilotes et des symboles nuls.

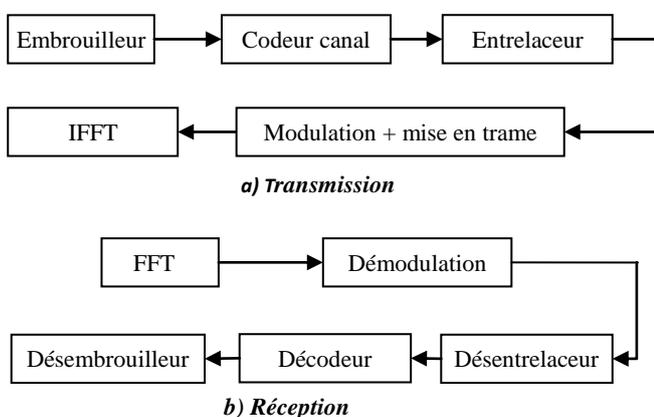


Figure 1 : Chaîne Tx/Rx de la couche PHY

3 Méthodologie

3.1 Outils

Les émetteurs-récepteurs Wi-Fi sont généralement composés de circuits intégrés non programmables conçus pour une application particulière, les ASICs. Moins coûteux et plus flexibles, les circuits logiques programmables (FPGA) contiennent des mémoires reconfigurables et des transistors. Ils sont adaptés aux tests mais nécessitent un peu plus d'énergie.

Notre étude inclut des mesures réelles sur carte FPGA, ainsi que des simulations pour évaluer la consommation énergétique des chaînes Wi-Fi Tx/Rx. Une chaîne de simulation a été développée dans un langage de description matérielle (VHDL) afin d'évaluer la puissance dissipée par les circuits, via l'outil d'analyse XPower de Xilinx [17]. La consommation de chaque bloc est évaluée, afin d'obtenir la répartition de l'énergie dans les chaînes Tx et Rx. Parallèlement, une implémentation matérielle a été réalisée sur carte FPGA afin d'obtenir des mesures réelles de la consommation d'énergie. L'outil Fusion [18] permet de relever le courant et la tension d'alimentation via une sonde, afin de calculer la puissance totale dissipée par le FPGA.

3.2 Scenarios

Les chaînes en bande de base de la norme Wi-Fi IEEE 802.11ac [11] ont été simulées à 5 GHz, pour plusieurs bandes passantes et schémas de modulation et de codage (MCS), avec une antenne en émission et en réception. La durée du symbole OFDM est de 4 μ s. Le codeur canal est un codeur convolutif binaire, et le décodeur est un algorithme de Viterbi. L'estimation du canal et la synchronisation en fréquence sont supposées parfaites, ces blocs ne sont pas pris en compte. Les paramètres des scénarios simulés sont décrits Tab 1. A noter qu'avec l'architecture globale développée, certains blocs ne peuvent atteindre des fréquences d'horloge supérieures à 200 MHz car les chemins critiques sont atteints. Par conséquent, les scénarios où le débit binaire est élevé, en fond gris Tab 1, n'ont pas été simulés.

Tab 1 : Scénarios

Largeur de bande [MHz]	20	40	80	
Taille de FFT	64	128	256	
Nombre de sous-porteuses de données	52	108	234	
Taille du préfixe cyclique	16	32	64	
Débit [Mbps]	MCS 1 (QPSK 1/2)	13	27	58.5
	MCS 3 (16-QAM 1/2)	26	54	117
	MCS 5 (64-QAM 2/3)	52	108	234
	MCS 8 (256-QAM 3/4)	78	162	351

Le bloc FFT utilisé dans cette étude est un IPCore, architecture pipeline, développé par Xilinx. Le décodeur de Viterbi est de longueur 35. La carte FPGA est un Virtex 7, vc707 de Xilinx [19]. La tension d'alimentation est 1 V.

3.3 Architecture

L'architecture choisie est telle que 2 bits sont délivrés par cycle d'horloge par le codeur. Par conséquent, chaque symbole complexe est créé en $K/2$ cycles d'horloge, K étant le nombre de bits codés par symbole complexe. Le bloc IFFT reçoit en continu les symboles complexes pour créer un symbole OFDM. Ceci conduit à deux architectures des chaînes Tx, selon le MCS.

Dans le cas d'une modulation Quaternary Phase Shift Keying (QPSK), K vaut 2. Durant un cycle d'horloge, le bloc de modulation transmet un symbole complexe de données au bloc de mise en trame. Parallèlement, le bloc de mise en trame envoie un symbole complexe au bloc IFFT, incluant non seulement les données, mais aussi les pilotes et les symboles nuls. Le flux de données est arrêté durant l'insertion des pilotes et des symboles nuls ; de même que lors de l'insertion du préfixe cyclique après l'IFFT. Le flux de bits d'information en entrée du système n'est donc pas transmis en continu. Pour un débit donné R , l'expression de la fréquence d'horloge est la suivante : $f = R \cdot (N_{FFT} + N_{CP}) / N_{data}$, où N_{FFT} est la taille de la (I)FFT, N_{CP} la taille du préfixe cyclique, et N_{data} le nombre de symboles complexes de données par symbole OFDM.

Dans le cas d'une modulation Quadratic Amplitude Modulation (QAM), pour $K \geq 4$, un symbole de données contient au minimum 4 bits codés, nécessitant au minimum 2 cycles d'horloge pour être créé et transmis. L'insertion d'un pilote ou d'un symbole nul, qui ne nécessite qu'un cycle d'horloge, peut être faite pendant la création des symboles de données. Le nombre de cycles requis pour générer $N_{data} \cdot K/2$ symboles en sortie de la mise en trame est supérieur au nombre de cycles requis pour construire le symbole OFDM, $(N_{FFT} + N_{CP})$. Dans ce cas, il n'est pas nécessaire d'arrêter le flux de bits de données en entrée du système.

4 Analyse des résultats de simulation

4.1 Puissance statique

Les puissances statique et dynamique de la chaîne de réception, ont été évaluées via XPower dans la bande de 40 MHz, à 162 Mbps (MCS 8). Pour une température de 40°C, les puissances statique et dynamique valent 381 mW et 479 mW, respectivement. Cet exemple montre que la puissance dynamique peut surpasser la puissance statique, et donc que la réduction de la puissance dynamique peut apporter d'importants gains énergétiques.

4.2 Distribution de la puissance dynamique

Les puissances dynamiques des blocs des chaînes d'émission et de réception obtenues via XPower, sont données en Tab 2, en supposant les blocs isolés et constamment actifs. Ces résultats diffèrent légèrement des chiffres fournis en [12], car l'architecture des chaînes a été modifiée afin d'être plus proche de la réalité, l'algorithme de modulation a été optimisé, et de

nouvelles simulations ont été effectuées, permettant une mise à jour des données. L'égaliseur de canal n'est pas développé, mais le schéma le plus simple consiste en une simple multiplication par un coefficient ; on peut donc supposer que sa consommation est limitée par rapport à l'IFFT par exemple.

Les graphiques des Figures 2 et 3 montrent la distribution des puissances consommées par les blocs des chaînes Tx et Rx pour deux MCS dans la bande des 40 MHz.

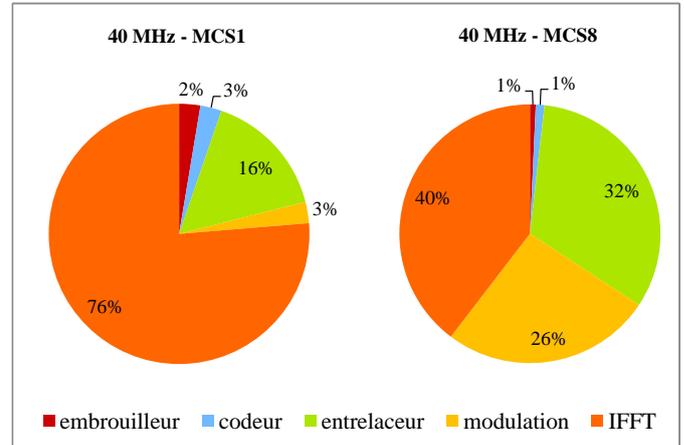


Figure 2 : Distribution des puissances - chaîne Tx

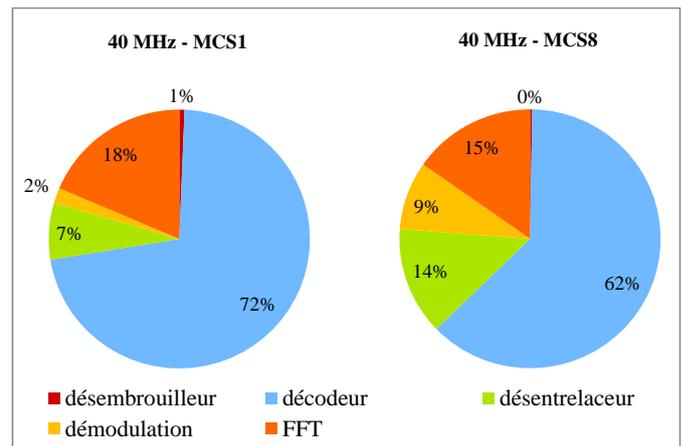


Figure 3 : Distribution des puissances - chaîne Rx

On constate qu'à l'émission, le bloc IFFT est le plus gourmand en énergie. Pour des débits élevés, les consommations de l'entrelaceur et de la modulation augmentent sensiblement. Concernant la réception, le décodeur de Viterbi est le bloc le plus consommateur. En résumé, le codage/décodage représente environ 50% de la consommation totale, et l'IFFT/FFT autour de 20%. Ces résultats montrent clairement que d'importants gains en énergie peuvent être obtenus en optimisant les algorithmes de ces blocs.

4.3 Consommation des chaînes Tx/Rx

Les consommations en puissance des chaînes Tx et Rx incluant tous les blocs sont données Tab 3. Le tableau permet de comparer les résultats de simulations avec les valeurs mesurées sur carte FPGA. On constate une très faible différence entre les mesures et les simulations, l'erreur moyenne étant inférieure à 6.5%, ce qui est acceptable, sachant que le pas de mesure de puissance sur FPGA est de 10 mW.

Tab 2 : Puissance dynamique des blocs isolés

Largeur de bande	MCS	embrouilleur	codeur	entrelaceur	modulation	IFFT	démodulation	désentrelaceur	décodeur
20 MHz	MCS1	1	0	2	0	12	1	4	57
	MCS3	1	0	4	4	16	4	4	74
	MCS5	1	1	16	7	29	17	17	147
	MCS8	1	2	31	13	43	22	20	221
40 MHz	MCS1	1	1	6	1	27	3	11	112
	MCS3	1	1	16	12	37	9	28	152
	MCS5	1	2	62	29	79	55	80	302
	MCS8	2	3	91	73	116	62	98	454
80 MHz	MCS1	2	2	27	2	60	4	52	225
	MCS3	2	3	71	44	85	36	68	331

Tab 3 : Puissances dynamiques des chaînes Tx/Rx

Bande	MCS	Simulations		Mesures	
		Puissance Tx [mW]	Puissance Rx [mW]	Puissance Tx [mW]	Puissance Rx [mW]
20 MHz	MCS1	12	48	10	50
	MCS3	17	87	20	80
	MCS5	39	185	40	190
	MCS8	59	258	60	250
40 MHz	MCS1	29	113	30	110
	MCS3	50	195	50	170
	MCS5	118	453	120	450
	MCS8	207	622	200	600
80 MHz	MCS1	73	257	90	230
	MCS3	177	491	160	480

En comparant avec le Tab 2, on remarque que la consommation globale des chaînes est inférieure à la somme des puissances des blocs. Ceci est dû au fait que les résultats du Tab 2 correspondent à des blocs isolés constamment actifs, alors qu'une fois insérés dans une chaîne, ces blocs n'ont pas le même taux d'activité.

On note par ailleurs que la puissance des chaînes augmente avec le débit. Plus précisément, la consommation de certains blocs comme la (D)FFT ou l'embrouillage augmente linéairement avec le débit, tandis que d'autres blocs sont affectés par d'autres paramètres : l'entrelaceur et la modulation dépendent de l'ordre de la constellation. En conséquence, la puissance globale n'est pas tout à fait proportionnelle au débit.

5 Conclusion

Dans le contexte des réseaux domestiques, cette étude constitue une première étape vers un Wi-Fi à faible consommation d'énergie. La distribution de la consommation énergétique a été évaluée et analysée, permettant d'identifier les éléments les plus énergivores, comme le décodeur et la FFT, dont la complexité peut encore être optimisée, afin de réduire la consommation. Cette évaluation est validée par une mise en œuvre sur une plate-forme matérielle. Appliquée à la technologie Wi-Fi, la méthode proposée peut être élargie à d'autres technologies telles que les systèmes cellulaires 5G.

6 Références

- [1] Projet GreenTouch, <http://www.greentouch.org/>
- [2] Projet EARTH, <https://www.ict-earth.eu/>
- [3] "Code of Conduct on Energy Consumption of Broadband Equipment," v5.0, European Commission Joint Research Centre, Institute for Energy and Transport, Renewable Energy Unit, Dec. 2013
- [4] Projet GREENCoMM, <http://greencomm-projet.org/>
- [5] Y. Chen, S. Zhang, S. Xu, G. Y. Li, "Fundamental trade-offs on green wireless networks," IEEE Communications Magazine, vol. 49, no. 6, Juin 2011
- [6] G.Y. Li, Z. Xu, C. Xiong, C. Yang, S. Zhang, Y. Chen, et S. Xu, "Energy-efficient wireless communications: tutorials, survey, and open issues," IEEE Wireless Communications, vol. 18, no. 6, Dec. 2011
- [7] G. Miao, N. Himayat, Y. Li, et A. Swami, "Cross-layer optimization for energy-efficient wireless communications: a survey," Wiley journal Wireless communications & Mobile computing, vol. 9, no. 4, Avr. 2009
- [8] Y. Lin, H. Lee, M. Woh, Y. Harel, S. Mahlke et T. Mudge, "SODA: A low-power architecture for software radio," Proc. ISCA 2006
- [9] B. H. Calhoun, D. C. Daly, N. Verma, D. F. Finchelstein, D. D. Wentzloff, A. Wang, S. H. Cho, A. P. Chandrakasan, "Design considerations for ultra-low energy wireless microsensor nodes," IEEE Transactions on Computers, vol. 54, no. 6, Juin 2005
- [10] P. Grover, K. Woyach et A. Sahai, "Towards a communication-theoretic understanding of system-level power consumption," IEEE Journal on Selected Areas in Communications, vol. 29, n. 8, Sept. 2011
- [11] IEEE 802.11ac-2013, IEEE Standard for Information technology - Telecommunications and information exchange between systems - Local and metropolitan area networks - Specific requirements, Part 11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications, 2013
- [12] W. Benali, M. Le Bot, C. Langlais, S. Kerouédan, "Power Consumption of Wi-Fi Transceivers", Proc. ISWCS 2016
- [13] Y. Li, B. Bakalaloglu et C. Chaktabarti, "A system level energy model and energy-quality evaluation for integrated transceiver front-ends," IEEE Transactions on Very Large Scale Integration Systems, vol. 15, no.1, Jan. 2007
- [14] ETSI EN 301 893 V1.7.1 (2012-06) "Broadband Radio Access Networks (BRAN); 5 GHz high performance RLAN; Harmonized EN covering the essential requirements of article 3.2 of the R&TTE Directive"
- [15] A. P. Chandrakasan, S. Sheng, R. W. Brodersen, "Low-power CMOS digital design," IEEE Journal of Solid-State Circuits, vol. 27, n. 4, Avr. 1992
- [16] Y. Liu, R.P. Dick, L. Shang, H. Yang, "Accurate temperature-dependent integrated circuit leakage power estimation is easy," Proc. DATE 2007
- [17] Xilinx Power Tools Tutorial, Spartan-6 and Virtex-6 FPGA, UG733 v1.0, Xilinx, Mars 2010
- [18] Using the UCD92xx Digital Point-of-Load Controller, Design Guide, Texas Instruments, Avr. 2011
- [19] VC707 Evaluation board for the Virtex-7 FPGA, User guide, v 1.7, Xilinx, Mars 2016