



**HAL**  
open science

**Sur la limitation des diviseurs fractionnaires numériques  
pour la division de fréquence d'oscillateurs  
opto-électroniques**

Arnaud Collet, Éric Tournier

► **To cite this version:**

Arnaud Collet, Éric Tournier. Sur la limitation des diviseurs fractionnaires numériques pour la division de fréquence d'oscillateurs opto-électroniques. 20èmes Journées Nationales Micro-ondes (JNM 2017), May 2017, Saint-Malo, France. 4p. hal-01539442

**HAL Id: hal-01539442**

**<https://hal.science/hal-01539442>**

Submitted on 14 Jun 2017

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

## Sur la limitation des diviseurs fractionnaires numériques pour la division de fréquence d'oscillateurs opto-électroniques

Arnaud Collet<sup>1</sup>, Éric Tournier<sup>1</sup>

<sup>1</sup>LAAS-CNRS, Université de Toulouse, CNRS, UPS, Toulouse, France  
acollet@laas.fr

**Résumé** — L'exploitation d'oscillateurs opto-électroniques de fréquence élevée en tant que références dans la synthèse de fréquences plus basses, permet d'éviter l'utilisation des multiplieurs de fréquence programmables des synthèses de fréquence plus classiques, et donc la dégradation du bruit de phase qu'ils engendrent : seule une opération de division est alors nécessaire. Pour obtenir une finesse de réglage suffisante, des diviseurs fractionnaires doivent être considérés, tels que ceux à base de modulateurs  $\Sigma\Delta$ . Cet article met en évidence l'amélioration apportée par cette technique de division, mais discute également de ses limitations et montre que les diviseurs fractionnaires numériques ne sont pas conçus pour fonctionner seuls, en dehors d'une PLL, et qu'il n'est donc pas possible de faire l'économie de cette dernière et de son bruit. Des simulations illustrant le propos et basées sur le logiciel CppSim sont proposées.

### 1. Introduction

La multiplication des normes de télécommunication a tendance à saturer certaines bandes de fréquences et nécessite de s'orienter vers des fréquences de plus en plus élevées. Pour les atteindre à partir de boucles à verrouillage de phase classiques, c.-à-d. synchronisées sur des fréquences de référence à quartz de seulement quelques dizaines de MHz, il faut mettre en œuvre des *multiplieurs* de fréquences de rapport  $M$  élevé, impliquant automatiquement une dégradation sur le bruit de phase de  $20 \log M$  qu'il n'est pas possible d'éliminer, et à laquelle s'ajoute le bruit propre du multiplieur.  $M$  devenant de plus en plus grand,  $20 \log M$  ne permet plus de générer des fréquences avec un bruit de phase suffisamment faible pour certaines applications pointues, du domaine spatial notamment. Ainsi, la transposition d'une fréquence de référence de 50 MHz à 10 GHz dégradera inéluctablement son bruit de phase de :

$$20 \log \left( \frac{10 \cdot 10^9}{50 \cdot 10^6} \right) = 20 \log 200 = 46 \text{ dB}$$

Il convient donc de changer d'approche, et de ne plus chercher à utiliser une référence basse mais au contraire une référence élevée, que l'on ne fera que diviser. Au contraire de la multiplication, la division par  $M$  améliore automatiquement le bruit de phase ( $-20 \log M$ ), diminution qui ne se retrouvera toutefois pas directement sur le bruit en

sortie du diviseur car il conviendra de lui ajouter le bruit propre du circuit de division, en dessous duquel il sera impossible de descendre.

Les oscillateurs opto-électroniques (CRO : Coaxial Resonator Oscillator, DRO : Dielectric Resonator Oscillator, OEO : Opto Electronic Oscillator, SLCO : Sapphire Loaded Cavity Oscillator, ...) sont des oscillateurs pouvant servir de référence de fréquence élevée de plusieurs dizaines de GHz auxquelles ils sont excellents en bruit de phase, sans avoir nécessité de multiplication préalable.

Synthétiser une fréquence à partir de références plus élevées ne se fait alors qu'avec une division, que l'on souhaite fractionnaire pour une meilleure résolution en sortie. Ainsi, obtenir une fréquence dans la bande WiFi autour de 2,4 GHz à partir d'une référence qui serait de 30 GHz nécessite un coefficient de division fractionnaire de 12,5.

On pourrait penser que les diviseurs fractionnaires ont fait l'objet d'études très poussées par le passé. Mais si on y regarde d'un peu plus près, on constate que ce sont les *multiplieurs* fractionnaires à PLL, à base de diviseurs fractionnaires inversés par la boucle de contre-réaction, qui ont fait l'objet de ces études, pas les diviseurs fractionnaires utilisés seuls. Et pour cause : le diviseur fractionnaire n'a paradoxalement pas été prévu pour fonctionner autrement qu'en multiplieur via une PLL.

### 2. La synthèse fractionnaire classique

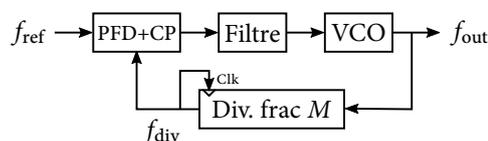


Figure 1. Division fractionnaire dans le cas d'une référence  $f_{in}$  basse

La fig. 1 montre une synthèse fractionnaire classique (multiplication) à base de PLL, avec un diviseur fractionnaire dans la boucle de contre-réaction jouant indirectement le rôle de multiplieur. La fréquence du VCO s'ajuste jusqu'à ce que  $f_{in} = f_{div} = \frac{f_{out}}{M}$ . Comme c'est la fréquence de sortie qui nous intéresse ici, on écrit plutôt  $f_{out} = M f_{in}$ . La contre-réaction a donc inversé le diviseur, conduisant la PLL à se comporter comme un multiplieur. Ce diviseur fractionnaire est le plus souvent implémenté de ma-

nière numérique sous la forme d'un diviseur à pas entier programmable dont on vient changer en permanence le rapport de division, de telle manière que la moyenne des rapports de division soit égale au rapport fractionnaire souhaité. C'est le nombre de rapports de division entiers disponibles ainsi que la manière de les alterner qui définit la technique utilisée. Par exemple, pour réaliser très simplement le rapport 12,5 évoqué plus haut, il suffit de diviser alternativement par 12 et par 13, ou bien par 11 et par 14, ou encore par 13, 11, 14 et 12, etc. Malheureusement, la périodicité mathématique de cette approche très simple dans le changement de rapports induit une fréquence fondamentale parasite avec tous ses harmoniques, qui viennent dégrader la pureté spectrale de la division. Il convient alors d'augmenter le nombre de rapports de division et de les alterner de manière la plus aléatoire possible pour supprimer cette périodicité ou tout au moins la rendre très grande, et avec elle ses fréquences parasites. Cette suppression de fréquences parasites discrètes s'accompagne cependant d'une remontée du bruit de fond, mais que certaines techniques permettent toutefois de repousser vers les hautes fréquences où elles sont plus facilement filtrables.

Une technique très utilisée pour alterner de façon quasi-aléatoire les rapports de division est par exemple le modulateur  $\Sigma\Delta$  d'ordre  $n$ , qui utilise  $2^n$  rapports de division, de  $(M - 2^{n-1} + 1)$  à  $(M + 2^{n-1})$ , pour créer un rapport de division fractionnaire moyen compris entre  $M$  et  $M + 1$  [1, 2]. Les modulateurs  $\Sigma\Delta$  sont connus pour repousser d'autant plus le bruit vers les hautes fréquences que leur ordre est élevé. L'ordre 3 correspond au compromis habituel entre la complexité du diviseur et sa capacité à rejeter le bruit. Sa fréquence d'horloge est sa fréquence de sortie : elle doit être suffisamment faible pour que les étages CMOS calculant l'alternance des rapports de divisions puissent fonctionner.

La fig. 2 donne un exemple de modulateur  $\Sigma\Delta$  d'ordre 3, avec un rapport de division fractionnaire moyen commutant de 115,6195 à 120,801. Ce modulateur est inséré dans une synthèse de fréquence dont la référence servant d'horloge est de 20 MHz.

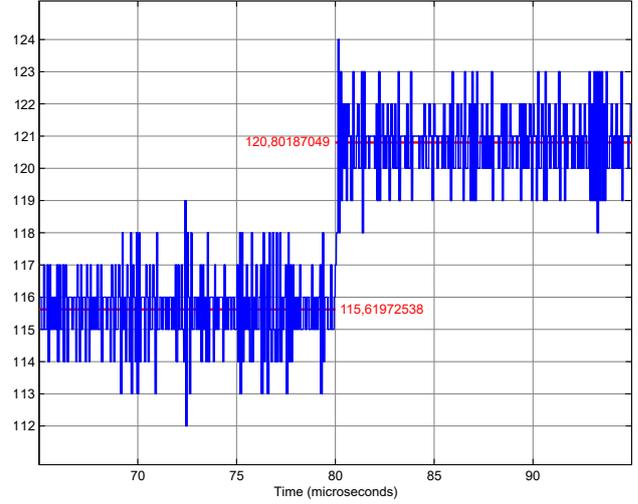
### 3. Bruit de phase dans la PLL- $\Sigma\Delta$

La puissance d'un bruit de quantification sur des valeurs espacées de  $\Delta$  et plus particulièrement ici sur des rapports de division entiers ( $\Delta = 1$ ) est  $P_B = \frac{\Delta^2}{12} = \frac{1}{12}$ .

Avec une fréquence d'échantillonnage de  $f_e$ , la puissance se répartit uniformément sur  $\left[-\frac{f_e}{2}; \frac{f_e}{2}\right]$ , et donc avec une DSP de  $S_B = \frac{1}{12f_e}$ . La fonction de transfert en  $Z$  du bruit de quantification d'un  $\Sigma\Delta$  d'ordre  $n$  étant  $(1 - z^{-1})^n$ , la DSP du bruit du  $\Sigma\Delta$  sur les rapports de division  $M$  s'écrit alors :

$$S_{B_n}(z) = |1 - z^{-1}|^{2n} S_B = \frac{|1 - z^{-1}|^{2n}}{12f_e}$$

Sachant que la relation entre les rapports de division et les fréquences est  $f_{out} = f_e = \frac{f_{in}}{M}$ , le bruit de quantification sur les rapports de division se transpose en bruit de



**Figure 2. Alternance  $\Sigma\Delta$  d'ordre 3 des rapports de division entiers de moyennes 115,619 725 38 puis 120,801 870 49**

fréquence instantanée du  $\Sigma\Delta$  :

$$S_{F_e}(z) = \frac{|1 - z^{-1}|^{2n} f_e^2}{12f_e} = \frac{|1 - z^{-1}|^{2n} f_e}{12}$$

La relation entre phase et fréquence instantanée étant  $\varphi(t) = 2\pi \int_0^t f(t) dt$ , il vient alors pour le cas continu :

$$\Phi(j\omega) = 2\pi \frac{F(j\omega)}{j\omega} \Leftrightarrow \Phi(v) = \frac{F(v)}{jv} \Rightarrow S_{\Phi}(f) = \frac{S_F(v)}{v^2}$$

et pour le cas échantillonné :

$$\Phi(z) = \frac{2\pi T_e}{1 - z^{-1}} F(z) = \frac{2\pi F(z)}{(1 - z^{-1})f_e} \Rightarrow S_{\Phi}(z) = \frac{4\pi^2 S_F(z)}{|1 - z^{-1}|^2 f_e^2}$$

Au final, la DSP du bruit de phase du  $\Sigma\Delta$  est donc

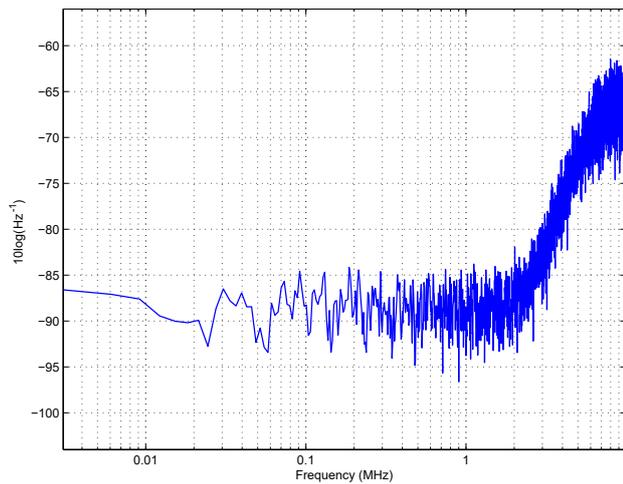
$$S_{F_e}(z) = \frac{4\pi^2 |1 - z^{-1}|^{2n} f_e}{|1 - z^{-1}|^2 f_e^2 12} = \frac{4\pi^2}{12f_e} |1 - z^{-1}|^{2(n-1)}$$

D'où l'expression du bruit de phase du  $\Sigma\Delta$  ramené en sortie :

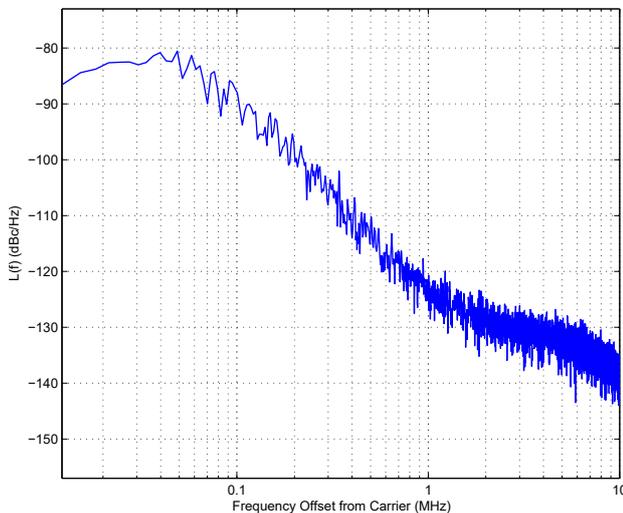
$$\mathcal{L}(f) = \frac{4\pi^2}{12f_{clk}} \left[ 2 \sin\left(\frac{\pi f}{f_{clk}}\right) \right]^{2(n-1)} \quad (1)$$

Lorsque la PLL est verrouillée, la fréquence synthétisée  $f_{out}$  est stable : c'est aussi la fréquence d'entrée du diviseur. Mais la fréquence en sortie du diviseur fractionnaire  $f_{div}$  elle, n'est pas stable, puisque le rapport instantané de division  $M$  change constamment et que par conséquent  $f_{div} = \frac{f_{out}}{M}$  change constamment aussi. L'erreur de phase n'est ainsi jamais nulle instantanément, car la dynamique de la PLL ne lui permet pas de suivre instantanément les fluctuations de  $f_{div}$ . Elle n'est nulle qu'en moyenne et heureusement, car ce n'est qu'à cette condition que la PLL peut récupérer la fréquence moyenne qui est celle qui nous intéresse.

La fig. 3 montre le bruit de quantification sur les rapports de division du modulateur  $\Sigma\Delta$  d'ordre 3, et sa transposition en sortie de PLL sur la fig. 4, dans le cas d'une synthèse de fréquence 1,946 GHz à partir d'une fréquence de référence de 20 MHz. Le logiciel de simulation utilisé est le logiciel CPPSIM, spécialisé dans les PLL fractionnaires à base de  $\Sigma\Delta$  [3]. La schématique simulée est intitulée "sd\_synth\_tristate" disponible en bibliothèque avec les blocs de la PLL prêts à l'emploi et disposant chacun de caractéristiques en bruit.



**Figure 3. Bruit de quantification sur les rapports de division**



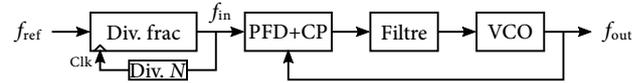
**Figure 4. Bruit de phase en sortie de PLL- $\Sigma\Delta$  standard**

#### 4. La division fractionnaire

Si l'on extrait le diviseur de la PLL, qu'on lui met une fréquence de référence élevée en entrée (ici 30 GHz), pour lui faire générer une fréquence plus basse en sortie, cette fréquence n'étant pas stable, on ne peut pas l'utiliser directement comme sortie de la synthèse. Il n'est même pas envisageable de filtrer cette sortie car toutes les fréquences qui interviennent participent au moyennage : il n'est donc pas question de les faire disparaître par filtrage. Autrement

dit, les diviseurs numériques fractionnaires ne sont prévus que pour fonctionner dans des PLL qui peuvent se verrouiller sur la valeur moyenne fractionnaire de fréquence.

Une solution envisageable que nous proposons ici est celle de la fig. 5, dans laquelle le diviseur fractionnaire est repositionné à l'entrée d'une PLL à retour simplement unitaire. Cette PLL permet de récupérer la valeur moyenne de la fréquence qui lui est présentée en entrée par le diviseur fractionnaire et de se verrouiller dessus.



**Figure 5. Division fractionnaire dans le cas d'une référence  $f_{in}$  élevée**

Le VCO reste inchangé. Par contre, la fréquence de fonctionnement du PFD est relevée à la fréquence synthétisée. On trouve dans la littérature des PFD fonctionnant à haute fréquence (ex. 2,4 GHz [4]).

Le diviseur fractionnaire voit également sa fréquence d'horloge augmentée à la fréquence haute de sortie, qui peut dès lors être trop élevée pour lui. Mais il est possible de rajouter un diviseur entier supplémentaire par  $N$  pour l'abaisser (cf fig. 5), sans changer le rapport moyen de division global. Toutefois, le bruit donné par l'équation (1) se retrouve d'autant moins repoussé vers les hautes fréquences. Un diviseur fractionnaire capable de travailler avec une  $f_{clk}$  de 800 MHz a déjà été publié [5].

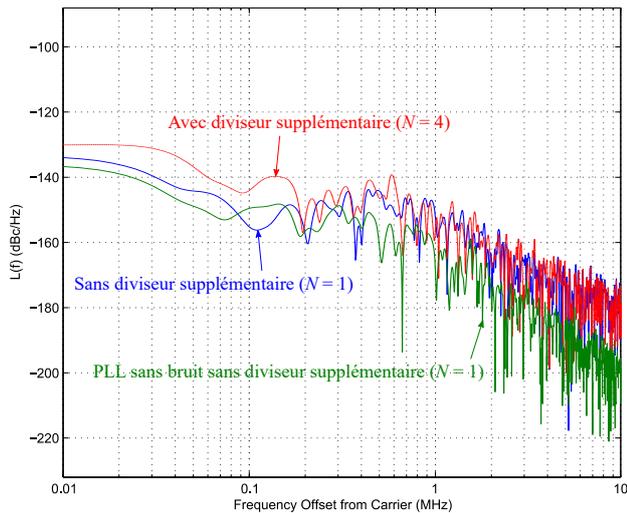
La fig. 6 montre trois simulations effectuées par CppSim. Le VCO est resté identique, la pompe de charges également, et le filtre a été réajusté pour garder la même marge de phase :

- Une première simulation «idéale», faite avec une PLL sans bruit propre, permettant juste d'extraire la fréquence correspondant au rapport moyen de division fractionnaire.
- Une deuxième simulation avec une PLL normale, ajoutant son bruit propre, avec la fréquence d'horloge du  $\Sigma\Delta$  égale à la fréquence de référence de la PLL.
- Une troisième simulation basé sur la deuxième mais avec un diviseur à pas entier supplémentaire  $N = 4$ , permettant d'abaisser la fréquence d'horloge du  $\Sigma\Delta$  au cas où la fréquence de référence serait considérée comme trop élevée.

Les performances en bruit de phase sont clairement meilleures comparées à la fig. 4 (même fréquence générée par la PLL- $\Sigma\Delta$ , mais utilisant une fréquence de référence basse).

#### 5. Limitation de la division fractionnaire $\Sigma\Delta$

Une limitation des modulateurs  $\Sigma\Delta$  est que leurs rapports de division ne peuvent pas être égal à 0 et encore moins être négatif. Comme un modulateur  $\Sigma\Delta$  d'ordre  $n$  de rapport fractionnaire compris entre  $M$  et  $M + 1$  utilise les rapports de division entre  $M - 2^{n-1} + 1$  et  $M + 2^{n-1}$ , une condition apparaît :  $M - 2^{n-1} + 1 \geq 1$ , qui conduit à

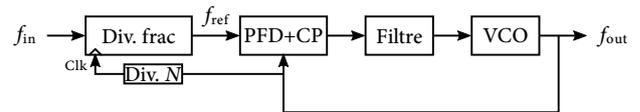


**Figure 6. Bruit de phase en sortie de la synthèse par division, sans diviseur supplémentaire**

un rapport fractionnaire minimal de  $M = 2^{n-1}$ . Pour le modulateur  $\Sigma\Delta$  d'ordre 3, il faut donc  $M \geq 4$ . Si de plus on note que la plupart des diviseurs de fréquence programmables ne prévoient pas de rapport 1 (qui correspond en fait à l'absence de division), le rapport minimal devient  $M = 5$ . Ainsi, une référence à 30 GHz ne peut pas générer par modulation  $\Sigma\Delta$  d'ordre 3 une fréquence supérieure à 6 GHz, à moins d'en abaisser l'ordre et donc d'accepter un niveau de bruit et de parasites plus élevé.

Nous avons aussi vu en section 3. que le profil théorique de bruit dans la PLL- $\Sigma\Delta$  (conduisant notamment à l'équation (1)) est menée à partir de la transformée en Z, qui suppose que la période et donc la fréquence d'horloge soient constantes, ce qui est d'autant moins le cas que le rapport à obtenir est faible. Par exemple, si l'on génère une fréquence de 2,4 GHz à partir d'une référence de 15 GHz, donc d'un rapport de division de 6,25, la sortie du diviseur et donc sa fréquence d'horloge fait le grand écart entre  $15/3 = 5$  GHz et  $15/10 = 1,5$  GHz. Si par contre on génère 2,4 GHz à partir d'une référence de 100 GHz et donc un rapport de 41,66, la fréquence d'horloge n'oscille qu'entre  $100/38 = 2,63$  GHz et  $100/45 = 2,22$  GHz et peut donc être considérée en première approximation comme constante. Donc, pour les faibles rapports de division, si le principe de division marche toujours, le calcul théorique proposé ne suit plus exactement le comportement réel. Une solution serait alors de prendre  $f_{out}$  comme horloge, qui est stable après verrouillage (fig. 7), mais les simulations montrent une dégradation générale du bruit de

phase de plus de 20 dB.



**Figure 7. Division fractionnaire dans le cas d'une référence  $f_{in}$  élevée avec horloge stable**

## 6. Conclusion

L'idée séduisante selon laquelle on pourrait utiliser des diviseurs numériques fractionnaires seuls, pour générer des fréquences basses à partir de références de fréquence élevées telles que celles fournies par des oscillateurs opto-électroniques, se heurte au fait que ces diviseurs ne sont pas prévus pour fonctionner en dehors d'une PLL, dont le rôle essentiel est d'extraire la fréquence moyenne issue du rapport fractionnaire moyen de division. Si une amélioration théorique significative du bruit de phase est effectivement obtenu par rapport au processus de multiplication des PLL habituelles pour des ratios élevés, il n'est pas possible de faire l'économie supplémentaire du bruit propre d'une PLL de rapport unitaire.

## 7. Remerciements

Ce travail a été soutenu par la DGA à travers le projet ANR Astrid DIFOOL.

## Références

- [1] B. Razavi, "The Delta-Sigma Modulator [A Circuit for All Seasons]," vol. 8, no. 2, pp. 10–15. [Online]. Available : <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=7495092>
- [2] T. A. D. Riley, M. A. Copeland, and T. A. Kwasniewski, "Delta-sigma modulation in fractional-N frequency synthesis," vol. 28, no. 5, pp. 553–559, 00618.
- [3] Michael H. Perrott. CppSim System Simulator. [Online]. Available : <http://www.cppsim.com>
- [4] K. K. A. Majeed and B. J. Kailath, "Low power, high frequency, free dead zone PFD for a PLL design," in *2013 IEEE Faible Tension Faible Consommation (FTFC)*, pp. 1–4.
- [5] D. Park and S. Cho, "A 14.2 mW 2.55-to-3 GHz Cascaded PLL With Reference Injection and 800 MHz Delta-Sigma Modulator in 0.13 m CMOS," vol. 47, no. 12, pp. 2989–2998.