



HAL
open science

Étude par simulation TCAD des effets design et température d'un inverseur CMOS sur la sensibilité Latchup

Ahmad Al Youssef, Laurent Artola, Samuel Ducret, Guillaume Hubert,
Franck Perrier

► To cite this version:

Ahmad Al Youssef, Laurent Artola, Samuel Ducret, Guillaume Hubert, Franck Perrier. Étude par simulation TCAD des effets design et température d'un inverseur CMOS sur la sensibilité Latchup. JNRDM 2016, May 2016, TOULOUSE, France. hal-01442088

HAL Id: hal-01442088

<https://hal.science/hal-01442088>

Submitted on 20 Jan 2017

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



Étude par simulation TCAD des effets design et température d'un inverseur CMOS sur la sensibilité Latchup

Al Youssef Ahmad^{1,2}, Artola Laurent¹, Ducret Samuel², Hubert Guillaume¹, Perrier Franck²

¹ONERA

2, avenue Edward Belin
31000 Toulouse Cedex, France

²Sofradir

21, Avenue de Valence
38113 Veurey-Voroize Cedex, France

E-mail : ahmad.al_youssef@onera.fr

Résumé

Ces travaux présentent une étude par simulation composant des caractéristiques électriques d'un inverseur CMOS (Complementary Metal-Oxide Semiconductor) vis à vis du phénomène Latchup (SEL) en utilisant le simulateur TCAD Sentaurus du logiciel Synopsys. Les mécanismes de déclenchement du phénomène Latchup ont été étudiés et ont permis de déduire des tendances de sensibilité en fonction des paramètres géométriques de l'inverseur CMOS. Une analyse physique spécifique des mécanismes en très basse température a conduit à définir un ensemble de modèles physiques (Shallow Level Impact Ionization, etc) nécessaire à la modélisation de l'accroissement inattendu de la sensibilité SEL. Les résultats en basse température ont montré une très bonne adéquation avec les mesures expérimentales.

1. Introduction

Le domaine spatial est certainement le plus complexe et le plus contraignant en matière de fiabilité des circuits intégrés. L'environnement radiatif spatial constitue un ensemble complexe de particules (proton, électron, ions lourds, etc) présentant une large gamme d'énergie. Suite à leurs impacts dans des zones sensibles des circuits intégrés, ces particules peuvent provoquer des pannes transitoires, ou permanentes et dans certains cas destructives. L'effet d'une seule particule est connu comme étant un événement singulier (SEE). Historiquement, les événements singuliers (SEE) sont apparus dans les années 60s dans le cadre des applications militaires [1] [2]. Ils entraînent des effets non désirables voire destructifs sur le fonctionnement des composants tel que le Single Event Latchup (SEL). Le

Latchup est un des événements singuliers le plus connu et le plus critique sur les composants électroniques [3-10]. En 1967, Leavy et Poll ont démontré pour la première fois que le rayonnement cosmique pouvait induire un Latchup [1]. Dès 1979, des tests au sol ont démontré que des ions lourds pouvaient induire un phénomène de Latchup [3]. Le déclenchement du Latchup par un ion lourd dans l'espace a été confirmé par Goka et al en 1991 [4]. Nichols et al ont confirmé que les protons induisent du Latchup à partir des données de test au sol effectuées en 1992 [5]. Dans la même année, Adams et al ont vérifié que les protons induisent du Latchup dans l'espace [6]. Ce phénomène, consiste en la mise en conduction d'une structure parasite composée, de 2 thyristors, et inhérente à la technologie CMOS. Lors du fonctionnement normal du composant, cette structure est à l'état bloqué. Si le composant est soumis à un stress électrique ou au passage d'une particule ionisante d'énergie suffisante, cette structure parasite peut devenir passante et ainsi créer un chemin de faible impédance entre l'alimentation et la masse du circuit. Le verrouillage de la structure thyristor à l'état passant entraîne une augmentation exponentielle du courant suivi d'un emballement thermique qui peut dans de nombreux cas conduire à la destruction du composant si l'alimentation n'est pas coupée.

Cet article sera consacré dans un premier temps, au principe de déclenchement du Latchup: le déclenchement par passage d'une particule radiatif (Single Event Latchup) et le déclenchement par stress électrique. Dans un second temps, une étude sur les effets de design et de basses températures sur la sensibilité Latchup par simulation TCAD (Technology Computer Aided Design) pour un inverseur CMOS dans la technologie utilisée par Sofradir sera présentée.

2.Principe de déclenchement du phénomène Latchup

2.1. Single Event Latchup

Les particules ionisantes peuvent produire un courant transitoire dans les dispositifs CMOS analogiques et numériques [26]. Ce courant peut être amplifié par des structures composées de plusieurs zones de silicium respectivement dopées PNPN parasites inhérentes dans la technologie CMOS. Cette forme de Latchup est considérée comme "Single Event Latchup" ou SEL. La Figure 1 montre l'une de ces structures parasites qui a été introduite en prenant la coupe 2D le long des sources de transistors p-MOS et n-MOS d'un inverseur CMOS. Cette structure thyristor parasite est composée de deux transistors bipolaires, un PNP vertical qui est formé par la source P+/puits N/substrat-P et un transistor NPN latéral qui est formé par la source N+/substrat-P/puits N, ainsi la sortie (collecteur) de chaque transistor est connectée à l'entrée (base) de l'autre, comme le montre le circuit équivalent de la Figure 1. Le Latchup peut se déclencher si un courant transitoire est observé sur l'électrode «Source p-MOS» connectée à l'alimentation de ce dispositif. Cette perturbation en courant peut être générée soit par stress électrique ou par passage d'une particule fortement énergétique. La structure parasite va alors amplifier ce courant et créer un chemin de faible impédance entre l'alimentation et la masse de l'inverseur. Cet état, appelée Latchup, persiste jusqu'à ce que l'alimentation soit coupée ou jusqu'à ce que l'appareil est détruit par la forte densité de courant [11] [12]. Les R-well et R-sub sont les résistances équivalentes respectivement du puits N et du substrat.

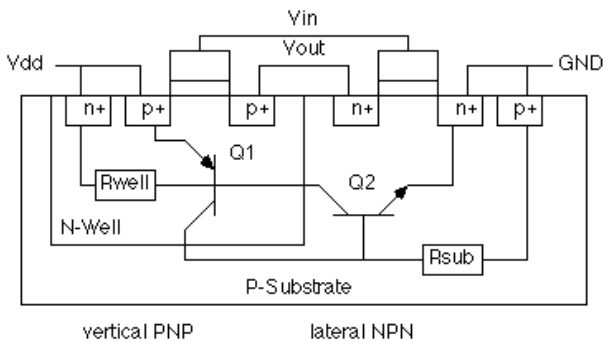


Figure 1: Structure parasite complète avec double thyristors

2.2. Latchup électrique

Comme il a été indiqué précédemment, le Latchup peut être déclenché électriquement, il est alors appelé Latchup électrique. Il est défini par deux points caractéristiques. Le point de déclenchement (V_{trigg} , I_{trigg}), et le point de maintien (V_{hold} , I_{hold}) [13] comme illustrés sur la Figure 2. La tension V_{hold} est une caractéristique clé du Latchup, elle permet notamment de définir une condition d'immunité au Latchup. En effet, si $V_{hold} > V_{DD}$ la structure CMOS est immunisée au phénomène de

Latchup quel que soit les perturbations subies. La courbe de caractérisation courant-tension du Latchup lorsqu'il est déclenché électriquement, peut être séquentiée en 4 zones de fonctionnement. On passe du régime linéaire des transistors vers le régime saturé, au régime de maintien du Latchup où le courant parasite est amplifié exponentiellement, pour finalement créer un chemin faible impédance entre la tension d'alimentation et la masse du circuit.

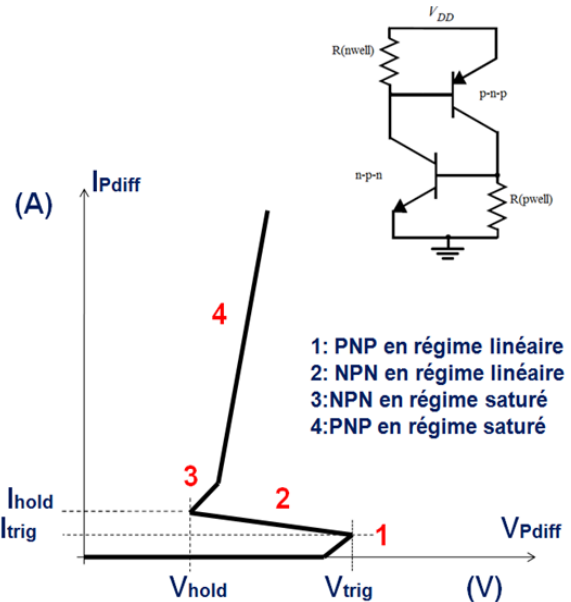


Figure 2: Caractéristique Courant-tension du déclenchement par stress électrique du Latchup

3. Effets design sur la sensibilité Latchup

L'outil de conception TCAD est une branche de la CAO (Conception assistée par ordinateur) électronique. Il permet dans notre cas de simuler le comportement physique et électrique d'un composant électronique en tenant compte la construction de sa structure (profils de dopages, nature de matériaux, géométries, etc). La structure qu'on a utilisée dans notre étude par simulation TCAD est une coupe en 2D d'un inverseur CMOS. Cette coupe a été prise de côté source p-MOS /source n-MOS comme observé dans la Figure 3.

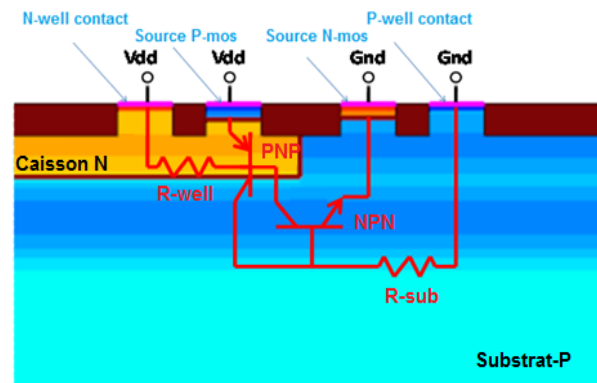


Figure 3: Coupe en 2D d'un inverseur CMOS

Les dimensions de l'inverseur CMOS utilisé sont basées sur les dimensions du design et les niveaux de dopages utilisés par les nœuds technologiques 0.25. Cette technologie Bulk, dont le process a été maîtrisé en 1999,

a été choisie car elle est assez mature pour présenter un intérêt pour l'aérospatial, et est similaire à la technologie utilisée par Sofradir dans ses imageurs IR (InfraRouge).

3.1. Effets design sur la sensibilité Latchup

Afin d'étudier l'effet d'une particule incidente, on utilisera la notion de LET (Linear Energy Transfer), appelée aussi « pouvoir d'arrêt total ». On définit le LET de la particule comme étant la perte d'énergie dE par unité de longueur dx aux matériaux; dans le cas de notre étude le silicium. Le LET s'exprime selon la formule suivante:

$$\left(\frac{dE}{dX}\right) \text{ En Mev.cm}^2.\text{mg}^{-1} \quad (1)$$

Il s'exprime en général en $\text{MeV.cm}^2/\text{mg}$. On utilisera souvent la notion $\text{LET}_{\text{seuil}}$ qui correspond au LET minimum suffisant à déclencher un événement parasite dans le matériau cible, la $\text{LET}_{\text{seuil}}$ sera utilisée pour caractériser la sensibilité d'un système aux événements parasites.

La distance entre les transistors N-mos et P-mos: SAC (Self-Align Contact) et la profondeur du SAC: $\text{SAC}_{\text{depth}}$ (Figure 3.2) sont les deux paramètres design de la structure inverseur étudiés dans cet article.

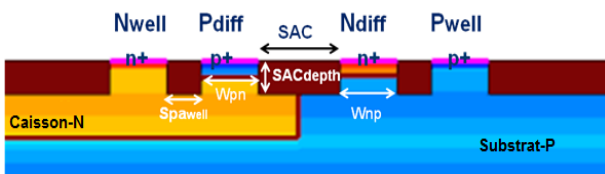


Figure 4: Paramètres design de la coupe en 2D

Le premier paramètre géométrique étudié est la largeur SAC (Figure 5). Les résultats ci-dessous sont présentés pour un inverseur CMOS, alimenté en 5V, à une température de 300K. Deux types de simulations sont effectués afin de tracer les deux courbes de V_{hold} et de $\text{LET}_{\text{seuil}}$ en fonction de la largeur SAC, la simulation transitoire et la simulation électrique statique. La simulation transitoire nous permet de tracer la courbe $\text{LET}_{\text{seuil}}$ tout en injectant un ion lourds au centre de la largeur SAC sur un range de 3 μm . La simulation statique nous permet de caractériser le Latchup par stress électrique sur le puits de diffusion Pdiff de l'inverseur afin de tracer la courbe de V_{hold} en fonction de la largeur SAC.

La Figure 5 montre que la tendance de V_{hold} et de $\text{LET}_{\text{seuil}}$ augmente en fonction de la largeur SAC, ce qui implique une diminution de la sensibilité de cette structure au Latchup. Cette tendance est en accord avec les travaux de la littérature [27].

Le deuxième paramètre géométrique étudié dans cette partie est la profondeur de l'isolant ($\text{SAC}_{\text{depth}}$) séparant les transistors P-mos et N-mos. Les résultats de simulation sont présentés dans Figure 6.

La Figure 6 met en évidence que la sensibilité de la structure au Latchup diminue linéairement lorsque la profondeur de l'isolant est comprise entre 0,2 et 0,56 μm .

Au-delà 0,56 μm de profondeur, la sensibilité Latchup diminue fortement pour se stabiliser.

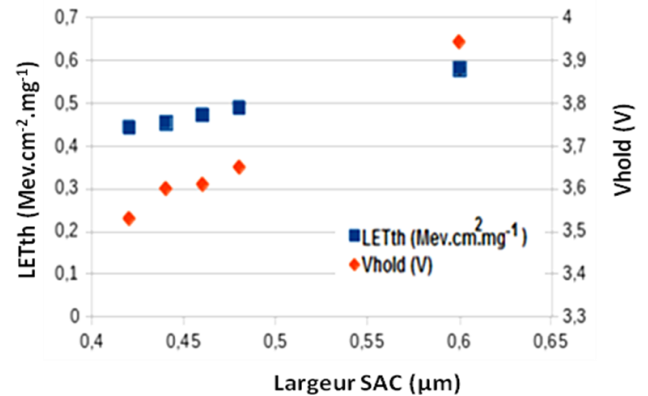


Figure 5: LET seuil, V_{hold} en fonction de la largeur SAC

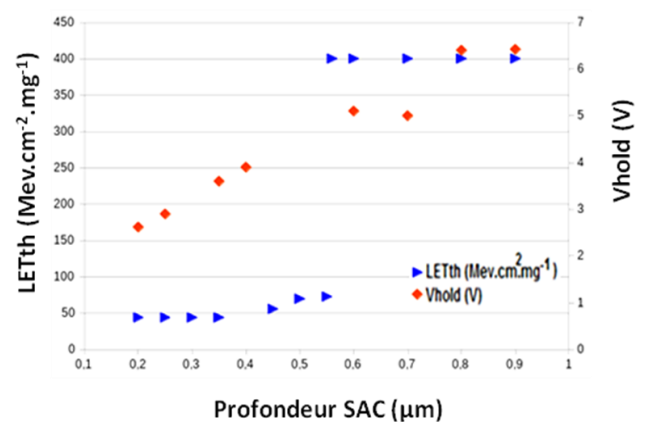


Figure 6: LET seuil en fonction de la profondeur SAC

3.1.1. Analyse des résultats

Pour expliquer cette tendance, il est nécessaire de revenir aux mécanismes de déclenchement du SEL. Quand le SEL est déclenché, il conduit à la création des chemins faibles impédances entre l'alimentation (VDD) et la masse (GND) du circuit (voir Figure 1). Ces chemins sont générés au dessous du volume SAC comme illustrés sur Figure 7. Ainsi, l'augmentation de la profondeur SAC augmente la distance qui sépare la jonction PN entre le puits N et le substrat P. Dans ce cas, ces chemins de faibles impédances se terminent par phénomène de diffusion dans le substrat, la zone la moins dopée dans la structure.

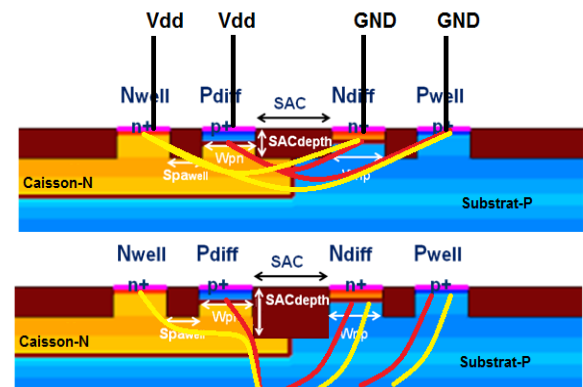


Figure 7: Effet de la Profondeur du SAC sur la sensibilité au Latchup

On peut conclure que l'augmentation du volume SAC crée une isolation spatiale entre la source p-MOS et la source n-MOS. Cette augmentation de SAC est recommandée pour diminuer la sensibilité au Latchup. Cependant, il y a toujours des limites technologiques à respecter. De plus, l'augmentation de la distance SAC conduit à une pénalité de surface. Il sera donc nécessaire de réaliser un compromis.

4. Effets de la basse température sur la sensibilité Latchup

4.1. Sensibilité Latchup en très basse température

L'effet de la température sur le fonctionnement d'un composant électronique n'est pas du tout négligeable. Un échauffement excessif peut introduire à des défaillances du dispositif. D'après plusieurs travaux [3-10], l'élévation de la température augmente la sensibilité au Latchup. Par contre, très peu d'études [14-18] ont investigué l'effet des basses températures. De plus, les imageurs infrarouge développés par Sofradir sont refroidis à température cryogénique (77K) afin d'optimiser leur performance (limitation du courant d'obscurité). C'est pour cela que ce paramètre est à présent étudié. D'après plusieurs travaux [19] [20], la probabilité qu'une particule produit un SEL diminue de manière significative que la température abaissée et devient impossible en dessous de 100K.

Cependant, en 1991, Deferm et al [14] ont observé un pic du courant de maintien à très basse température entre 40k et 100k (Figure 8). En 2010, Marshall, et al a montré expérimentalement [15] la même allure du courant en fonction de la température (voir Figure 9), mais cette fois sur une technologie différente de celle utilisée par Deferm en 1991 [14]. Les travaux de Marshall confirment les observations réalisées par Deferm et permettent de déduire que le phénomène n'est pas du à une spécificité technologique du composant testé par Deferm et al. On remarque tout de même que le pic en courant n'est pas obtenu à la même température: 60 K lors des mesures de Deferm et 100 K lors des mesures de Marshall. Ce décalage pourrait être lié aux différences des profils de dopage des composants mesurés. Ce pic de courant I_{hold} pourrait être à l'origine de l'augmentation de la sensibilité Latchup aux températures cryogéniques.

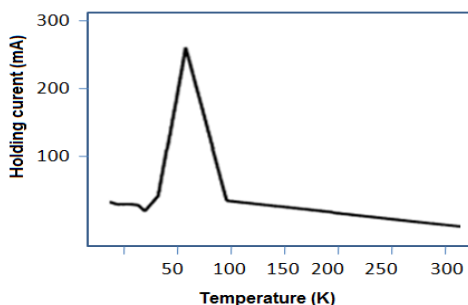


Figure 8: Le courant de maintien en fonction de la température [14]

En dessous de 100 K il n'y a pas suffisamment d'énergie thermique au sein du silicium pour ioniser totalement les atomes d'impuretés. Cette région d'opération est connue comme le régime "Freeze-out". Le phénomène de «freeze

out» appelé aussi «Sallow Level Impact Ionisation SLII » doit être pris en considération pour les applications basses température. On peut observer dans cette région une ionisation incomplète des atomes dopants. Il est donc impératif de prendre en considération ces modèles physiques pour les simulations TCAD à ces températures. En effet, en régime "freeze out" les modèles physiques sont différents de ceux pris en considération dans les régimes extrinsèques et intrinsèques où la température est au dessus de 150K [21].

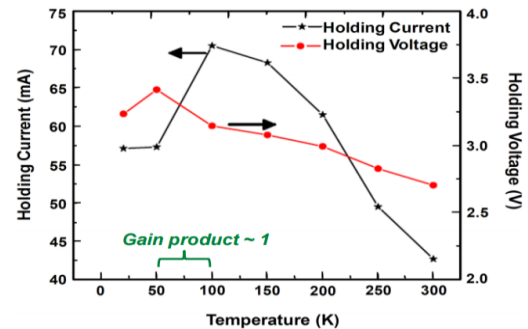


Figure 9: Le courant de maintien et la tension de maintien en fonction de la température [15]

4.2. Résultats de simulations

Les différents modèles utilisés pour la simulation TCAD hors régime "freeze-out" sont : (1) le modèle de dépendance de la mobilité en fonction de la concentration en impuretés, des champs électriques et de la température [22]. (2) Le modèle permettant de tenir compte du rétrécissement de la largeur du gap du silicium dans les régions de fort dopage (« bandgap narrowing »), d'après les travaux de Slotboom en 1977 [23] le rétrécissement de la largeur du gap du silicium est indispensable dans les régions où le dopage dépasse le 10^{17} cm^{-3} . (3) Les modèles de recombinaisons Shockley-Read-Hall et Auger avec une dépendance des durées de vie des porteurs en fonction de la concentration en impuretés. (4) La statistique utilisée est une celle de Fermi. Dans les régions de fort dopage, la statistique de Fermi est très bien recommandée à la place de la statistique de Boltzmann [23].

Pour les simulations TCAD à très basses températures (régime "freeze-out"), il est nécessaire de rajouter le modèle d'ionisation incomplète des atomes dopants de type N et de type P (incomplet Ionisation()) [24]. D'après les travaux de Selberherr en 1989 [25] et Matsuura en 2001 [24], L'ionisation des atomes dopants est partielle à basse température. Donc l'utilisation du modèle d'ionisation incomplète des atomes dopants est indispensable.

Tous ces modèles sont en fonction de la température et sont parfaitement décrits dans le manuel d'utilisateur de Synopsys [22].

La définition de ces modèles physiques est primordiale dans la simulation TCAD. En effet, les résultats sont totalement différents si les modèles physiques spécifiques aux applications basses températures ne sont pas pris en considération. La Figure 10 illustre la variation de I_{hold} et de V_{hold} en fonction de la température. Comme il a été présenté précédemment, l'analyse de ces deux paramètres électriques du phénomène de latchup permet de

déterminer des variations de sensibilité SEL du composant étudié. Comme illustré dans la Figure 10, un pic de courant peut être observé par simulation TCAD autour de la température de 150K, suivi d'une décroissance du courant I_{hold} pour les températures inférieures à 100K. Ces résultats sont en très bonne corrélation avec les résultats expérimentaux de Marshall et al [15].

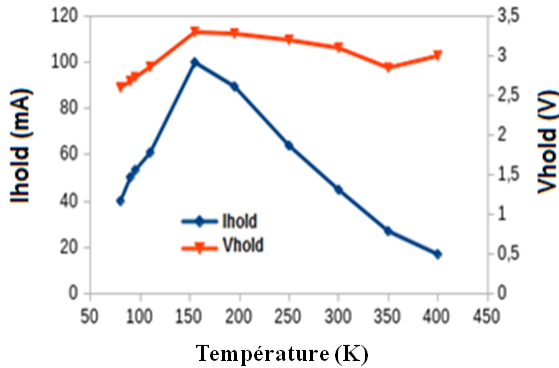


Figure 10: Résultats par simulation TCAD en basse température, V_{hold} I_{hold} en fonction de la température

Pour expliquer ces résultats, il est nécessaire de revenir à la relation entre la densité de courant, la mobilité et le champ électrique illustrée dans la relation simple suivante:

$$J = \sigma \cdot E, \quad \sigma = q(n\mu_n + p\mu_p) \quad (2)$$

Cette relation montre la proportionnalité entre la densité de courant, la mobilité, et le champ électrique. Cette relation simple montre que la densité de courant est en fonction de plusieurs facteurs dont leur dépendance à la température sur l'occurrence du pic de courant sera l'objectif du prochain article.

5. Conclusions

Dans cet article, une étude par simulations TCAD sur les différents effets liés à la technologie et à la température sur le déclenchement du Latchup a été présentée. Le composant utilisé dans cette étude est un inverseur CMOS pour le nœud technologique 0,25 μ m, utilisé par Sofradir. Les résultats des simulations montrent une bonne corrélation avec les résultats expérimentaux de la bibliographie. Il a été démontré par simulations TCAD que la diminution de la largeur SAC (la largeur entre les deux transistors p-MOS et n-MOS de l'inverseur) augmente la sensibilité au Latchup. Cette augmentation de SAC est recommandée pour diminuer la sensibilité au Latchup. Cependant, il y a toujours des limites technologiques à respecter. De plus, l'augmentation de la distance SAC conduit à une pénalité de surface. Il sera donc nécessaire de réaliser un compromis.

L'augmentation de la température augmente la sensibilité au Latchup. Mais certains résultats expérimentaux ont révélé que le phénomène de Latchup peut être déclenché en très basse température (<150-100K). Les hypothèses ont été formulées mettaient en avant le phénomène de déplacement des porteurs "freeze-out" vers la bande de conduction par le mécanisme

"Shallow Level Impact Ionisation". Cependant, aucune simulations n'avait jusqu'à la, permis de confirmer ces hypothèses. Dans le cadre de ces travaux, et pour la première fois, les résultats de simulation TCAD en basses températures ont permis de confirmer les mécanismes en jeu. Les résultats de simulation montrent une bonne corrélation avec les résultats expérimentaux en basses températures, lors de la modélisation du mécanisme d'ionisation au niveau SLII (Shallow Level Impact ionisation).

Références

- [1] J. F. Leavy and R. A. Poll, —Radiation-induced integrated circuit latchup,| IEEE Trans. Nucl. Sci., vol. 16, no. 6, pp. 96–103, 1969. [70] W. A. Kolasinski, J. B. Blake, J. K. Anthony, W. E. Price, and E. C. Smith, —Simulation of Cosmic-Ray Induced Soft Errors and Latchup in Integrated-Circuit Computer Memories,| IEEE Trans. Nucl. Sci., vol. 26, no. 6, pp. 5087–5091, Dec. 1979.
- [2] Gordon E.Moore,«Cramming More Components Onto Integrated Circuits»,Electronics,vol.38,19 avril 1965
- [3] W. A. Kolasinski, J. B. Blake, J. K. Anthony, W. E. Price, and E. C. Smith, —Simulation of Cosmic-Ray Induced Soft Errors and Latchup in Integrated-Circuit Computer Memories,| IEEE Trans. Nucl. Sci., vol. 26, no. 6, pp. 5087–5091, Dec. 1979.
- [4] T. Goka, S. Kuboyama, Y. Shimano, and T. Kawanishi, —The on-orbit measurements of single event phenomena by ETS-V spacecraft,| IEEE Trans. Nucl. Sci., vol. 38, no. 6, pp. 1693–1699, Dec. 1991.
- [5] D. K. Nichols, J. R. Coss, R. K. Watson, H. R. Schwartz, and R. L. Pease, —An observation of proton-induced latchup,| IEEE Trans. Nucl. Sci., vol. 39, no. 6, pp. 1654–1656, Dec. 1992.
- [6] L. Adams, E. J. Daly, R. Harboe-Sorensen, R. Nickson, J. Haines, W. Schafer, M. Conrad, H. Griech, J. Merkel, T. Schwall, and R. Henneck, —A verified proton induced latchup in space,| IEEE Trans. Nucl. Sci., vol. 39, no. 6, pp. 1804–1808, Dec. 1992.
- [7] Gordon E.Moore,«Cramming More Components Onto Integrated Circuits»,Electronics,vol.38,19 avril 1965
- [8] A. H. Johnston, —The influence of VLSI technology evolution on radiation-induced latchup in space systems,| IEEE Trans. Nucl. Sci., vol. 43, no. 2, pp. 505–521, Apr. 1996.
- [9] J. M. Hutson, J. D. Pellish, G. Boselli, R. Baumann, R. A. Reed, R. D. Schrimpf, R. A. Weller, and L.W. Massengill, “The effects of angle of incidence and temperature on latchup in 65 nm technology,” IEEE Trans. Nucl. Sci., vol. 54, no. 6, Dec. 2007.
- [10] J. M. Hutson, J. D. Pellish, G. Boselli, R. Baumann, R. A. Reed, R. D. Schrimpf, R. A. Weller, and L.W. Massengill, “The effects of angle of incidence and temperature on latchup in 65 nm technology,” IEEE Trans. Nucl. Sci., vol. 54, no. 6, Dec. 2007.
- [11] H. N. Becker, T. F. Miyahira, and A. H. Johnston, Latent Damage in CMOS Devices From Single-Event Latchup,| IEEE Trans. Nucl. Sci., vol. 49, no. 6, pp. 3009–3015, Dec. 2002.
- [12] T. F. Miyahira, A. H. Johnston, H. N. Becker, S. D. LaLumondiere, and S. C. Moss, —Catastrophic latchup in CMOS analog-to-digital converters,| IEEE Trans. Nucl. Sci., vol. 48, no. 6, pp. 1833–1840, Dec. 2001.
- [13] G. Burgier, J. M. Palau, "Single particle induced latchup", IEEE Trans. Nucl. Sci. Vol.46, No.2, Avril 1996.

- [14] L. Deferm, E. Simoen, B. Dierickx, and C. Claeys, "Anomalous latch-up behavior of CMOS at liquid helium temperatures," *Cryogenics*, vol. 30, pp. 1051–1055, 1990.
- [15] Cheryl J. Marshall, Paul W. Marshall, «Mechanisms and Temperature Dependence of Single Event Latchup Observed in a CMOS Readout Integrated Circuit From 16–300 K» *IEEE TRANSACTIONS ON NUCLEAR SCIENCE*, VOL. 57, NO. 6, DECEMBER 2010
- [16] C. A. Dinkins, "Qualitative characterization of Single Event Transient and Latchup trends in 180 nm CMOS technology", Master of Science manuscript, Vanderbilt University, 2011.
- [17] S. SELBERHERR, "MOS Device Modeling at 77k" *IEEE Trans.Nucl.Sci* 0018-9383, 1989
- [18] H. Iwata and T. Ohzone, "Numerical simulation of single event latchup in the temperature range of 77k-450k," *IEEE Trans. Nucl. Sci.*, vol. 42, pp. 148-154, 1995
- [19] E. Sangiorgi, R. L. Johnston, M. R. Pinto, P. F. Bechtold, and W. Fichtner, "Temperature dependence of latch-up phenomena in scaled CMOS structures," *IEEE Electr. Dev. Lett.*, vol. EDL-7, pp. 28–31, 1986.
- [20] C. C. Yao, J. J. Tzou, R. Cheung, and H. Chan, "Temperature dependence of latch-up characteristics in LDD CMOS devices," *IEEE Electr. Dev. Lett.*, vol. EDL-7, pp. 92–94, 1986.
- [21] Slivaco User Guide
- [22] Sdevice_ug.pdf, Sentaurus Device User Guide A-2014.8
- [23] N. D. Arora, J. R. Hauser, and D. J. Roulston, "Electron and Hole Mobilities in Silicon as a Function of Concentration and Temperature," *IEEE Transactions on Electron Devices*, vol. ED-29, no. 2, pp. 292–295, 1982.
- [24] H. Matsuura, "Influence of Excited States of Deep Acceptors on Hole Concentration in SiC," in *International Conference on Silicon Carbide and Related Materials (ICSCRM)*, Tsukuba, Japan, pp. 679–682, October 2001.
- [25] S. Selberherr, "MOS device modeling at 77 K," *IEEE Trans. Electron Devices*, vol. 36, no. 8, pp. 1464-1474, Aug. 1989.
- [26] R. C. Baumann, "Radiation-induced soft errors in advanced semiconductor technologies", *IEEE Transactions on Device and Materials Reliability*, vol. 5, pp. 305 - 316, 2005
- [27] L. Artola, G. Hubert, T. Roussel "Single Event Latchup Modeling Based on Coupled Physical and Electrical Transient Simulations in CMOS Technology", *IEEE Transactions on Nuclear Science* Vol. 61 ,no 6, dec 2014.