



HAL
open science

Construction d'un modèle ICEM pour prédire l'émission électromagnétique d'un FPGA

Chaimae Ghfiri, Alexandre Boyer, André Durier, Sonia Ben Dhia, C Marot

► To cite this version:

Chaimae Ghfiri, Alexandre Boyer, André Durier, Sonia Ben Dhia, C Marot. Construction d'un modèle ICEM pour prédire l'émission électromagnétique d'un FPGA. 18e Colloque International et Exposition sur la Compatibilité Electromagnétique (CEM2016), Jul 2016, Rennes, France. 5p. hal-01403883

HAL Id: hal-01403883

<https://hal.science/hal-01403883>

Submitted on 28 Nov 2016

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

CONSTRUCTION D'UN MODELE ICEM POUR PREDIRE L'EMISSION ELECTROMAGNETIQUE D'UN FPGA

C. GHFIRI^{1,2,3}, A. BOYER^{2,3}, A. DURIER¹, S. BEN DHIA^{2,3}, C. MAROT⁴

¹ IRT Saint-Exupéry, 118 route de Narbonne, CS 44248, Toulouse, chaimae.ghfiri@irt-saintexupery.com

² CNRS, LAAS, 7 avenue du colonel Roche, F-31400, Toulouse, alexandre.boyer@laas.fr

³ Univ. de Toulouse, INSA, LAAS, F-31400 Toulouse INSA

⁴ Airbus Group Innovation, BP 13050, Toulouse

Abstract. Ce papier donne une description du flot de construction et de validation d'un modèle équivalent d'émission conduite d'un circuit intégré complexe (FPGA), basé sur l'approche de modélisation ICEM-CE.

La structure interne du boîtier a été analysée à l'aide d'un scanner 3D aux rayons X (Fig. 1). Cette analyse fournit d'importantes informations pour la modélisation du CI, comme le routage des plans d'alimentation et de masse, les dimensions de la puce, le nombre de fils de bonding...

I. INTRODUCTION

Afin d'anticiper les risques de non-conformité des applications électroniques, le besoin en modèles équivalents et non confidentiels d'émission des circuits intégrés (CI) (tels que modèles ICEM [1] et LEECS [2]) s'est accru. De nombreux articles ont été publiés montrant les flots de construction des modèles et leur utilisation afin de prédire les émissions conduites et rayonnées, et optimiser le découplage pour des circuits digitaux [3] [4]. Néanmoins, dans le cadre d'applications embarquées critiques, à haute exigence en termes de robustesse et de durée de vie, de nouveaux besoins se font ressentir, notamment la prise en compte des effets du vieillissement et de la variabilité entre composants [5]. Dans ce papier, la construction d'un modèle dédié à la prédiction des émissions conduites d'un FPGA est présentée. L'approche suivie dans cette étude est basée sur le modèle ICEM-CE. Le but de cette étude est de pouvoir intégrer l'effet de la variabilité et le vieillissement dans le standard, afin de prédire leur influence sur les émissions électromagnétiques. Après une description du circuit sous test, la méthodologie, les mesures et les outils de simulations seront présentés. Ensuite, les différentes étapes de la création et la validation du modèle seront traitées.

II. PRÉSENTATION DU CIRCUIT SOUS TEST

Le circuit sous test est un FPGA Xilinx Spartan 6 XC6SLX9-2FT256, fabriqué en technologie CMOS 45 nm. Le circuit contient 9152 blocs logiques configurables (CLB), et jusqu'à 186 entrées/sorties (I/O), regroupées en quatre banques. Le circuit est monté dans un boîtier FTBGA256. En raison de son grand nombre de paires d'alimentation différentes et de la complexité du boîtier, la modélisation d'un circuit de ce type reste un exercice difficile :

- V_{CCINT} dédié aux CLB (1.2 V).
- V_{CCOX} ($x = 1$ to 4) dédié aux I/O des quatre banques du FPGA (3.3 V)
- V_{CCAUX} dédié à la configuration JTAG (3.3 V)

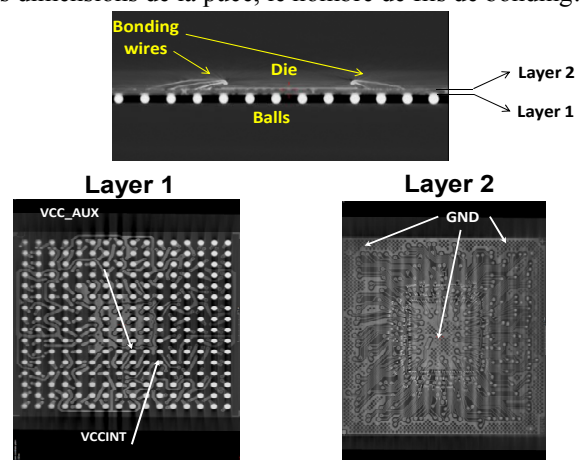


Fig. 1. Images aux rayons X du FPGA monté dans un boîtier FTBGA256

III. DESCRIPTION DE LA CARTE DE TEST

Une carte de test spécifique a été conçue pour l'extraction et la validation du modèle ICEM du FPGA. Cette carte a été routée en six couches avec des plans d'alimentations et de masse complet, en format 10x10 cm pour les mesures d'émission rayonnée dans une cellule TEM. Plusieurs points de tests ont été placés pour les mesures en émission conduite et la caractérisation de l'impédance de la carte. Comme défini dans le standard IEC61967-4 [6], une sonde 1 Ω a été placée entre les pins de masse du FPGA et la référence de masse de la carte de test afin de mesurer les fluctuations de courant externes du circuit. Aussi, une sonde 150 Ω a été placée sur les plans d'alimentations 3.3V et 1.2V afin de mesurer l'émission conduite générée par l'activité du FPGA comme décrit dans le standard IEC61967-4 [6]. Finalement, plusieurs points de test ont été placés sur les plans d'alimentations et les sondes 1/150 Ω pour mesurer leurs profils d'impédance à l'aide d'un analyseur de réseau afin de construire le modèle équivalent de la carte et compenser la réponse non idéale des sondes 1/150 Ω .

IV. PRESENTATION ET CONSTRUCTION DU MODELE ICEM

IV.1. Présentation générale du modèle ICEM

Le modèle ICEM est un standard, connu sous le nom IEC 62433-2, proposé pour la modélisation des émissions parasites conduites d'un CI [1]. Il peut être construit par simulation à partir des informations design ou par mesure. Un bloc ICEM contient généralement un ensemble de deux sous-blocs. Le sous-bloc PDN (Power Distribution Network) caractérise le chemin de propagation du bruit entre la puce et l'environnement extérieur (carte électronique). Le sous-bloc IA (Internal Activity) décrit la source de bruit électromagnétique produit par le CI.

IV.2. Flot de construction du modèle ICEM-CE

Les fabricants de CI ne fournissent aucun modèle équivalent de leurs composants. Les deux sous-blocs constituant le modèle ICEM doivent être extraits par mesures sur circuit. Le flot de construction du PDN du FPGA est décrit à la Fig. 2. Des mesures de paramètres S entre les broches d'alimentation et de masse du FPGA sont réalisées pour extraire les éléments du PDN.

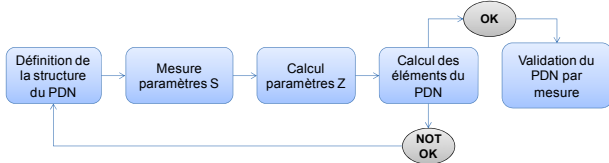


Fig. 2. Flot de construction du sous-bloc PDN

Dans un circuit intégré, deux sources de bruits apparaissent : Le bruit généré par l'activité du cœur (dépend du nombre de CLB activé, le routage entre les différents CLB,...) et le bruit généré par la commutation des IOs (dépend essentiellement du nombre d'IOs en commutation, de la charge, et du type des IOs). Les deux blocs IAs sont présentés dans la Fig. 3. Le bloc IA générant le bruit des IOs est modélisé à partir des données IBIS fournies par le constructeur et validées par les mesures. Le bloc IA cœur est modélisé par une source de courant équivalente placée entre un plan d'alimentation et un plan de masse. Ses caractéristiques sont extraites par mesure.

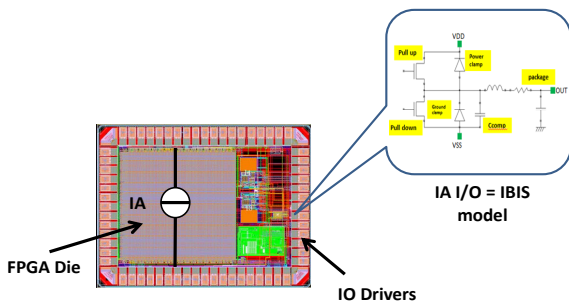


Fig. 3. Description de l'IA cœur et de l'IA IO

Le flot de construction du sous-bloc IA cœur est décrit à la Fig. 4. Celui-ci est basé sur une source de courant

équivalente reproduisant le courant interne I_{INT} du cœur FPGA, extrait à partir du courant externe I_{EXT} mesuré avec la sonde 1Ω à l'aide de (1). $H(f)$ est une fonction de transfert dépendant du PDN du circuit, du circuit imprimé et de la sonde 1Ω .

$$I_{INT}(f) = H^{-1} \cdot I_{EXT}(f) \quad (1)$$

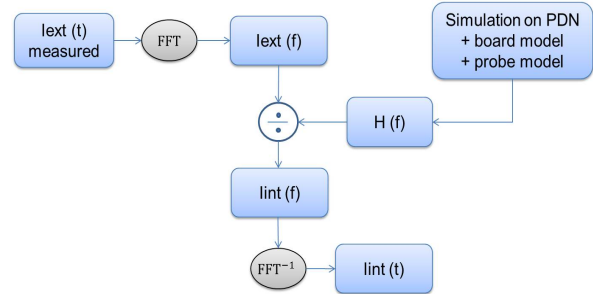


Fig. 4. Flot de construction du sous-bloc IA

V. CONSTRUCTION DU BLOC PDN

Des mesures de paramètres S ont été effectués entre les différentes broches d'alimentation et de masse afin d'extraire l'impédance complexe entre ces différents accès. Ainsi, les valeurs de R, L, C du modèle ont été calculées à partir des mesures, ce modèle présenté est simplifié car ne représente pas le couplage entre les différents plans d'alimentation ni le couplage substrat car ces éléments n'interviennent pas dans l'extraction de l'IA. Le modèle est présenté dans la Fig. 6. Il est important de noter que l'impédance de mode commun entre la puce, son boîtier et le circuit imprimé doit être intégrée au modèle pour garantir une précision suffisante au-delà de quelques centaines de MHz. La Fig. 5 présente une comparaison entre la mesure et la simulation de l'impédance entre VCC0 et VSS dans deux configurations ; broches VSS laissées flottant et broches VSS court-circuitées à la masse du PCB. Cette impédance est associée à la capacité parasite entre chaque broche du circuit et le substrat de la puce. Dans le cas où les VSS sont court-circuités à la masse du PCB, la capacité équivalente circuit (678 pF) entre le plan d'alimentation VCC0 et les VSS est mise en évidence, tandis que dans le cas où les VSS sont flottant on voit l'apparition d'une capacité de mode commun (134 pF). Une bonne corrélation entre la mesure et la simulation est assurée jusqu'à 2.5 GHz.

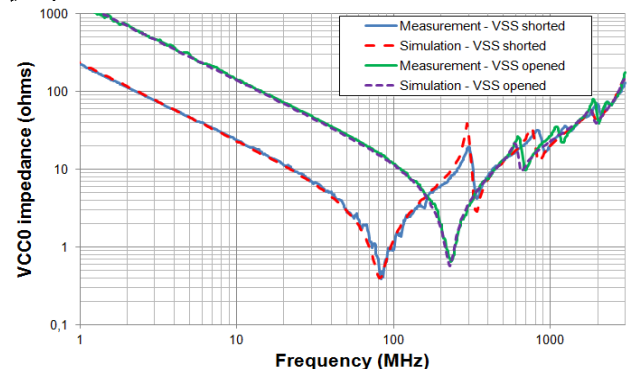


Fig. 5. Comparaison entre la mesure et la simulation de l'impédance vue entre VCC0 et VSS

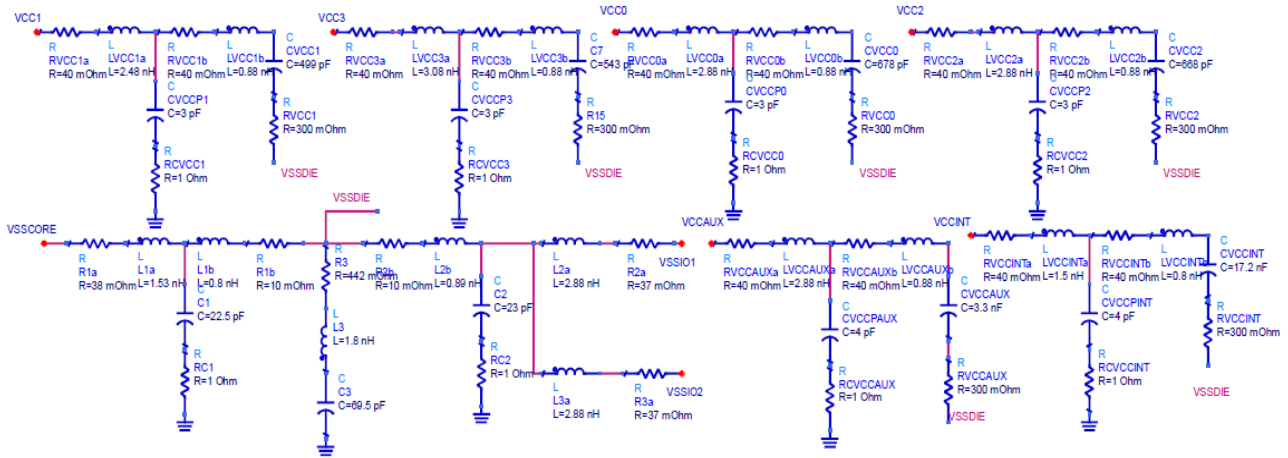


Fig. 6. Modèle électrique équivalent du PDN

VI. CONSTRUCTION DU BLOC IA

VI.1. Modélisation de la carte de test

Une modélisation fine du circuit imprimé est indispensable pour extraire la fonction de transfert $H(f)$ apparaissant dans (1). Celle-ci a été effectuée grâce au logiciel de simulation électromagnétique CST Studio Suite. Le modèle 3D du PCB est créé par importation des fichiers de routage (ODB++). Le modèle numérique en 3D de la carte est présenté dans la Fig. 7. Quatre ports sont définis au plus près des empreintes des billes du FPGA sur les plans d'alimentation (3.3 V / 1.2 V) et les broches de masses (VSSCore / VSSIO). Quatre autres ports sont placés sur les points de mesure des plans d'alimentations et au niveau de la sonde 1Ω . Une méthode de type 3D FE FD (Finite Element Frequency Domain) a été utilisée pour extraire le modèle de la carte, le nombre de maille atteint est 5,198,095 pour une durée de simulation de 30 min dans la bande de fréquence 10 KHz – 2.5 GHz (1001 points), avec utilisation d'une GPU NVIDIA K40C. La Fig. 8. montre une bonne corrélation entre la mesure et la simulation de l'impédance vue entre les deux plans d'alimentations 3.3 V et 1.2 V jusqu'à 2.5 GHz.

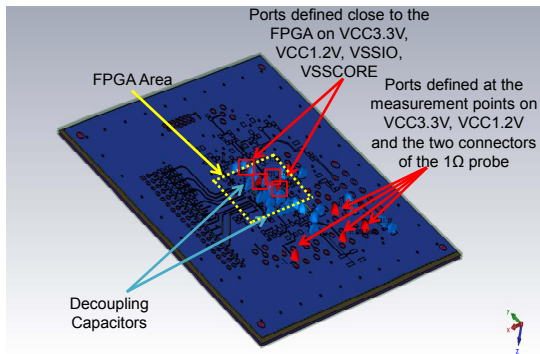


Fig. 7. Définition des ports pour la modélisation de la carte sous CST Studio

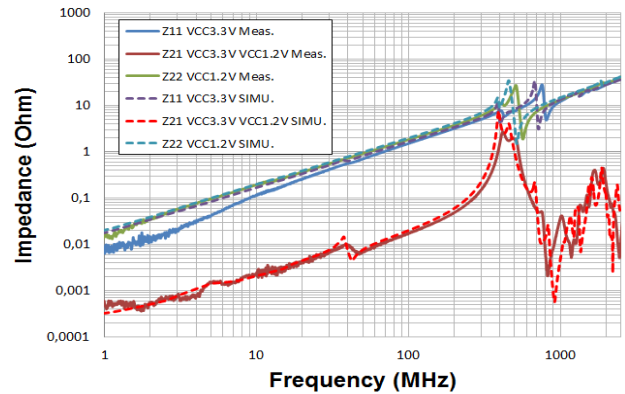


Fig. 8. Comparaison entre la mesure et la simulation de la carte entre les plans d'alimentation 3.3 V (port 1) et 1.2 V (port 2)

VI.2. Extraction du courant interne

Comme décrit dans le paragraphe IV-2, deux blocs IA sont à extraire. Pour ce faire, nous allons procéder en trois étapes : la première étape est d'extraire le bloc IA IO. Dans ce cas, une IO est en commutation et l'activité du cœur est minimale (2 slice registers, 11 look-up tables (LUT)). La deuxième étape est d'extraire le bloc IA cœur. Dans ce cas, aucune IO ne commute et plusieurs blocs logiques internes sont activés (800 slice registers, 4001 LUT). La troisième étape est une étape de validation de la méthodologie, consistant à combiner les deux sources de bruit.

a - Courant interne généré par les IOs

Pour extraire le bruit généré par une IO en commutation, une simulation transitoire a été effectuée sur l'ensemble du modèle PDN du FPGA et le modèle équivalent du PCB en intégrant un bloc IBIS. La Fig. 9. montre une comparaison entre la mesure et la simulation de la tension aux bornes de la sonde 1Ω . La figure montre une bonne corrélation de l'amplitude pic à pic mesurée et simulée.

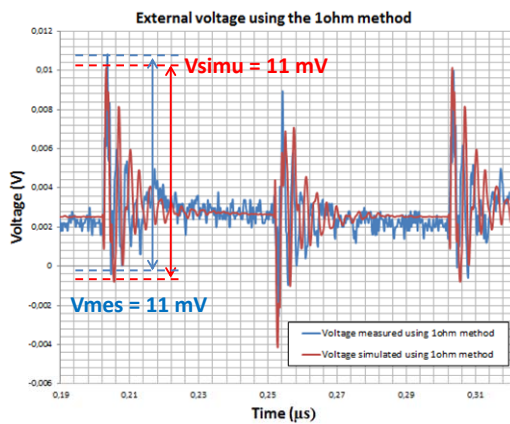


Fig. 9. Comparaison entre la tension mesurée et simulée à l'aide de la méthode 1 Ω

b - Courant interne généré par le cœur

A partir de la mesure du courant externe avec la sonde 1 Ω , le courant interne généré par l'activation des blocs logiques internes est calculé en utilisant la fonction de transfert obtenue par simulation AC sur le modèle du PDN et du PCB comme décrit dans le paragraphe IV-2. En appliquant l'équation (1) et le flot de simulation décrit à la Fig. 4, le profil temporel du courant produit par l'activité cœur est extrait et présenté à la Fig. 10.

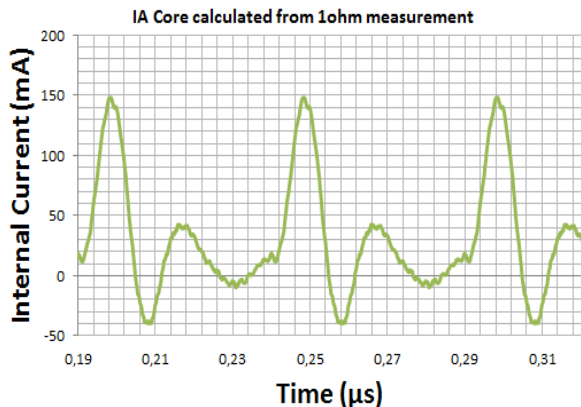


Fig. 10. IA cœur obtenu avec la méthode 1 Ω

Pour valider le bloc IA cœur, une simulation transitoire est effectuée en intégrant le profil du courant dans le modèle PDN du FPGA. La tension en sortie de la sonde 150 Ω sur le plan d'alimentation 1.2 V est simulée et comparée à la mesure. La Fig. 11. présente le principe de la validation en se basant sur la méthode 150 Ω .

La comparaison entre la mesure et la simulation de l'enveloppe du spectre de la tension obtenue avec la méthode 150 Ω montre un décalage de la simulation par rapport à la mesure de 30 MHz avec globalement une bonne tendance. Ce résultat peut être amélioré en affinant le maillage du modèle numérique du PCB, mais au prix d'une simulation électromagnétique plus longue.

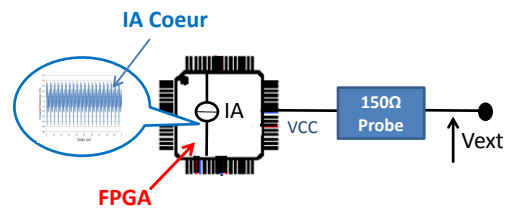


Fig. 11. Validation de l'IA cœur avec la méthode 150 Ω

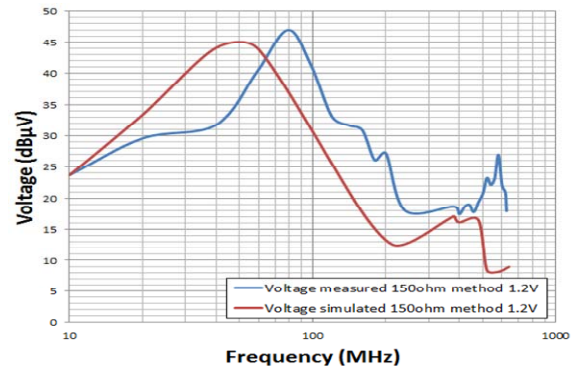


Fig. 12. Comparaison mesure et simulation de l'enveloppe de la tension obtenue avec la méthode 150 Ω sur le plan d'alimentation 1.2 V

c - Validation de l'IA IO et l'IA cœur

Dans cette partie, l'IA IO et l'IA cœur généré séparément, sont regroupés dans un modèle afin de reproduire l'activité du FPGA, où 1 IO est en commutation et 800 slice registers/4001 LUT sont activés. La Fig. 13. présente l'intégration des sources de bruit extraites dans les parties a et b précédente.

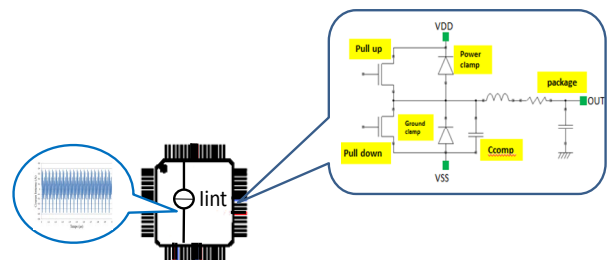


Fig. 13. Intégration de l'IA cœur et l'IA IO dans le modèle PDN du FPGA

Les Fig. 14 et 15 présentent les résultats de la comparaison entre la mesure et la simulation avec les deux méthodes 1 Ω et 150 Ω (sur le plan 1.2 V). Les simulations décrivent une bonne tendance par rapport aux mesures malgré certains décalages sur quelques résonances. Ces résultats peuvent être aussi améliorés en améliorant le modèle numérique du PCB.

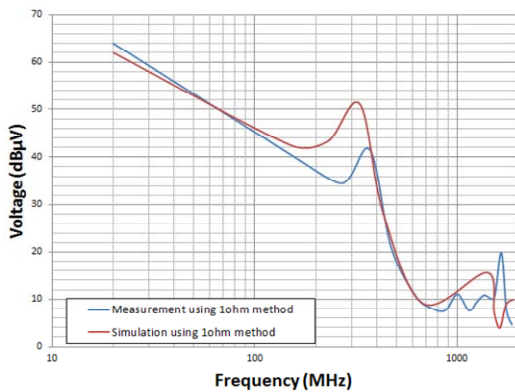


Fig. 14. Comparaison mesure/simulation de l'enveloppe de la tension obtenue avec la méthode 1 Ω

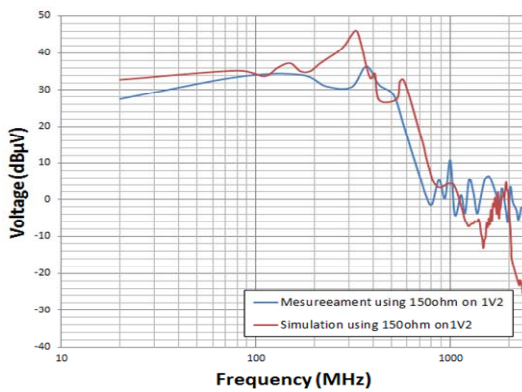


Fig. 15. Comparaison mesure/simulation de l'enveloppe de la tension obtenue avec la méthode 150 Ω

VII. CONCLUSION

La méthodologie de la construction d'un modèle ICEM-CE d'un FPGA a été établie à partir de la construction d'un bloc PDN, bâti à partir de mesures de paramètres S sur le circuit et validé par simulation. Le modèle a été complété par la construction d'un premier bloc IA pour reproduire l'activité du cœur à partir de la mesure 1 Ω et validé à l'aide la méthode 150 Ω , ensuite la construction d'un deuxième bloc IA pour reproduire la commutation d'une IO à partir du modèle IBIS fourni par le fabricant du FPGA. Le modèle ICEM-CE construit reproduit la forme temporelle du bruit produit sur les plans d'alimentations et de masse, et la tendance et l'ordre de grandeur de leur spectre. Néanmoins, quelques écarts subsistent qu'il est nécessaire de réduire. L'amélioration du modèle du PCB permettra d'avoir une meilleure corrélation entre les mesures et les simulations faites sur ce modèle. Dans les prochains travaux, le modèle ICEM-CE du FPGA sera amélioré pour faire de la prédiction des émissions conduites en fonction du nombre d'IO utilisés et du nombre de blocs logiques activés. Plusieurs composants seront également testés à fin d'établir la loi de dispersion statistique du FPGA. Finalement, un modèle ICEM-CE sera développé pour intégrer l'effet du vieillissement et de l'environnement.

REFERENCES

- [1] IEC62433-2 - EMC IC modelling – Part 2: Models of integrated circuits for EMI behavioural simulation – Conducted emissions modelling (ICEM-CE) - Edition 1.0, October 2008, IEC.
- [2] Y. Saito, M. Yasuhara, Y. Funato, U. Paoletti, O. Wada, "LEECs-core Model including Inter-Block Coupling for an LSI with Multiple Power-Supply Pins", EMC'09 Kyoto, IEICE, 2009.
- [3] S. Serpaud, J. L. Levant, Y. Poiré, M. Meyer, S. Tran, "ICEM-CE extraction methodology", EMC Compo 2009, Toulouse, France.
- [4] K. Iokibe, Y. Toyota, "Estimation of Data-Dependent Power Voltage Variations of FPGA by Equivalent Circuit Modeling from On-Board Measurements", EMC Compo 2013, Nara, Japan
- [5] A. Boyer, S. Ben Dhia, "Characterization and Modeling of Electrical Stresses on Digital Integrated Circuits Power Integrity and Conducted Emission", EMC Compo 2013, Nara, Japan.
- [6] IEC 61967-4 – edition 1.1: Integrated circuits - Measurement of electromagnetic emissions, 150 kHz to 1 GHz - Part 4: Measurement of conducted emissions – 1 Ω /150 Ω direct coupling method, 2006-07.