



HAL
open science

Étude en simulation et conception d'un transistor bipolaire (BJT) 10 kV en 4H-SiC

Beverley Choucoutou, Luong Viet Phung, Pierre Brosselard, Michel Mermet-Guyennet, Dominique Planson

► **To cite this version:**

Beverley Choucoutou, Luong Viet Phung, Pierre Brosselard, Michel Mermet-Guyennet, Dominique Planson. Étude en simulation et conception d'un transistor bipolaire (BJT) 10 kV en 4H-SiC. Symposium de Génie Electrique (SGE'16), Jun 2016, Grenoble, France. hal-01361668

HAL Id: hal-01361668

<https://hal.science/hal-01361668>

Submitted on 7 Sep 2016

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Étude en simulation et conception d'un transistor bipolaire (BJT) 10 kV en 4H-SiC

Beverley CHOUCOUTOU^{1,2,a}, Luong Viêt PHUNG², Pierre BROSELARD³, Michel MERMET-GUYENNET¹,
Dominique PLANSON²

¹ITE Supergrid Institute, 130 rue Léon Blum, 69100 Villeurbanne

²Laboratoire Ampère, Université de Lyon, INSA Lyon, 69621 Villeurbanne cedex

³CALY Technologies, 56 Boulevard Niels Bohr, 69100 Villeurbanne

^abeverley.choucoutou@insa-lyon.fr

RESUME – Ce papier présente les résultats obtenus en simulation sur l'étude d'un transistor bipolaire de puissance en carbure de silicium (SiC) au sein de Supergrid. Cet ITE (Institut pour la Transition Énergétique) a pour objectif de penser les réseaux de transport électrique de demain, où l'acheminement se fera en courant continu (DC) et à très haute tension pour limiter les pertes. L'un des objectifs est de concevoir un interrupteur de puissance haute tension 10 kV et fort courant pour divers applications de transformateurs MVDC à rendement élevé. Nous étudions notamment l'influence de la structure et des paramètres géométriques de la base sur la tenue en tension et le gain en émetteur commun du composant. Se plaçant dans un contexte de réalisation industrielle, ces composants devront être optimisés pour tenir des tensions d'au moins 10 kV, tout en limitant les pertes en commutation, en conduction et à la commande. Nous visons également un calibre en courant de 50 A par puce

Mots-clés— BJT, simulations par éléments finis, convertisseurs HVDC, SiC-4H, 10 kV.

1. OBJET DE L'ETUDE

Pour répondre aux besoins des futurs réseaux de transport d'électricité par courant continu, de nouvelles topologies de convertisseurs moyenne (MVDC) et haute tension (HVDC) doivent être étudiées (figure 1). Pour adapter les niveaux de tensions sur les lignes de transport électrique, ces convertisseurs nécessitent l'utilisation, entre autres, de diodes et d'interrupteurs commandés. La hausse des niveaux de tension et courant nous motive à concevoir des composants à matériau semi-conducteurs plus performants. Pour ces applications d'électronique de puissance, le carbure de silicium est un matériau grand gap intéressant pour ses propriétés physiques permettant de réaliser des composants travaillant à plus haute tension et température tout en limitant les pertes grâce à de faibles résistances à l'état passant.

Si les acteurs industriels ont permis ces dernières années le développement de transistors MOSFET en SiC, c'est vers le transistor à jonction bipolaire (BJT) que se tourne notre étude, ce dernier étant potentiellement plus fiable à long terme grâce à l'absence d'oxyde de grille. L'objectif est de concevoir un composant ayant une tension d'avalanche de 10 kV. Ce niveau de tension défini par le cahier des charges permettra de limiter

la mise en série de composants dans les convertisseurs pour tenir des tensions élevées. Plusieurs contributions ont montré la faisabilité du BJT haute tension [1] [2] mais son utilisation dans un contexte industriel demeure limitée. L'étude en simulation de différentes structures, en accord avec la réalité des processus de réalisation technologique, permet de déterminer les caractéristiques électriques envisageables.

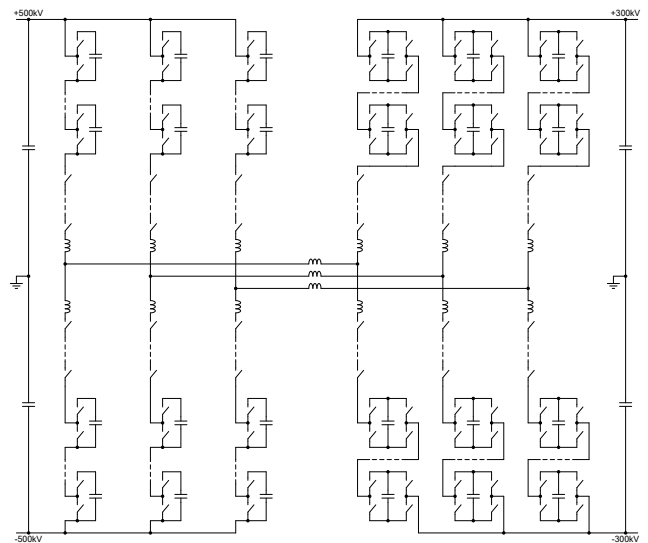


Figure 1 Exemple de topologie de convertisseur (MMC front-to-front) faisant appel à des interrupteurs de puissance commandés [3]

2. STRUCTURE ETUDIEE

La structure du transistor bipolaire retenue est constituée dans un premier temps d'un substrat fortement dopé N⁺ pour limiter la résistance de contact. Vient ensuite une couche d'épithaxie n⁻ d'une épaisseur de 100 μm pour un dopage de l'ordre de 7.10¹⁴ cm⁻³ dont l'intérêt est l'étalement du champ électrique en polarisation inverse pour tenir la tension. Une autre couche réalisée par épithaxie d'une épaisseur de 2 μm et dopée p à 1.10¹⁷ cm⁻³ forme la base. Une implantation p⁺ sera réalisée afin de réduire la résistivité du contact de base. Enfin, l'émetteur

est formé par une couche épitaxiée n⁺ d'épaisseur de 2 μm dopée à 1.10¹⁹ cm⁻³ (figure 2). Les performances électriques de cette structure physique peuvent être envisagées par des simulations par éléments finis avec SDeviceTM [4].

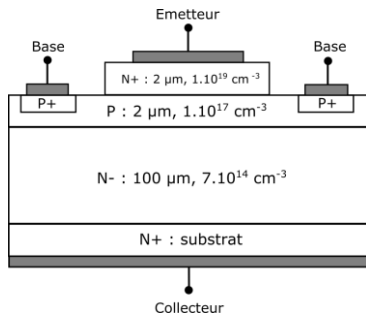


Figure 2 Vue en coupe schématique de la partie active de la structure du transistor bipolaire étudiée

3. TENUE EN TENSION AU BLOCAGE ET PROTECTION PERIPHERIQUE

3.1. Tenue en tension de la jonction semi-infinie

Nous avons commencé par étudier la tenue en tension du transistor bipolaire sous forme de jonction semi-infinie, c'est-à-dire sans prendre les effets de bord en compte. Cela nous donne les tenues en tension maximales théoriques. L'étude de la protection périphérique permettra par la suite de s'approcher de ces valeurs maximales.

3.1.1. Tension de claquage V_{CBO}

Dans un premier temps, nous avons étudié la tenue en tension du transistor bipolaire entre le collecteur et la base, l'émetteur étant laissé à un potentiel électrique flottant. La tension d'avalanche obtenue est notée V_{CBO}. Elle correspond au maximum atteignable et est similaire à celle d'une diode PiN de même couche p de base et n⁻, puisque l'émetteur n'est pas polarisé. Lors du blocage, le champ électrique s'étale au niveau de la zone « intrinsèque » faiblement dopée. En fixant l'épaisseur de cette couche à 100 μm pour un dopage de 7.10¹⁴ cm⁻³, la tension d'avalanche V_{CBO} obtenue est de 12,8 kV (figures 3 et 5).

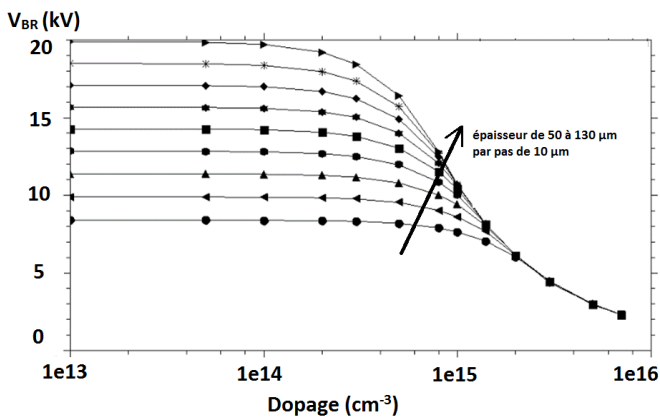


Fig.3 Tension de claquage d'une jonction PN infinie en fonction du dopage et de l'épaisseur de la zone de drift dopée n-

Pour assurer cette tenue en tension, il faut s'assurer que le champ électrique ne traverse pas l'intégralité de la base, ce qui conduirait à son percement (punch-through). Nous avons fixé l'épaisseur de la base à 2 μm et son niveau de dopage à 1.10¹⁷ cm⁻³. En simulation, nous obtenons une pénétration du

champ électrique de 1,2 μm dans la base, nous garantissant l'absence de percement avec une marge de sécurité confortable liée à la variabilité du processus de fabrication (figure 4).

3.1.2. Tension de claquage V_{CEO}

La tenue en tension critique pour le transistor bipolaire est celle notée V_{CEO}. Le transistor est polarisé entre collecteur et émetteur alors que le potentiel de base est flottant. L'amplification du courant de fuite due à l'effet transistor peut, couplée au fort champ électrique, entraîner un départ en avalanche pour une tension notée V_{CEO} inférieure à V_{CBO}. Les composants en SiC présentent de faibles courants de fuite grâce à la faible concentration en porteurs intrinsèque. Nous vérifions par simulation que le courant de fuite en base flottante est supérieur d'une décade au courant de fuite en émetteur flottant. En travaillant avec une base de 2 μm et d'un niveau de dopage p de 1.10¹⁷ cm⁻³, nous pouvons espérer une tenue en tension de 10,5 kV, supérieure aux 10 kV exigés et nous laissant une marge de sécurité nécessaire à la phase de réalisation (figure 5). Cela nécessitera une protection périphérique d'une efficacité supérieure à 95 % pour ce régime de polarisation. Nous travaillons également sur d'autres structures pour augmenter cette marge et ainsi pallier les éventuels défauts de processus et de matériau qui pourraient diminuer cette valeur sur les composants que nous obtiendrons en fabrication.

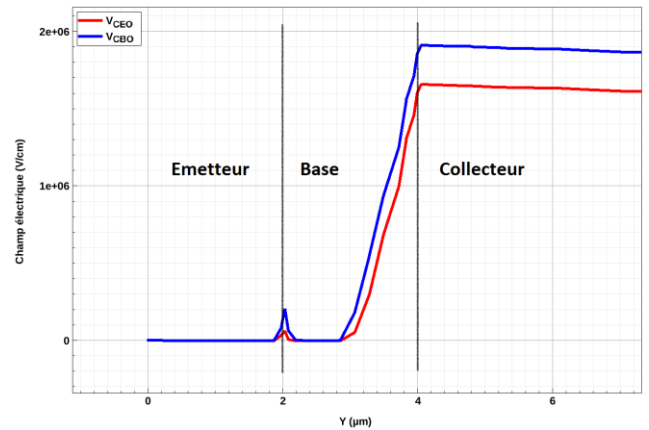


Figure 4 Coupe verticale du champ électrique dans le composant lors du départ en avalanche.

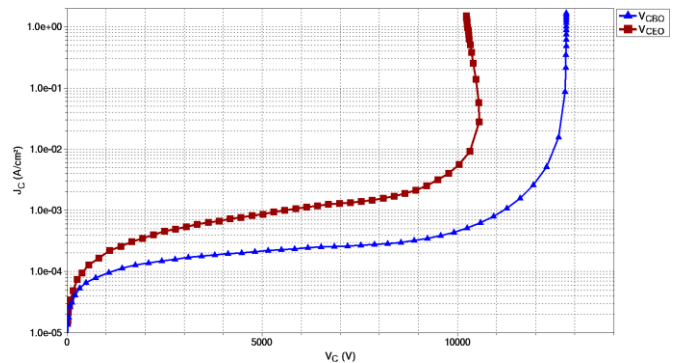


Fig.5 Densité de courant de collecteur J_C en fonction de la tension de collecteur V_C au blocage (V_{CBO} et V_{CEO})

3.2. Etude de la protection périphérique

L'étude en structure 1D (figure 2) nous permet d'obtenir les valeurs maximales théoriques de tenue en tension du composant. Les lignes de champ électrique y sont perpendiculaires au

gradient de potentiel électrostatique. Cependant, dans la réalité, les lignes de champ se resserrent en périphérie du composant. Cela a pour effet de créer un champ électrique intense en périphérie de la jonction PN (« crowding »), provoquant le départ en avalanche du composant bien avant que les tensions maximales théoriques ne soient atteintes. La découpe du composant crée en plus des défauts dans le matériau qui, s'ils sont localisés près de la jonction devant supporter la tension, sont responsables de courants de fuite important. Pour pallier ce comportement, il existe différentes techniques visant à espacer les lignes de champ électrique pour maintenir une tenue en tension élevée.

Pour des soucis de faisabilité et de fiabilité technologique, nous nous orientons vers une gravure mesa associée à une JTE (Junction Termination Extension).

3.2.1. JTE

Le principe de la JTE est de limiter le resserrement des lignes de champ en prolongeant la jonction PN en implantant du dopant de type p en périphérie (figure 6). Pour une tenue en tension optimale, il faut que la zone de JTE soit intégralement dépeuplée lorsque la tension de polarisation atteint la valeur de tension de claquage. Le pic de champ électrique en bout de JTE devra alors être du même ordre de grandeur que celui apparaissant à la limite entre partie active et périphérie. Cela nécessite donc d'optimiser la dose à planter. Si la dose est trop faible, le pic de champ électrique sera plus important en début de JTE, au voisinage de la jonction à protéger. Si la dose est trop importante, il apparaîtra à l'autre extrémité de la JTE (figure 7).

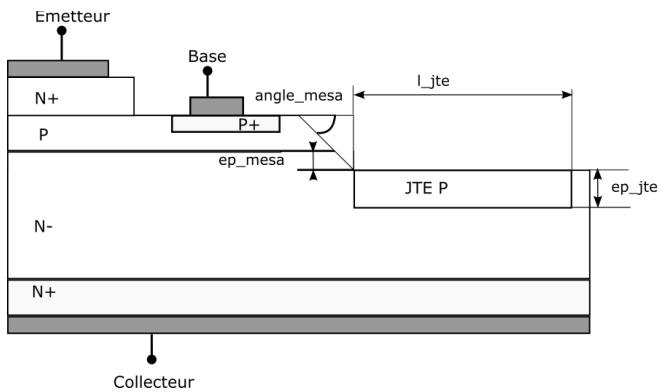


Figure 6 Vue en coupe schématique de la périphérie du BJT de puissance en SiC

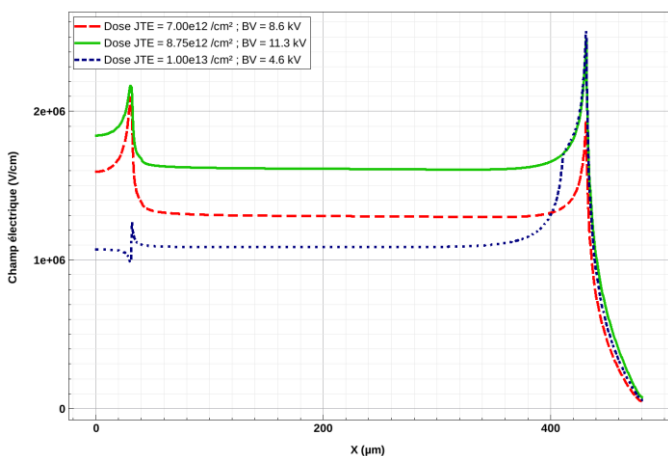


Figure 7 Allure du champ électrique en bord de JTE à la tension d'avalanche V_{CBO} pour différentes doses implantées

Le choix a été porté sur des longueurs de JTE de 400 μm et 600 μm . En dessous de 400 μm , la tenue en tension n'est pas garantie. Au-delà de 600 μm , le gain obtenu sur la tension d'avalanche n'est pas significatif alors que le coût en surface de matériau augmente [5]. Les deux longueurs seront réalisées en vue d'un retour sur simulation. La dose implantée sera de $8,75 \cdot 10^{12} \text{ cm}^{-3}$ pour une efficacité de 88 % par rapport à la limite théorique (figure 8).

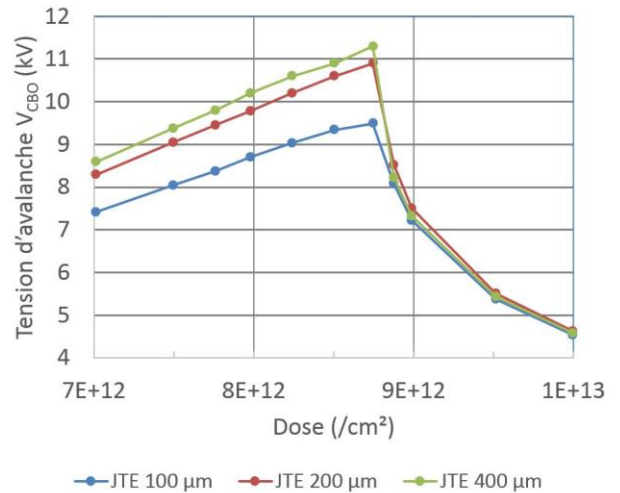


Figure 8 Tension d'avalanche V_{CBO} en fonction de la dose de JTE implantée pour différentes longueurs de JTE

4. CARACTERISTIQUES STATIQUES EN CONDUCTION

4.1. Courbes de gain

La figure 9 montre le tracé de courbes de gain en courant h_{FE} en fonction de la densité de courant collecteur J_C en échelle semi-logarithmique, pour différentes valeurs de tension collecteur-émetteur V_{CE} . Le gain en courant h_{FE} maximum relevé est de 60. Cependant, cette valeur dépendra fortement des durées de vie des porteurs que nous avons fixées dans nos modèles à $\tau_{e,max} = 500 \text{ ns}$ pour les électrons et $\tau_{h,max} = 100 \text{ ns}$ pour les trous, selon la relation de Scharfetter. Ces valeurs sont assez pessimistes par rapport à la littérature [6] et dépendront des traitements appliqués à la surface de la structure (gravure, implantation, oxydation) ainsi que de la qualité cristalline des couches épitaxiales.

Travailler à ce gain maximum implique d'avoir de faibles densités de courant (jusqu'à 40 A.cm^{-2}) si l'on souhaite polariser le composant à faible V_{CE} (5 V). De meilleures densités de courant peuvent être atteintes en portant V_{CE} au-delà de 10 V mais nous serons limités par la capacité de dissipation thermique du packaging (de 200 à 300 W/cm^2 pour les plus performants). Ces valeurs respectent l'ordre de grandeur de celles que l'on peut trouver dans la littérature [2] (ici, 30 A.cm^{-2} à $V_{CE} = 4 \text{ V}$ pour $h_{FE} = 20$).

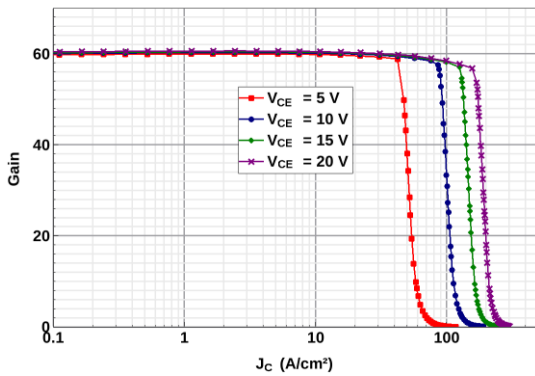


Figure 9 courbes de gain en émetteur commun en fonction de la densité de courant collecteur J_C pour différentes tensions collecteur-émetteur V_{CE}

4.2. Réseau de Kellog

La figure 10 montre la densité de courant collecteur J_C en fonction de la tension de collecteur V_C pour différentes densités de courant de base. Pour des densités de courant de base élevées, la limite de quasi-saturation est augmentée. Nous pouvons obtenir pour $V_{CE} = 10$ V une densité de courant de plus de $90 \text{ A}\cdot\text{cm}^{-2}$, soit une résistance spécifique de $108 \text{ m}\Omega\cdot\text{cm}^2$. Bien qu'il ne s'agisse que d'un résultat de simulation mais cette valeur est plus optimiste que celles que l'on trouve dans la littérature pour des BJT en SiC ayant une tenue en tension de 10 kV [2] [7] (ici, respectivement 130 et $110 \text{ m}\Omega\cdot\text{cm}^2$).

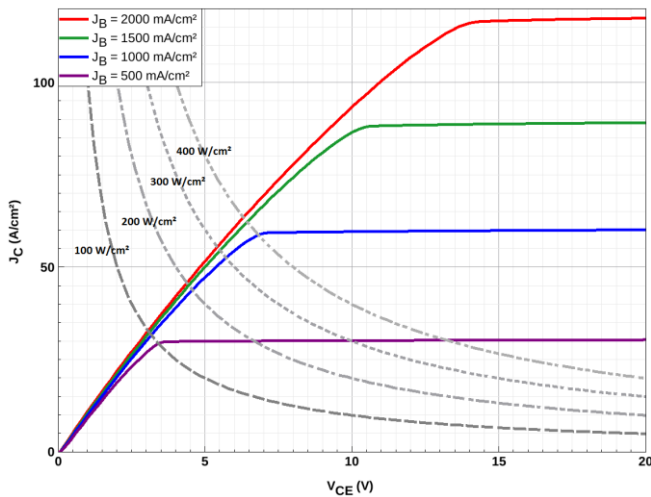


Figure 10 réseau de Kellog : densités de courant collecteur J_C en fonction de la tension de collecteur V_C pour différentes densités de courant de base J_B

5. CONCLUSION ET PERSPECTIVES DE L'ETUDE

Ce papier montre les résultats de simulation obtenus sur l'étude d'un transistor bipolaire de puissance destiné à être développé industriellement et utilisé dans des convertisseurs MVDC. Les paramètres fixés permettent de tenir plus de 10 kV et d'obtenir des caractéristiques statiques en conduction comparables à la littérature.

Certains paramètres, comme la profondeur de gravure mesa pour la protection périphérique, ne sont pas encore fixés malgré

une étude complétée. Des discussions avec le fabricant sont en cours pour définir la valeur optimale tout en minimisant les risques de défauts pouvant intervenir selon la maîtrise actuelle des processus de fabrication.

La fabrication des composants nous permettra de déterminer les caractéristiques réelles. Celles-ci seront inférieures à celles obtenues en simulation à cause des défauts liés au matériau (défauts d'empilement, défauts dus aux gravures et implantations [10]) ou aux étapes de fabrication (défauts d'alignement, présence de pièges à l'interface entre l'oxyde et le semi-conducteur [8] [9]). Nos choix de structure ont donc pour but de limiter le nombre d'étapes technologiques afin de rendre le processus de fabrication le plus fiable possible. Pour cette raison, d'autres types de protection périphérique [11] sont à l'étude et seront présentées dans de futurs papiers.

Après fabrication un retour sur simulation nous permettra d'adapter nos modèles de simulation pour les rendre plus proche de la réalité. Cela passera par des caractérisations statiques, dynamiques et en température.

6. REFERENCES

- [1] H. Miyake, T. Okuda, H. Niwa, T. Kimoto, J. Suda, "21-kV SiC BJTs With Space-Modulated Junction Termination Extension," *IEEE Electron Dev. Lett.* 33(11), pp.1598-1600, 2012.
- [2] Q. Zhang, R. Callanan, A. Agarwal, A. Burk, M. O'Loughlin, J. Palmour, and C. Scozzie, "10 kV, 10 A bipolar junction transistors and Darlington transistors on 4H-SiC," *Mater. Sci. Forum*, vol. 645-648, pp. 1025-1028, 2010.
- [3] T. Lüth *et al.*, "Performance of a DC/AC/DC VSC system to interconnect HVDC systems," *AC and DC Power Transmission (ACDC 2012), 10th IET International Conference on*, Birmingham, 2012, pp. 1-6.
- [4] Synopsys, *Sentaurus Device User Guide*, Version A-2007.12, December 2007
- [5] D. Planson *et al.*, "Wide bandgap semiconductors for ultra high voltage devices. Design and characterization aspects," *2014 International Semiconductor Conference (CAS)*, Sinaia, 2014, pp. 35-40.
- [6] S. Sundaresan, C. Sturdevant, M. Mappelly, E. Lieser, and R. Singh, "12.9 kV SiC PiN diodes with low on-state drops and high carrier lifetimes," *Mater. Sci. Forum*, vols. 717-720, pp. 949-952, May 2012.
- [7] S. Sundaresan, S. Jeliakov, B. Grummel, R. Singh, "10 kV SiC BJTs - Static, switching and reliability characteristics," in *Power Semiconductor Devices and ICs (ISPSD), 2013 25th International Symposium on*, pp.303-306, 2013
- [8] C. Sun, Y. Zhang, X. Deng, B. Zhang, "High current gain 4H-SiC BJT for limiting surface states effect," in *Solid-State and Integrated Circuit Technology (ICSICT), IEEE International Conference*, pp.1-3, 2014.
- [9] H. Miyake, T. Kimoto, J. Suda, "Improvement of Current Gain in 4H-SiC BJTs by Surface Passivation With Deposited Oxides Nitrided in N₂O or NO," in *Electron Device Letters, IEEE*, vol.32, no.3, pp.285-287, 2011.
- [10] K. Kawahara, G. Alfieri, T. Hiyoshi, G. Pensl, T. Kimoto, "Effects of Thermal Oxidation on Deep Levels Generated by Ion Implantation into n-type and p-type 4H-SiC," in *Mater. Sci. Forum*, vol. 645-648, pp. 651-654, 2010
- [11] A. Salemi, H. Elahipanah, G. Malm, C.-M. Zetterling, M. Ostling, "Area- and efficiency-optimized junction termination for a 5.6 kV SiC BJT process with low ON-resistance," in *Power Semiconductor Devices & IC's (ISPSD), 2015 IEEE 27th International Symposium*, pp.249-252, 2015.