



HAL
open science

Analyse par électroluminescence des dégradations de transistors SiC-MOSFET

Pascal Dherbécourt

► **To cite this version:**

Pascal Dherbécourt. Analyse par électroluminescence des dégradations de transistors SiC-MOSFET. Symposium de Genie Electrique, Jun 2016, Grenoble, France. hal-01361661

HAL Id: hal-01361661

<https://hal.science/hal-01361661>

Submitted on 7 Sep 2016

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Analyse par électroluminescence des dégradations des transistors MOSFET-SiC

Tien Anh NGUYEN, Andres ECHEVERRI, Safa MBAREK, Niemat MOULTIF, Pascal DHERBECOURT, Olivier LATRY, Eric JOUBERT

Normandie Université – GPM - INSA - Université de Rouen - UMR CNRS 6634

RESUME – L'analyse de la dégradation est une des importantes études afin d'améliorer la fiabilité de composant à semi-conducteur de puissance. L'objectif de cette étude est de chercher les modes de défaillance et d'analyser les mécanismes des dégradations dans la structure cellulaire d'un MOSFET en carbure de silicium (SiC) à l'aide de la technique de l'électroluminescence (EL). Le vieillissement des transistors est réalisé sous contraintes thermique et électrique conjuguées, en mode HTRB (High Temperature Reverse Bias). Des indicateurs de tension de seuil (V_{TH}) et de courant de fuite de drain (I_{DSS}) mesurés pendant la procédure de vieillissement montrent une dégradation des performances des composants sous test. Une étude de la signature de la dégradation physique par la microscopie à photoémission est proposée à l'aide d'un accès à la puce en face arrière. L'originalité de ce travail réside dans le fait de corréler les mesures des indicateurs électriques et l'imagerie par la technique EL en face arrière afin de localiser des défauts potentiels engendrés ainsi que les cellules en état vieilli car les cellules vieilles émettent une intensité lumineuse plus faible. L'identification des cellules en état vieilli à l'aide des images EL dans ce travail peut contribuer à une nouvelle voie de recherche de l'estimation par rapport aux méthodes conventionnelles proposées par la technique EL. Enfin, une autre étude de simulation nous permet d'établir la liaison entre la distribution de champ électrique et la distribution de l'intensité de photoémission sur la zone observée.

Mots-clés — MOSFET-SiC, vieillissement, HTRB, indicateur de vieillissement, technique de l'électroluminescence, intensité de photoémission, distribution de champ électrique.

1. INTRODUCTION

Au cours des dernières années, l'amélioration des composants de puissance a été réalisée en remplaçant le silicium (Si) par le carbure de silicium (SiC) comme le matériau de base. Les transistors MOSFET de puissance à base de SiC possèdent de nombreuses qualités comparés aux transistors à base de Si (haut rendement, tenue en tension élevée, faible résistance, rapidité de commutation, forte conductivité thermique) [1-4]. Bien que plusieurs MOSFET SiC ont été commercialisés avec succès, le marché des composants SiC est encore dans ses premières étapes et la compréhension des problèmes de dégradation est controversée. L'oxyde de grille peut être dégradé à une température inférieure à celle maximale de la jonction de SiC. Le stress du vieillissement à cause des cyclages de puissance (passif ou actif) pourrait être dû la température élevée de fonctionnement, une grande plage de variation de température, et les contraintes de polarisation sous l'effet d'un champ électrique élevé [1-3].

Dans cet article, nous effectuons un stress de vieillissement HTRB sur quatre transistors MOSFET-SiC 1200V-24A (CMF-10120D). Normalement, le stress HTRB serait utilisé afin de tester la robustesse de la couche de l'oxyde, l'intégration de la jonction et ainsi que la terminaison du bord en appliquant une haute tension en

polarisation inverse à haute température de fonctionnement [6]. Les paramètres comme la tension de seuil (V_{TH}) et le courant de fuite de drain (I_{DSS}) sont déterminés comme les indicateurs de vieillissement mesurés régulièrement pendant le stress de HTRB. Ensuite, des analyses à l'aide de la technique de l'électroluminescence (EL) sont menées sur deux échantillons de transistor MOSFET vieilli et non vieilli, dans le but de corréler les variations des indicateurs électriques mesurés et les images EL. Cette estimation nous permet de localiser les défauts engendrés par le vieillissement. Par la suite, ils pourraient aider à ouvrir une analyse plus aboutie concernant les mécanismes de vieillissement et/ou dégradation. Enfin, une étude de simulation montre que la distribution de l'intensité de photoémission est l'imagerie de la distribution de champ électrique dans la puce. La section 2 présente le banc de vieillissement et les mesures des indicateurs. L'analyse de l'état de vieillissement des cellules par la technique EL est abordée dans la section 3. Ensuite, la liaison entre la distribution de l'intensité d'émission et la distribution du champ électrique est montrée dans la section 4. Enfin, les conclusions et les perspectives de l'étude sont présentées dans la section 5.

2. EXPERIMENTATION : BANC EXPERIMENTAL ET INDICATEURS DU VIEILLISSEMENT

2.1. Banc expérimental du stress HTRB

Les transistors sont vieillis selon un protocole HTRB. Quatre transistors sont en état bloqué, placés dans une enceinte thermique à la température de 140°C. Une forte tension de 960 V est appliquée entre drain et source représentant d'environ 80% de la tension de claquage, la grille est reliée à la source. Pendant la procédure de vieillissement, la mesure des indicateurs de vieillissement V_{TH} et I_{DSS} est régulièrement réalisée à température ambiante de 25°C.

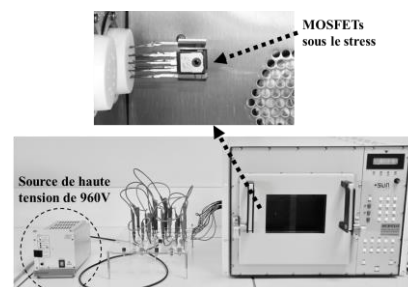


Fig. 1. Banc de vieillissement du stress HTRB

2.2. Mesure des indicateurs de vieillissement

La tension de seuil V_{TH} est définie comme celle appliquée sur la grille et le drain simultanément pour avoir un courant de drain (I_D) égal à 1 mA (Fig.2.a). Le courant de fuite de

drain I_{DSS} est mesuré d'après la configuration de la figure 2.b, le transistor à l'état bloqué est soumis à une tension entre drain et source de 960V et un pico-ampèremètre permet de mesurer le courant avec une précision de 10 fA.

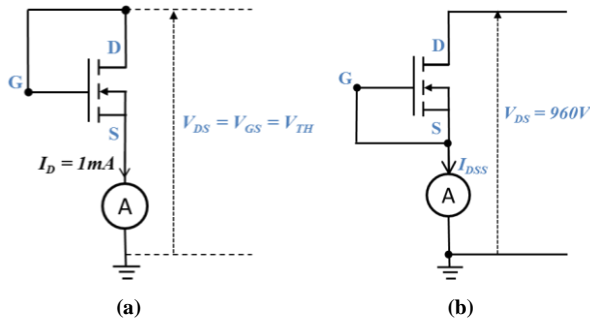


Fig. 2. Mesure des indicateurs de la tension de seuil V_{TH} (a) et du courant de fuite de drain I_{DSS} (b)

Les figures 3 et 4 donnent l'évolution des deux indicateurs électriques pendant la procédure de vieillissement d'une durée de 1200 heures pour les composants repérés no.3 et no.4. Le processus de vieillissement est arrêté pour les composants no.2 et no.3 après respectivement de 1028 heures et 740 heures afin d'éviter tout risque de destruction prématurée au regard de la grande évolution des indicateurs V_{TH} et I_{DSS} .

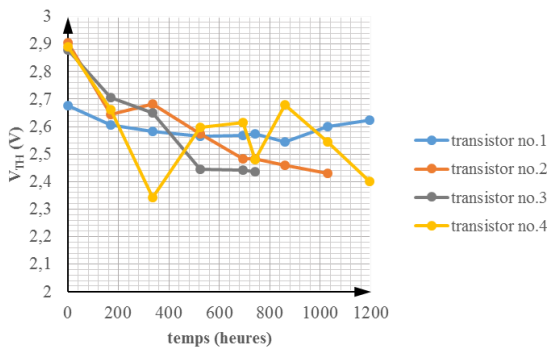


Fig. 3. Evolution de l'indicateur V_{TH} au cours du vieillissement.

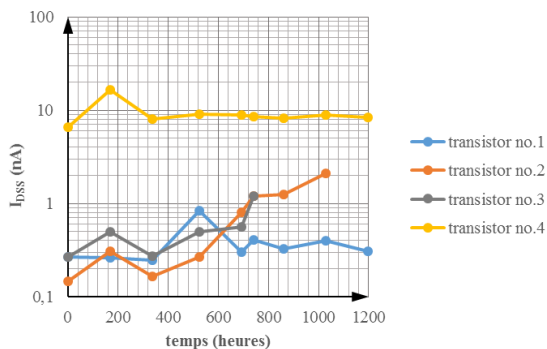


Fig. 4. Evolution de l'indicateur I_{DSS} au cours du vieillissement

Indicateurs Composant	Variation de V_{TH}	Variation de I_{DSS}
	$\% \Delta V_{TH} = \frac{V_{TH} - V_{TH_initial}}{V_{TH_initial}}$	$\% \Delta I_{DSS} = \frac{I_{DSS} - I_{DSS_initial}}{I_{DSS_initial}}$
Transistor no.1	-2% (à 1200 heures)	14,8% (à 1200 heures)
Transistor no.2	-16,3% (à 1028 heures)	1332% (à 1028 heures)
Transistor no.3	-15,4% (à 740 heures)	352% (à 740 heures)
Transistor no.4	-17% (à 1200 heures)	26,6% (à 1200 heures)

($V_{TH_initial}$, $I_{DSS_initial}$: valeur de l'indicateur mesuré à l'état initial, V_{TH} , I_{DSS} : valeur de l'indicateur mesuré après vieillissement).

Tableau 1. Variation relative des indicateurs de vieillissement.

On relève une diminution de la tension de seuil (V_{TH}) et une augmentation de courant de fuite de drain (I_{DSS}) sur les quatre transistors pendant le vieillissement. Le résultat de l'évolution de ces indicateurs est résumé dans le tableau 1. Le transistor no. 2 présente la variation la plus importante sur les deux indicateurs mesurés. Par contre, le transistor no.1 présente la variation la moins significative. Ces deux composants no.1 et no.2 seront donc exploités par une analyse de la technique EL.

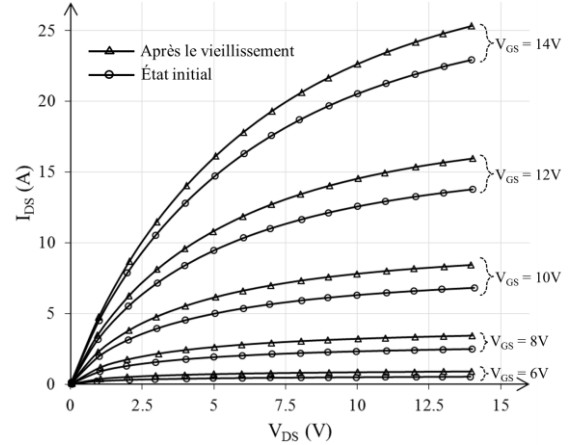


Fig. 5. Caractéristique $I_D(V_{DS})$ de transistor no.2 à l'état initial et après le vieillissement

Ensuite, pour vérifier la mesure des évolutions des indicateurs électriques, nous mesurons les caractéristiques $I_D(V_{DS})$ sur les transistors no.1 et no.2 après le vieillissement. En comparant avec les caractéristiques $I_D(V_{DS})$ avant le vieillissement, aucune variation significative n'est trouvée entre la caractéristique $I_D(V_{DS})$ de transistor no.1 à l'état initial et après le vieillissement. Concernant le transistor no.2, on trouve un changement de la caractéristique $I_D(V_{DS})$ entre l'état initial et après le vieillissement (Fig. 5). Donc on peut conclure que le transistor no.1 n'est pas encore vieilli, par contre le transistor no.2 a été vieilli.

3. ANALYSES DE LA DEFAILLANCE PAR LA TECHNIQUE D'ELECTROLUMINESCENCE

Les transistors no.1 et no.2 sont analysés par la technique EL à l'aide d'une microscopie à photoémission (MPE). La technique EL a pour principe de capturer la lumière émise par le composant polarisé afin de localiser les points de défaillance [7] [10] [11]. Celle-ci peut avoir différentes origines: claquage de l'oxyde, recombinaison des porteurs, ou porteurs à haute énergie [11].

3.1. Préparation des échantillons

Le MOSFET est équipé de plusieurs couches métalliques (comme la métallisation de source, la semelle, le substrat DCB, et la métallisation de drain). Ces couches métalliques ne permettent pas aux photons d'émission de parvenir à la caméra de récepteur de MPE. Donc, une préparation des échantillons est nécessaire. Les deux transistors en boîtiers TO247 sont ouverts en face arrière par usinage localisé. Une partie de la face arrière de la puce a été dégagée. La couche de semelle, le substrat DCB, la brasure et la métallisation de drain ont été retirées, puis le substrat SiC a été aminci et rendu en poli miroir par polissages successifs (Fig. 6).

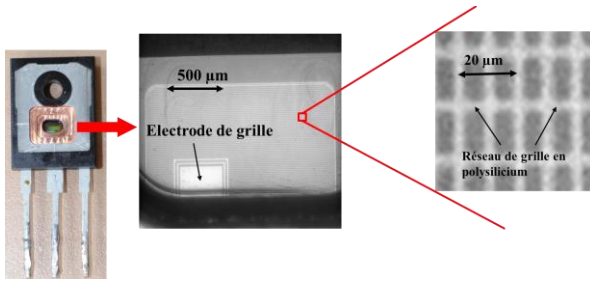


Fig. 6. Images optiques du transistor sous test ouvert en face arrière

3.2. Analyse de la technique EL par MPE

L'analyse de la technique EL est réalisée à l'aide de la caméra Si-CCD d'un microscope PHEMOS 1000 Hamamatsu avec une plage de sensibilité comprise entre 500 nm et 900 nm pour un rendement quantique supérieur à 40 %. L'étude des images EL pour de différentes conditions de polarisation du transistor, montre que le MOSFET SiC doit être utilisé de façon préférentielle dans la région de saturation afin que notre caméra puisse capturer les photons d'émission correspondant à sa plage de sensibilité optimale. Nous pouvons facilement distinguer les cellules élémentaires dans la structure multi cellule du transistor. Une image d'illustration de la structure d'une cellule montre que la zone lumineuse se localise autour le canal d'inversion de conduction (Fig. 7).

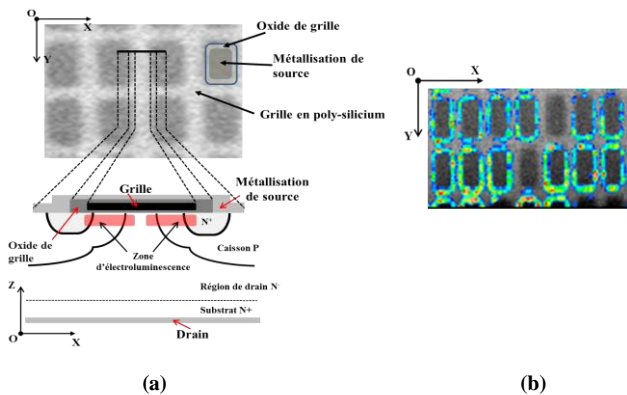


Fig. 7. Illustration de la zone EL dans une cellule (a), image EL pour $V_{DS} = 46$ V, $V_{GS} = 3,5$ V (b)

Ce phénomène pourrait être expliqué par l'effet des électrons à haute énergie qui circulent dans le canal d'inversion de conduction sous la couche de l'oxyde. Lorsque le transistor est polarisé dans la région de saturation, ces électrons accélérés par un champ électrique important deviennent des porteurs à haute énergie, la lumière observée dans cette région est due à des photons émis par des électrons à haute énergie. La photoémission pourrait être le résultat de différentes procédures comme la transition intra-bande [8], l'injection des électrons à haute énergie dans la couche de l'oxyde [5], ou la procédure de recombinaison [9].

La photoémission dépend fortement de condition de polarisation du transistor. Pour comprendre l'effet de polarisation sur le phénomène d'émission de photon, l'étude suivante analyse l'effet de la tension entre grille et source V_{GS} et de la tension entre drain et source V_{DS} , respectivement. En zoomant sur une zone au coin supérieur gauche du transistor no.1 (Fig. 8), à l'aide de l'évolution de l'intensité de photoémission en fonction de V_{GS} et V_{DS} , nous pouvons évaluer ses effets sur les images EL. A chaque condition de polarisation, nous calculons la valeur moyenne de l'intensité de photoémission sur cette zone.

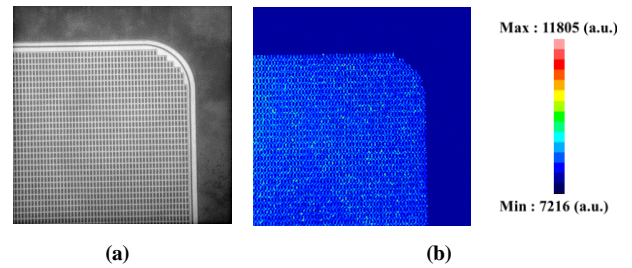


Fig. 8. Zone observée pour étudier l'effet de polarisation (a), un exemplaire d'une image EL pour $V_{DS} = 46$ V et $V_{GS} = 3,5$ V sur la zone sélectionnée (b)

Les courbes obtenues de l'intensité moyenne de photoémission en fonction de V_{GS} sont présentées dans la figure 9.a pour les valeurs de V_{GS} variant de 2,8 V à 7 V avec trois différentes valeurs de V_{DS} de 43 V, 44 V, et 45 V. La figure 9.b donne l'évolution de l'intensité moyenne de photoémission en fonction de V_{DS} variant de 43V à 46V, avec respectivement les valeurs de V_{GS} de 2,8 V, 3,5 V, 4 V, 4,5 V et 7 V. Avec $V_{GS} = 2,8$ V, le transistor est en état bloqué, aucune lumière n'est détectée par la caméra, et l'intensité de photoémission est d'environ 7200 a.u, représentant le fond de bruit du système. Dans la figure 9.a, on constate que l'intensité de photoémission augmente rapidement à la valeur maximale dans une courte plage de V_{GS} de 2,8 V à 3V (autour la tension de seuil du transistor). Après avoir atteint la valeur maximale, l'intensité est inversement proportionnelle avec la tension V_{GS} . La figure 9.b montre qu'une fois que le transistor est en état passant, l'intensité de photoémission est proportionnelle à la tension V_{DS} . En effet, les électrons sont accélérés par la présence d'un champ électrique vertical qui dépend de la polarisation de drain (V_{DS}).

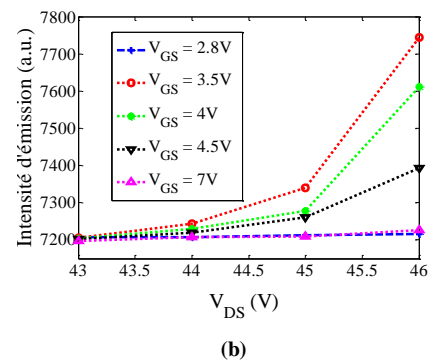
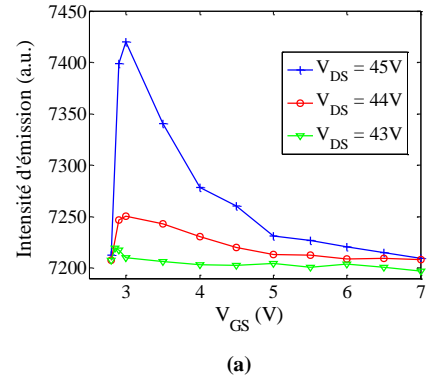


Fig. 9. Intensité de photoémission en fonction de V_{GS} (a) et de V_{DS} (b)

Pourtant, le mécanisme de l'émission des photons est encore controversé. Dans les études antérieures, pour le MOSFET latéral en Si, les auteurs suggèrent que la photoémission est principalement le résultat de deux effets : la transition intra-bande et Bremsstrahlung concernant les électrons à haute énergie [8]. Pourtant une autre étude

portant sur le MOSFET latéral en SiC montre que l'émission de photons est principalement liée à la procédure de recombinaison [9]. Afin de comprendre le mécanisme de l'émission de photon pour le transistor VD-MOSFET en SiC dans notre cas, peut-être c'est intéressant de chercher la distribution de spectre d'émission de photon à l'avenir afin de trouver l'origine de photoémission.

3.3. Analyse des cellules en état vieilli

Afin d'analyser l'état de vieillissement des cellules, de nouvelles images EL ont été prises sur le transistor no.1 et no.2 dans la même condition de polarisation ($V_{DS} = 45$ V, et $V_{GS} = 4,5$ V). La zone observée sur ces deux transistors a été sélectionnée de façon identique à côté de contact de grille (au centre de la puce). La figure 10.a présente un dégradé de couleur continu et bien lissé pour le transistor no.1 qui ne présente pas de changement des indicateurs de vieillissement mesurés. Par contre, le transistor no.2 ayant subi des dégradations des indicateurs du vieillissement plus importantes, montre des discontinuités de la distribution de l'intensité de photoémission entre les différentes cellules élémentaires (Fig. 10.b). Ces images mettent en évidence une corrélation entre l'évolution des indicateurs électriques de vieillissement et le mode de distribution d'émission de photons. Cette corrélation permet même d'identifier le transistor non vieilli (transistor no.1) et transistor vieilli (transistor no.2).

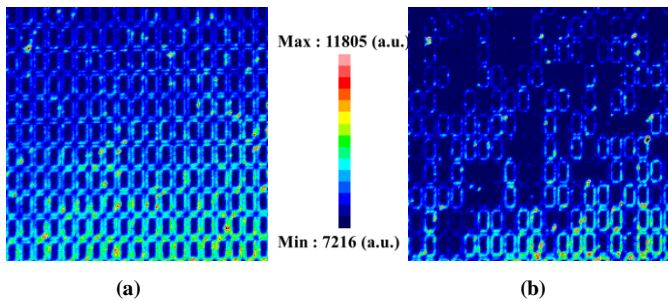


Fig. 10. Image EL capturée sur le transistor no.1 (a) et le transistor no.2 (b) (sous la condition de polarisation : $V_{DS} = 45$ V, $V_{GS} = 4,5$ V)

Nous trouvons que les résultats donnés par la mesure du vieillissement des indicateurs dans la section 2.2 s'adaptent aux images EL où le vieillissement (et/ou la dégradation) a clairement eu lieu dans le transistor no.2 mais le vieillissement ne semblait pas apparaître dans le transistor no.1.

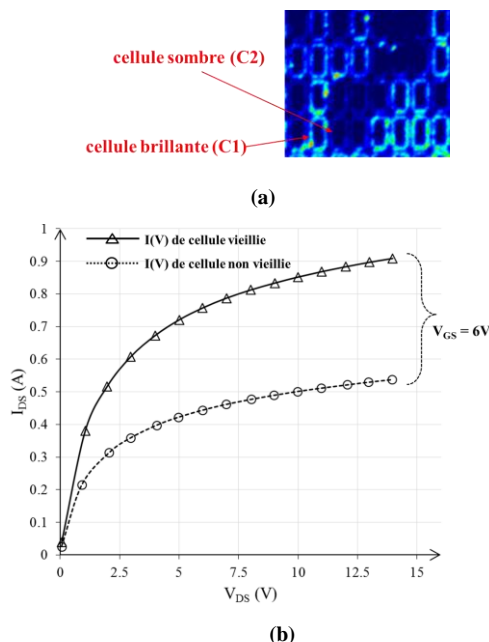


Fig. 11. Identifier la cellule vieilli et non vieilli (a) et caractéristique $I_D(V_{DS})$ de cellule vieilli et non vieilli (b)

Après le stress de vieillissement, le transistor no.2 présente les cellules de faible intensité de lumière autour des cellules plus lumineuses. Pour identifier les cellules en état vieilli, on suppose que : 1) deux cellules voisines (par exemple C1 et C2 dans la figure 11.a) sont soumises aux mêmes conditions de polarisation, 2) la caractéristique $I_D(V_{DS})$ des cellules élémentaires serait déduite à partir des caractéristique $I_D(V_{DS})$ mesurées de MOSFET (Fig. 11.b). Par exemple, avec $V_{GS} = 6$ V, la caractéristique $I_D(V_{DS})$ de cellule non vieilli est obtenue à partir de la caractéristique $I_D(V_{DS})$ de transistor no.2 à l'état initial, par contre la caractéristique $I_D(V_{DS})$ de cellule vieilli est obtenue à partir de la caractéristique $I_D(V_{DS})$ de transistor no.2 après le stress de vieillissement. Donc, la caractéristique de cellules non vieilli et vieilli est présentée dans la figure 11.b.

Nous trouvons que l'effet de vieillissement est près similaire par rapport à l'effet de l'augmentation de tension V_{GS} sur la caractéristique $I_D(V_{DS})$. En appliquant l'étude de l'effet de tension V_{GS} sur l'intensité de photoémission, nous pouvons considérer que la cellule vieilli émettrait l'intensité de lumière plus faible que l'autre cellule en bon état de santé (ou non vieilli). Cette analyse nous permet de localiser les cellules vieilli, par exemple la cellule C2 est la cellule vieilli après le stress de vieillissement.

Normalement, les méthodes conventionnelles par la technique EL détermine les positions de défaillance où l'intensité de lumière de photoémission est plus élevée. Cette différence peut être expliquée par la raison qui suit. Dans notre étude, les cellules du transistor no.2 n'est pas vraiment en état de défaillance, elles ne sont que vieilli à cause du stress de HTRB.

4. DISTRIBUTION DE L'INTENSITE DE PHOTOEMISSION

Dans cette section, nous analysons la distribution de l'intensité de photoémission sur la zone d'ouverture du MOSFET. La figure 12 présente l'image EL correspondant à toute la zone d'ouverture de transistor no.1 non vieilli où la distribution de l'intensité de photoémission apparaît en forme des lignes équipotentielles.

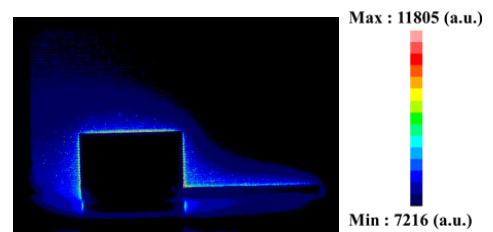


Fig. 12. Distribution de l'intensité de photoémission sur la zone ouverte du transistor no.1 non vieilli ($V_{DS} = 32$ V, $V_{GS} = 5.75$ V)

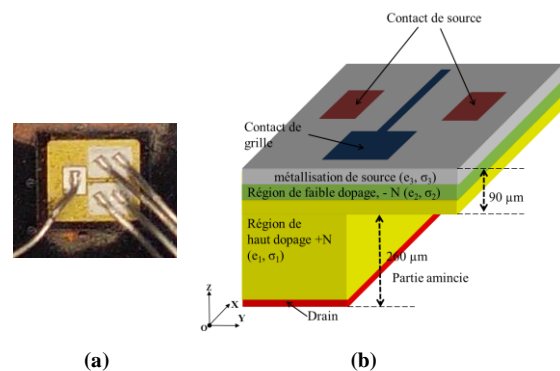


Fig. 13. Face avant du transistor réel (a), structure de la simulation pour un MOSFET avec l'ouverture de la face arrière (b)

Comme l'étude abordée au-dessus, l'intensité de la photoémission dépend strictement des conditions de polarisation (V_{DS} et V_{GS}). De plus, les conditions de polarisation des cellules ne sont pas homogènes. En effet, une étude antérieure a montré que la distribution des potentiels électriques sur la métallisation de source n'est pas uniforme, et cette distribution dépend de la conductivité de métallisation de source, et de la position de contact de source qui est parcouru par le courant de puissance [12].

Pour comprendre l'origine de cette distribution, nous réalisons une étude de la simulation afin d'estimer la distribution de champ électrique dans la puce et la distribution de potentiel électrique sur la métallisation de source à l'aide du logiciel ANSYS. Dans la figure 13, la structure de la simulation est constituée de quatre couches – métallisation de source, faible et haut dopage de semi-conducteur, métallisation de drain dont les dimensions et conductivités sont réglées d'après des paramètres réels des transistors à tester.

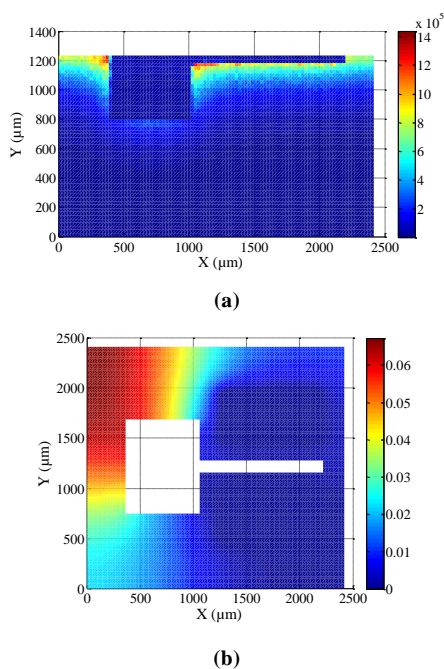


Fig. 14. Distribution de champ électrique total E (V/m) dans la couche de faible dopage N- (a), distribution de potentiel électrique sur la métallisation de la source (b)

La distribution de champ électrique total dans la couche de faible dopage N- correspondant à la zone ouverte est présentée dans la figure 14.a et la distribution de potentiel électrique sur la métallisation de source est donnée dans la figure 14.b pour la tension entre drain et source de 32 V, ($V_{DS} = 32$ V). Nous trouvons que la distribution de l'intensité de photoémission (Fig. 12) possède une allure très similaire à la même la distribution de champ électrique total dans la couche de faible dopage N-. Ce résultat suggère que l'effet de champ électrique, à cause de la polarisation de V_{DS} , sera l'effet dominant pour la distribution de l'intensité de la photoémission.

5. CONCLUSIONS ET PERSPECTIVES

Dans cet article, une étude de vieillissement en mode haute température sous fort champ électrique HTRB couplée à l'estimation de la technique EL a été menée sur 4 transistors MOSFET en SiC. Pendant le stress HTRB, les indicateurs de vieillissement -la tension de seuil (V_{TH}) et le courant de fuite de drain (I_{DSS}) sont mesurés régulièrement. Le résultat montre la cohérence entre l'évolution des indicateurs électriques de vieillissement et les images EL

obtenues à la face arrière. Cette technique représente une aide précieuse à la recherche de composant en état de vieillissement. Plus loin, une analyse de l'effet de condition de polarisation sur les images EL nous permet d'identifier les cellules en état vieilli dans la structure multi-cellules de MOSFET. Cette estimation peut contribuer une nouvelle allure d'estimation par rapport aux méthodes conventionnelle dans la technique EL. Enfin, une étude de simulation montre que la distribution de champ magnétique à cause de la polarisation entre drain et source (V_{DS}) est l'effet dominant pour la distribution de l'intensité de photoémission dans le transistor. Pourtant, l'étude est encore limitée afin de comprendre le mécanisme de l'émission de photon des cellules de VD-MOSFET en SiC, de différents hypothèses concernant les porteurs à haute énergie sont encore controversés. En conséquence, les travaux futurs se focaliseront sur l'analyse spectrale de la photoémission afin de mieux comprendre les mécanismes qui interviennent lors des vieillissements des composants.

6. REFERENCES

- [1] X. Huang, G. Wang, Y. Li, A.Q. Huang, B.J. Baliga, Short-circuit capability of 1200V SiC MOSFET and JFET for fault protection », IEEE APEC Conference Proceeding, 17-21 March 2013, pp. 197-200.
- [2] D. Othman, S. Lefebvre, M. Berkani, Z. Khatir, A. Ibrahim, A. Bouzourene, Robustness of 1.2 kV SiC MOSFET devices, Microelectronics Reliability, Vol. 53, no. 9-11, pp. 1735-1738, September-November 2013.
- [3] P. Alexakis, O. Alatise, J. Hu, S. Jahdi, J.O. Gonzaler, L. Ran, P.A. Mawby, Analysis of power device failure under avalanche mode conduction, ICPE ECCE Asia Conference Proceeding, 1-5 June 2015, pp.1833-1839.
- [4] B.J. Baliga, Advanced Power MOSFET Concepts, New York Springer, 2010.
- [5] B.J. Baliga, Fundamentals of power semiconductor devices, Springer 2008.
- [6] L. Yang, A. Castellazzi, High temperature gate bias and reverse bias test on SiC Mosfet, Microelectronics Reliability, Vol. 53, no.9-11, September-November 2013, pp. 1771-1773.
- [7] M. Bouya, N. Malbert, N. Labat, D. Carisetti, P. Perdu, J.C Clement, B. Lambert, M. Bonnet, Analysis of traps effect on AlGaIn/GaN HEMT by luminescence techniques, Microelectronics Reliability, vol. 48, no. 8-9, August-September 2008, pp. 1366-1369.
- [8] M. Gurfinkel, M. Borenshtein, A. Margulis, S. Sade, Y. Fefer, Y. Weizman, Y. Shapira, Study of hot carrier induced photon emission from 90nm Si MOSFETs, Applied Surface Science, vol. 248, no. 1-4, July 2005, pp. 62-65.
- [9] E. Bano, C. Banc, T. Ouisse, S. Scharnholtz, Hot carrier induced photon emission in 6H and 4H-SiC MOSFETs, Solid State Electronics, vol. 44, no.1. January 2000, pp. 63-69.
- [10] J.B Fonder, L. Chevalier, C. Genevois, O. Latry, C. Duperrier, F. Temcamani, H. Maanane, Physical analysis of Schottky contact on power AlGaIn/GaN HEMT after pulsed-RF life test, Microelectronics Reliability, vol. 52, no. 9-10, September 2012, pp. 2205-2209.
- [11] I. De Wolf, M. Rasras, Spectroscopic photon emission microscopy: a unique tool for analysis of microelectronics devices, Microelectronics Reliability, Vol. 41, no.8, August 2001, pp. 1161-1169.
- [12] T.A. Nguyen, S. Lefebvre, P.-Y. Joubert, D. Labrousse, S. Bontemps, Estimating current distributions in power semiconductor dies under aging conditions: bond wire liftoff and aluminum reconstruction, IEEE transaction on Component Packaging and Manufacturing Technology, vol. 5, no. 4, March 2015, pp. 483-495.