



**HAL**  
open science

## Fiabilité de MESFET SiC face aux décharges électrostatiques

Tanguy Phulpin, Karine Isoird, David Trémouilles, Patrick Austin, Javier Leon, Miquel Vellvehi, Xavier Perpinya, Xavier Jorda

► **To cite this version:**

Tanguy Phulpin, Karine Isoird, David Trémouilles, Patrick Austin, Javier Leon, et al.. Fiabilité de MESFET SiC face aux décharges électrostatiques. Symposium de Genie Electrique, Jun 2016, Grenoble, France. hal-01361658

**HAL Id: hal-01361658**

**<https://hal.science/hal-01361658v1>**

Submitted on 7 Sep 2016

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# Robustesse de MESFET SiC face aux décharges électrostatiques

T.Phulpin<sup>1</sup> and D.Tremouilles<sup>1</sup> K.Isoird<sup>1</sup> P.Austin<sup>1</sup> J.Leon<sup>2</sup> M.Vellvehi<sup>2</sup> X.Perpinya<sup>2</sup> X.Jorda<sup>2</sup>

<sup>1</sup>LAAS-CNRS, Université de Toulouse, CNRS, UPS, Toulouse, France

<sup>2</sup>Institut de Microelectronica de Barcelona-Centre Nacional de Microelectronica (IMB-CNM), Barcelona, Espagne

**RESUME** – L'émergence des composants de puissance commercial en carbure de silicium (SiC) dans notre société s'accroît d'années en années mais certaines de leurs faiblesses perdurent. Dans ce travail nous étudierons l'impact de décharges électrostatiques (ESD) sur différents MESFET et nous montrerons que la faiblesse principale est intrinsèquement liée aux propriétés de son diélectrique de passivation le plus commun, le SiO<sub>2</sub>. Une analyse de ce composant voué à fonctionner en conditions sévères définira les limites actuelles de cette technologie en terme de robustesse aux ESD.

**Mots-clés** – SiC, MESFET, stress ESD, fiabilité, oxyde de passivation, Lock'in thermographie, thermographie infrarouge active, robustesse

## 1. INTRODUCTION

Depuis ces dix dernières années, le carbure de silicium (SiC) se fait une place dans l'électronique de puissance grâce notamment à ses qualités de conductivité thermique, et à sa capacité à soutenir un fort champ électrique avec une faible résistance à l'état passant. Le SiC est en train de s'imposer dans le marché de l'électronique de puissance bien que la robustesse reste problématique pour l'évolution de cette technologie de gestion de l'énergie [1]. Afin d'évaluer la robustesse de MESFET SiC face à une agression de type électrostatique (ESD), nous allons dans ces travaux étudier les comportements électriques lors de ses stress. Aujourd'hui, seul des résultats sur des diodes Schottky en SiC avait été établis [2] mais le mécanisme menant à la défaillance n'avait pas été expliqué. Les MESFET, conçu pour réaliser un circuit de commande en environnement sévère, possèdent de surcroît différentes architectures dont certaines équipées de protection. Le travail sur ces composants permet d'évaluer l'influence de l'architecture, de la structure et de l'oxyde de passivation dans le processus de défaillance de ces MESFET en SiC.

## 2. ANALYSE DE LA ROBUSTESSE DE 4 MESFET EN SiC

Deux architectures de MESFET sont proposées avec leurs caractéristiques propres : le mesa MESFET (Fig. 1) et le planar MESFET (Fig. 2). Le second sera décliné sous trois formes : MESFET de référence (MR), avec une protection intégrée contre les surtension, MESFET avec Schottky sur le drain (MSD), et avec une protection contre les surcourants, MESFET avec Zener sur le drain (MZD). Ces composants seront soumis à des stress ESD afin d'étudier leurs processus de défaillance.

### 2.1. Description des composants à l'étude

Les MESFET [3] sont des composants composés d'un barreau de semi-conducteur polarisé par une tension drain-source. la conductivité du barreau est contrôlée par l'application d'une tension sur la grille. C'est un composant unipolaire et normalement

On: le transistor est normalement passant mais l'application d'une tension négative sur la grille dépeuple le canal en électrons et bloque le transistor. Ce mesa-MESFET a une tension de seuil V<sub>th</sub> de -9V, avec un courant maximal I<sub>dmax</sub> de 25 mA tandis que le planar MESFET a un V<sub>th</sub> de -15V et I<sub>dmax</sub> de 16 mA. A noter que les protections associées ne changent pas ou peu les caractéristiques électriques statiques du composant spécifiées de 0 à 15V. Les structures des deux MESFET sont similaires avec un canal N de 0,5 μm dopé au phosphore à 10<sup>17</sup> cm<sup>-3</sup> et une couche épitaxiée épaisse de 5 μm dopée avec du bore à 5.10<sup>15</sup> cm<sup>-3</sup>. Les composants possèdent du SiO<sub>2</sub> comme oxyde de passivation d'une épaisseur de 0,5 μm. Le dopage P apporte un « effet resurf » qui permet de mieux canaliser les lignes de champ électrique dans le canal N et tout en offrant la possibilité de contrôle du courant avec une seconde grille G2. Enfin le dopage P+ du planar-MESFET permet d'assurer une isolation électrique par rapport aux autres composants présents sur le wafer.

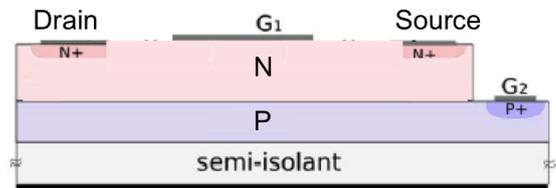


Fig. 1. Schéma du mesa MESFET.

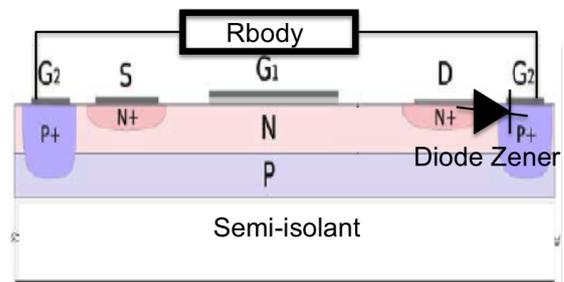


Fig. 2. Schéma du planar MESFET avec Zener sur l'électrode de drain.

### 2.2. Description des test ESD

Afin d'étudier l'influence des stress ESD sur nos différents composants, nous avons utilisé un banc de test TLP (Transient Line Pulse) qui permet d'appliquer, dans notre cas sur le drain, des impulsions électriques d'une durée de 100 ns. L'amplitude du stress est augmentée jusqu'à l'apparition d'une défaillance ou jusqu'à un changement supérieur à 10

### 2.3. Résultat de l'étude sur les différents MESFET

Les tests sont manuellement arrêtés dès l'observation visuelle de défaillances, alors que les mesures de référence Id-Vd ne présentent pas de dérives significatives. On remarque que le MR et le MSD ont le même comportement. ils sont soudainement détruits lorsque la tension atteint environ 200 V. Cette destruction s'accompagne d'une augmentation importante du courant pendant l'impulsion TLP fatale (Fig.3). De son côté le mesa MESFET est détruit dans l'angle de son drain aussi autour de 300 V comme on peut l'observer au microscope (Fig.4). En revanche le MZD est capable de conduire du courant au-delà de 120 V, et est capable de supporter un courant jusqu'à 1 A, avant la destruction physique. Le MZD est donc capable de supporter du courant et de la tension, soit une puissance non négligeable, en comparaison aux autres composants qui ne supportent que des faibles courants : le MZD soutient environ 120 W, le mesa MESFET 30 W et le MR et MSD 10W. Il est donc le seul à ne pas être extrêmement sensible aux ESD

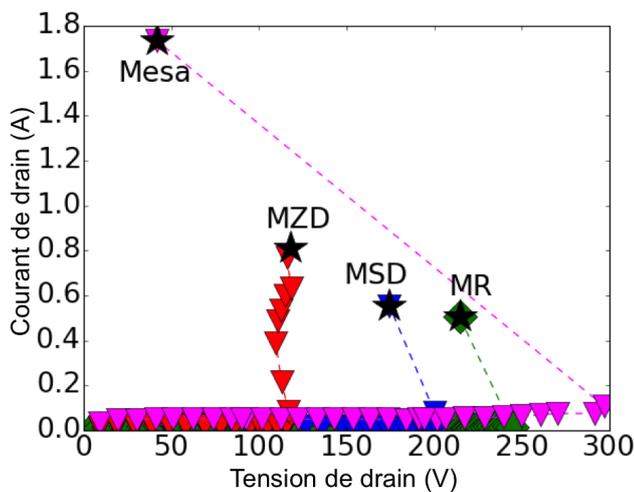


Fig. 3. Id-Vd TLP des différents MESFETs. les étoiles représentent le stress fatal au composant.

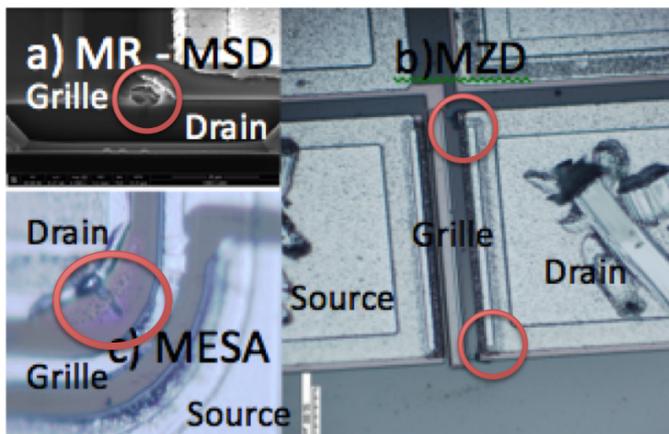


Fig. 4. Localisation de défaut après stress TLP sur différents MESFET (a) MR-MSD (b) MZD (c) Mesa MESFET.

De plus on peut observer que chaque MESFET a son propre mécanisme de défaillance, lié à sa structure. On note que les défaillances sur MR, MSR et sur le mesa MESFET sont soudaines. On assiste sur chaque composant à une diminution de la tension accompagné d'une augmentation du courant. Ce comportement est lié à l'apparition du trou engendré par le claquage de l'oxyde de passivation pour MR et MSD [4] et à la sublimation du SiC pour le mesa MESFET [5].

### 3. ETUDE DES MECANISMES DE DÉFAILLANCES

En analysant les défauts de ces composants, nous allons essayer de comprendre les différents mécanismes de défaillance. D'abord via l'analyse de thermographie infrarouge dynamique, qui permet de différencier l'étude de défaillances entre les planar-MESFET. Ensuite on comparera les défauts obtenus des planar et du mesa MESFET afin d'observer les similitudes dans le mécanisme de défaillance. Enfin on apportera des pistes pour l'augmentation de la robustesse de ces composants.

#### 3.1. La thermographie infrarouge dynamique comme outils d'analyse de défaillance

Les études de thermographie infrarouge dynamique ont été réalisées avec le CNM de Barcelone [6] (Espagne). Durant l'application d'un signal sinusoïdal d'excitation superposé à un signal de polarisation, les émissions infrarouges du composant sont enregistrées par une caméra FLIR. Elles sont ensuite traitées via une fonction de corrélation [7] qui permet d'obtenir une représentation en amplitude et en phase, à la fréquence d'excitation pour chacun des pixels. L'image en amplitude représente l'intensité avec laquelle les pixels suivent l'excitation électrique. L'image en phase indique le retard relatif du signal optique par rapport à l'excitation électrique. Les pixels ayant une grande amplitude sont donc fortement corrélés à l'excitation électrique.

Afin de mener l'expérimentation, nous avons réalisé un circuit. Les puces sont collés au circuit et connectées via des fils de bonding. Le circuit assure le support mécanique devant l'objectif de la caméra. Il permet également la connection électrique aux appareils de polarisation et de mesure. Ensuite il faut sélectionner une fréquence du signal d'excitation, distincte des fréquences parasites créées par l'environnement. Il faut aussi choisir une valeur de tension de polarisation représentative du fonctionnement usuel du composant puis une amplitude du signal d'excitation afin de créer les variations d'émission infrarouges. En pratique, un signal DC d'amplitude 1 V avec un signal d'excitation d'amplitude 1V de fréquence 300 Hz est appliqué entre le drain et la source du composant, pendant que la grille (G1) et le body (G2) ont un potentiel flottant.

L'idée est donc de pouvoir détecter et localiser des défauts internes engendrés par des ESD. C'est pourquoi on réalise une mesure de thermographie infrarouge dynamique de référence avant stress ESD, puis après. Cela permet de visualiser en surface du composant les défaillances contenues dans le semi-conducteur. Toutefois la résolution de l'image est limitée par la longueur d'onde de l'infrarouge de 4  $\mu\text{m}$ . Cela pose des problèmes de précision car le MESFET planar n'est pas grand (40  $\mu\text{m}$  de large) et les zones actives font moins de 10  $\mu\text{m}$ .

Dans le cas du MR, il n'y a pas de différence entre les images dynamiques avant et après défaillance. Il est donc difficile d'interpréter les défaillances même si on observe pour MR que, malgré la défaillance physique (Fig.5), l'image en amplitude du composant ne sont pas modifiées (Fig.6). Les composants MR et MSD ont un comportement similaire avec dans les deux cas une répartition homogène le long de la grille G1 avant et après la génération d'une défaillance suite à un stress ESD.

En revanche le composant MZD a un défaut observable avec la thermographie infrarouge dynamique (Fig.7) lorsque le stress ESD a produit une défaillance physique (Fig.8). De plus on remarque qu'un composant stressé, même fortement, mais non défaillant, ne présente pas de modification de l'image en amplitude en thermographie infrarouge dynamique (Fig.9).

On peut donc en conclure que le défaut, lié à la défaillance de MZD, qui est un trou dans le SiC [5], diffère du défaut correspondant au claquage de l'oxyde de passivation, lié à la défaillance de MR et MSD. L'étude par thermographie infrarouge dynamique a donc permis de discriminer les types de défaillances. On soulignera toutefois qu'il est délicat d'étudier précisément les défaillances avec cette méthode car une légère variation de l'amplitude engendre un fort contraste de l'image sur l'échelle représentant l'interprétation des émissivités infra-

rouges. Un travail sur la visualisation du résultat permettrait d'améliorer l'interprétation des résultats obtenues.



Fig. 5. Photographie avant et après stress ESD sur MR.

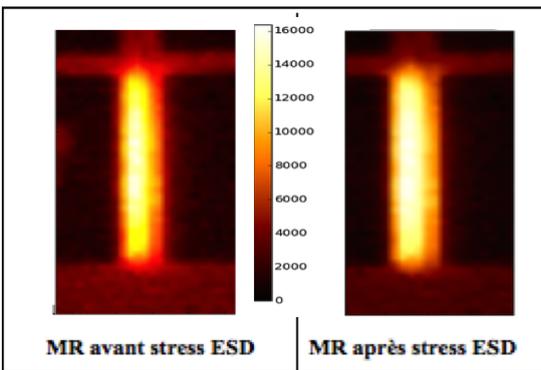


Fig. 6. Image en amplitude de thermographie infrarouge dynamique avant et après stress ESD sur MR.

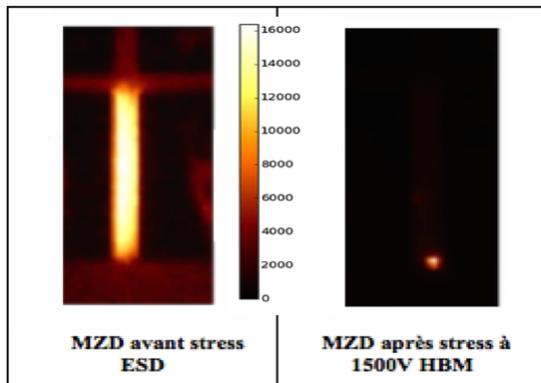


Fig. 7. Image en amplitude de thermographie infrarouge dynamique du MZD avant et après stress ESD destructif.

### 3.2. L'oxyde est l'un des points faibles de la tenue ESD du MESFET SiC

Le composant MZD et le mesa-MESFET sont capables de conduire un courant avant la défaillance physique du composant. Cette conduction est dû à la diode Zener pour le premier et à la tension d'avalanche qui se produit à l'extrémité de l'électrode de drain pour le mesa-MESFET. La robustesse ESD du MZD n'est donc pas liée au claquage de l'oxyde. En revanche pour le second il se pourrait, au vu de la photographie du défaut, que nous soyons confrontés à une rupture de l'oxyde (Fig.4). En effet, on peut y voir un repliement du métal à la surface du composant avec la création d'un trou. On pourrait y voir un rapprochement avec les défaillances de MR et MSD pour qui le claquage de l'isolant limite la robustesse ESD. C'est pourquoi à

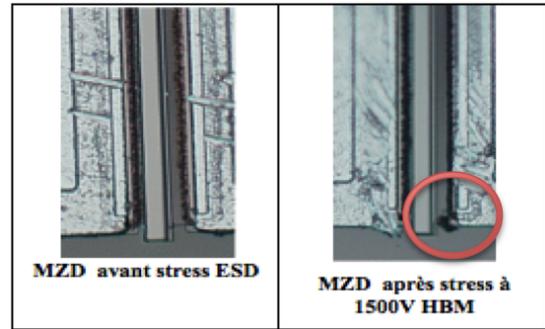


Fig. 8. Photographie avant et après stress ESD sur MZD.

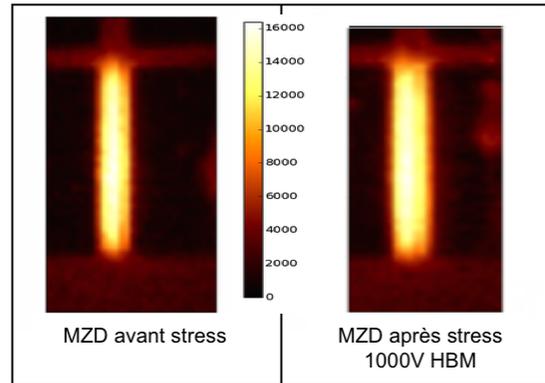


Fig. 9. Image en amplitude de thermographie infrarouge dynamique du MZD avant et après stress ESD non destructif.

partir de la cellule de référence (MR) et en remplaçant le  $\text{SiO}_2$  de passivation par d'autres oxydes comme l' $\text{HfO}_2$  ou l' $\text{Al}_2\text{O}_3$ , de nouvelles structures ont été simulées avec le logiciel TCAD Sentaurus (Fig.10). L'épaisseur du dépôt d'oxyde a aussi été modifié (500 nm vs 100 nm) pour correspondre à des valeurs réalisables par ALD car c'est la méthode correspondante pour ces technologies. On remarque pour ces simulations, représentatives des tests TLP, que la structure avec l' $\text{HfO}_2$  voit son courant drain-source augmenter avant le claquage du diélectrique, situé autour des mêmes valeurs que pour le  $\text{SiO}_2$ . Ce claquage est interprété en simulation par un critère d'arrêt sur la valeur du champ électrique de l'oxyde de passivation: la simulation est arrêté quand  $E_{ox} > E_{crit}$ , défini ici à 3 MV/cm. L'augmentation du courant drain-source peut s'expliquer par une plus grande constante diélectrique (Tab.1), qui modifie la répartition du champ électrique dans le canal (Fig.11). On voit aussi d'après la simulation que l' $\text{Al}_2\text{O}_3$  semble intéressant comme substitut au  $\text{SiO}_2$ , avec une constante diélectrique de 9 au lieu de 11,2 et un champ de rupture de 12 MV/cm au lieu de 3 [8]. Son dépôt par ALD limite toutefois son utilisation pour des composants de taille importante.

Comme on va le voir par la suite, le claquage de l'oxyde de passivation n'est pas la seule faiblesse concernant ces composants. En effet la géométrie et donc la conception du composant a véritablement son importance pour sa robustesse aux ESD.

Tableau 1. Propriétés physiques utilisées pour l'oxyde de passivation lors des simulations sur MESFET SiC [6].

Matériaux	$\epsilon$	Champ de claquage (MV/cm)
$\text{SiO}_2$	11,2	3
$\text{HfO}_2$	20	6,8
$\text{Al}_2\text{O}_3$	9	12

### 3.3. Comment améliorer la robustesse aux ESD du SiC ?

Un point commun à toutes les défaillances étudiées est leur apparition soudaine dans l'angle du composant. Le champ électrique aura en effet tendance à être plus important dans cette

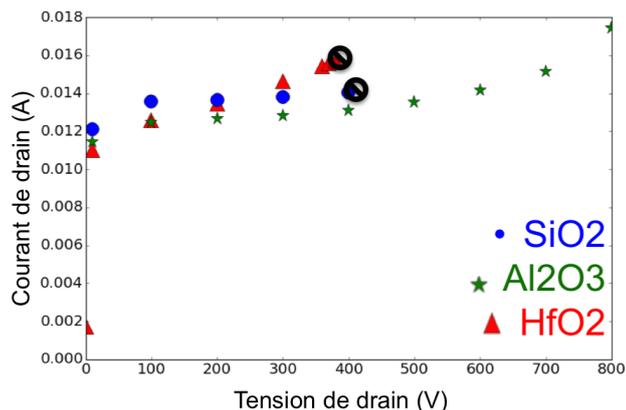


Fig. 10. Simulation de la caractéristique Id-Vd sous stress TLP avec un changement d'oxyde de passivation sur le MESFET en SiC

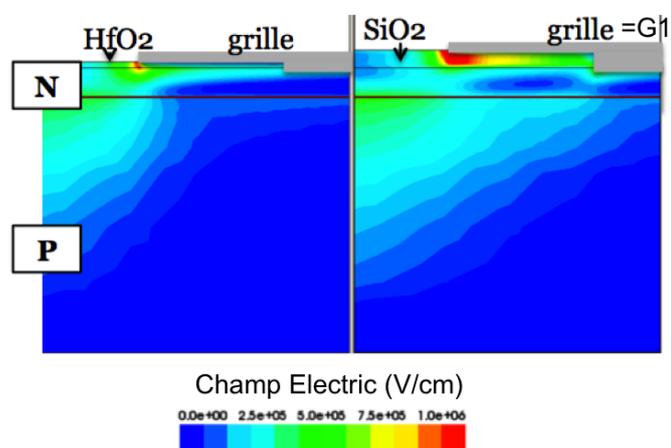


Fig. 11. Différence de répartition du champ électrique entre passivation HfO2 et SiO2 à Vtlp=100V.

configuration [9]. Il est donc crucial d'éviter des géométries anguleuses dans la conception en privilégiant des plaques de champ arrondies, plus grandes, et en évitant la superposition des potentiels fort et faibles. Comme dans chaque étude de robustesse aux ESD, il faut identifier le chemin emprunté par le courant lors de la décharge. Dans le cas de MR (Fig.12), on observe une superposition entre le métal 2 lié au potentiel le plus fort et le body, lié au potentiel le plus faible. Cette configuration entraîne lors de l'application d'une tension sur le drain, une différence de potentiel qui, au delà d'une certaine valeur (250V), devient supérieur au champ électrique maximal que peut soutenir le SiO<sub>2</sub> actuellement présent, d'environ 3 MV/cm. La défaillance observée lors de test ESD est localisée exactement à cet interface drain-body (Fig.4).

#### 4. CONCLUSIONS

Une étude plus approfondie des défauts observés a permis de mettre en évidence les différents mécanismes qui peuvent détériorer le MESFET SiC lors d'une ESD. On montre dans ce travail la capacité de différenciation des défaillances grâce à l'utilisation de la lock'in thermographie. Dans un premier temps les défaillances liées au claquage de l'oxyde de passivation ont été identifiées comme critique pour la technologie SiC. L'ajout d'une diode Zener dans la conception d'une cellule unique augmente considérablement la robustesse ESD. Toutefois une autre défaillance, interne au SiC, se produit. Cette défaillance est proche de celle du mesa-MESFET dont le processus de déclenchement semble différent. Dans un cas l'augmentation du courant suite à l'avalanche semble être l'origine alors

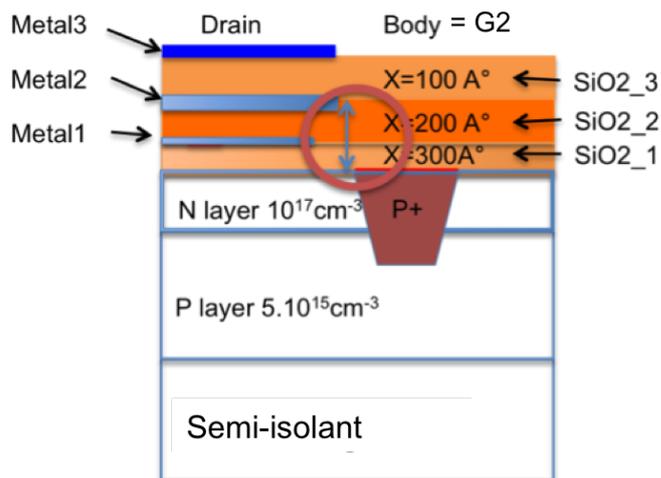


Fig. 12. Schéma de la structure de MR avec ses épaisseurs d'oxyde de passivation.

que dans l'autre il s'agit de la conduction par la diode Zener. Une solution a donc été proposée pour continuer à améliorer la robustesse des composants comme l'utilisation d'un nouvel oxyde plus adapté au SiC. On a pu également se rendre compte de l'importance d'une bonne conception des dispositifs pour parer ce genre de défaillance. Notons aussi la difficulté d'étude du SiC où la sublimation du matériau conduit à la création d'un trou qui ne change pas forcément les performances électriques du composant à court terme du composant. Par exemple l'utilisation de la mesure de référence pour détecter la défaillance lors d'une ESD n'est pas un critère adaptée.

#### 5. REMERCIEMENTS

Ce travail a été réalisé dans le cadre du LIA WIDE-Lab en collaboration avec D.Tournier et le Laboratoire Ampère qui a conçu les composants et P.Godignon et CNM de Barcelone qui les a réalisés.

#### 6. RÉFÉRENCES

- [1] R. Singh, "Reliability and performance limitations in SiC power devices," *Microelectronics Reliability*, vol. 46, no. 5–6, pp. 713–730, May 2006.
- [2] P. Denis, P. Dherbécourt, O. Latry, C. Genevois, F. Cuvilly, M. Brault, and M. Kadi, "Robustness of 4H-SiC 1200V Schottky diodes under high electrostatic discharge like human body model stresses : An in-depth failure analysis," *Diamond and Related Materials*, vol. 44, pp. 62–70, Apr. 2014.
- [3] J-F Mogniotte, D.Tournier, P.Bevillacqua, P.Godignon and D.Planson, "Design of an integrated power converter in Wide band Gap for harsh environments", CIPS 2012, Nuremberg, March 2012
- [4] T. Phulpin, D. Trémouilles, K. Isoird, D. Tournier, P. Godignon, and P. Austin, "Failure analysis of ESD-stressed SiC MESFET," *Microelectronics Reliability*, vol. 55, no. 9, pp. 1542–1548, 2015.
- [5] T. Phulpin, D. Trémouilles, K. Isoird, D. Tournier, P. Godignon, and P. Austin, "Analysis of an ESD failure mechanism on a SiC MESFET," *Microelectronics Reliability*, vol. 54, no. 9, pp. 2217–2221, 2014.
- [6] C. Meola, G. M. Carlomagno, A. Squillace, and A. Vitiello, "Non-destructive evaluation of aerospace materials with lock-in thermography," *Engineering Failure Analysis*, vol. 13, no. 3, pp. 380–388, Apr. 2006.
- [7] O. Breitenstein, W. Warta, M. Langerkamp, "Lock-in thermography : basics and use for evaluating electronic devices and materials" 2nd ed Berlin, heidelberg : Springer-Verlag ; 2010
- [8] M. Wolborski, Kungliga Tekniska högskolan, and Laboratory of Solid State Electronics, "Characterization of dielectric layers for passivation of 4H-SiC devices," Laboratory of Solid State Electronics, Department of Microelectronics and Applied Physics, Royal Institute of Technology (KTH), Stockholm, 2006
- [9] L. T. Ngo, "Optimisation et réalisation d'une peripherie planar haute tension

a poche," Institut National Polytechnique de Grenoble-INPG, Ph.D. thesis,  
1997