

# Puces multipôles "compactes" à RC-IGBT pour l'intégration "fractionnée" et "optimale" de cellules de commutation.

## Evaluation préliminaire des performances électriques sur PCB

Adem Lale<sup>(1)</sup>, Nicolas Videau<sup>(1)</sup>, Abdelhakim Bourennane<sup>(1)</sup>, Frédéric Richardeau<sup>(2,3)</sup>, Emmanuel Sarraute<sup>(2,3)</sup>, Samuel Charlot<sup>(1)</sup>, Didier Flumian<sup>(2,3)</sup> et Gilles Brillat<sup>(4)</sup>

(1) CNRS, LAAS, 7 avenue du Colonel Roche, 31400 Toulouse, Univ. de Toulouse, UPS, LAAS, 31400 Toulouse - (2) Université de Toulouse; INP, UPS; LAPLACE (Laboratoire Plasma et Conversion d'Energie) ENSEEIHT, 2 rue Charles Camichel, BP 7122, 31071 Toulouse cedex 7 - (3) CNRS; LAPLACE; F-31071 Toulouse - (4) Université Paul Sabatier, 118 Route de Narbonne, 31062 Toulouse

**RESUME** – Les auteurs présentent une approche d'intégration mixte sur macro-puces multipôles silicium et sur assemblage flippé PCB pour onduleur multi-phases. Trois méthodes d'évaluation des mailles de commutation sont comparées démontrant le potentiel de cette approche et de la méthodologie d'étude employée. *Mots-clés*—intégration, assemblage, commutation, SiC, IGBT, simulation FEM 3D.

### 1. INTRODUCTION (résumé)

L'intégration proposée vise un gain en compacité, fiabilité et en réduction des coûts de fabrication. Elle se fait de manière combinée, à la fois au niveau des semi-conducteurs et au niveau de l'assemblage. En effet, les interrupteurs IGBTs et diodes sont tout d'abord intégrés de manière monolithique pour former des macro-puces multi-pôles qui vont être associées les unes aux autres par une nouvelle technique d'assemblage.

### 2. ILLUSTRATION DE L'APPROCHE 3-PUCES

L'approche proposée permet la réalisation d'un convertisseur multi-phases avec seulement trois macro-puces génériques. Comme l'illustre la Fig. 1a), la ligne complète high-side des RC-IGBTs est intégrée dans une seule puce dite Anode Commune. Pour simplifier sa réalisation, la ligne low-side est quant à elle répartie sur deux puces: les IGBTs seuls sont intégrés dans une puce dédiée et les diodes dans une autre puce dédiée. Les trois puces ainsi intégrées possèdent autant d'électrodes en face avant que de phases nécessaires à réaliser. Elles sont qualifiées de puces multipôles. La Fig. 1b) donne le principe de l'assemblage. Les puces sont associées de sorte à minimiser la longueur et surtout la surface apparente de la maille de commutation. Ainsi, l'unique puce high-side est placée au centre puis entourée des deux puces low-side. De cette manière, comme cela sera détaillé dans la deuxième partie, l'inductance de maille est réduite à un seul faisceau avec un effet de substrat très réduit car ce dernier ne subit aucune perturbation de  $dv/dt$  de commutation.

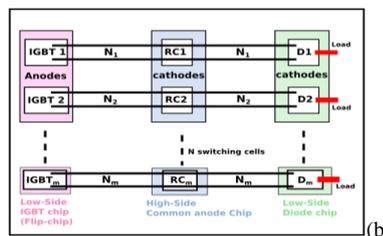
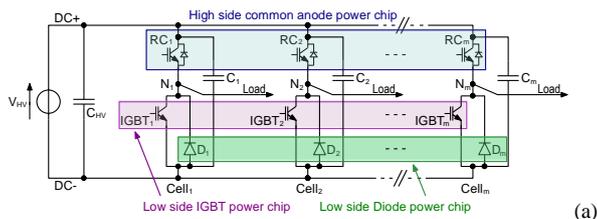


Fig.1 (a) Principe de l'approche, (b) Vue d'ensemble de l'assemblage.

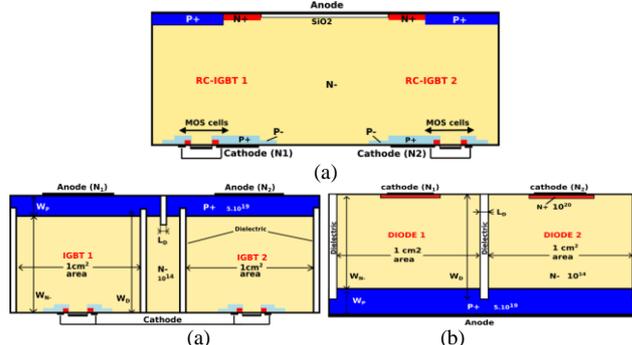


Fig.2 Structures tripôle-pôles dans le cadre d'un pont en H : (a) Puce Anode Commune high-side, (b) Puce multi-IGBT low-side, (c) Puce multi-diode low-side.

### 3. RESULTATS DE CO-SIMULATIONS

Nous avons validé le fonctionnement des puces multipôles par simulations 2D sous Sentaurus™ TCAD couplées à un circuit de conversion. En Fig. 3 et 4, les conditions de simulations correspondent à un état de fonctionnement statique; une section diagonale du pont est passante et l'autre est bloquée, une source de courant de  $100A/cm^2$  simule une charge inductive. Le concept de la puce à Anode Commune a déjà été détaillé et validé dans des travaux antérieurs [1] et ne sera pas détaillé dans cet article.

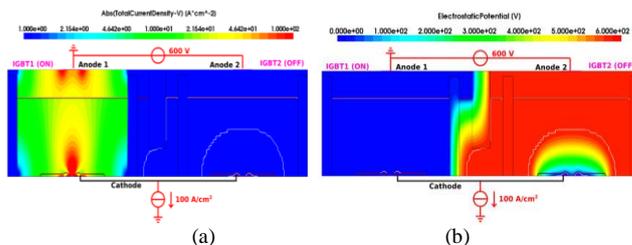


Fig.3 Résultats de simulations 2D mixed-mode Sentaurus pour la puce multi-IGBT : (a) Densité du courant, (b) Lignes de potentiels.

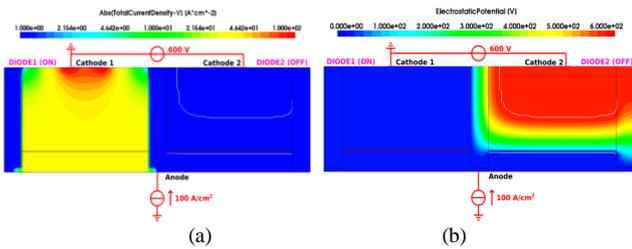


Fig.1 Résultats de simulations 2D mixed-mode Sentaurus pour la puce multi-diode : (a) Densité du courant, (b) Lignes de potentiels.

#### 4. STRUCTURES D'ASSEMBLAGE DES PUCES

Deux familles de circuits test ont été réalisées sur la base d'une topologie à deux phases. Dans la première famille, Fig. 5 a) toutes les puces sont en report face arrière et associées à un faisceau de wires, formant ainsi une maille de commutation classique, i.e. latérale à deux faisceaux de wires en série par maille de commutation. Dans la seconde famille, Fig. 5 b), la ou les puces low-side sont flippées permettant une interconnexion par un seul faisceau de wires où les condensateurs de découplage sont placés dessous celle-ci, formant ainsi une maille parfaitement orthogonale au plan du substrat, à très faible surface apparente [2]. La puce multi-IGBT fait l'objet d'un développement à moyen terme et est substituée aujourd'hui par deux puces IGBT flippées. Dans la suite du résumé, les mailles de commutation ont été évaluées par mesure directe, par déduction des mesures en commutation, puis en simulation électromagnétique.

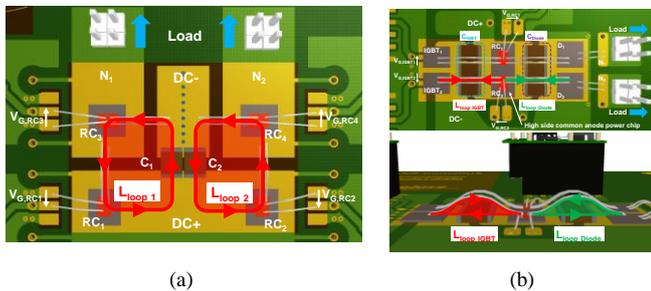


Fig.5 Circuits de test (a) solution de référence – maille latérale (b) solution proposée – maille orthogonale.

La première méthode, illustrée en (Fig. 6a)), utilise un analyseur d'impédance large bande muni d'une tête de sonde co-axiale compensée et de mesure sous pointes pour PCB. La seconde, donnée en Fig. 6b), permet d'évaluer indirectement l'inductance de la maille à partir de la fréquence des oscillations sur une commutation de blocage mono-coup.

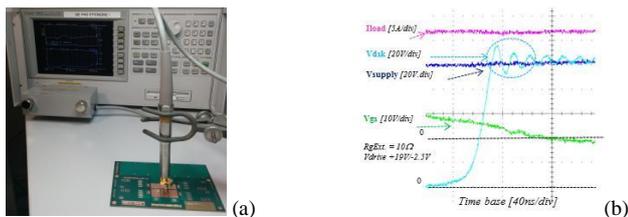


Fig.6 Evaluation de la valeur des inductances de mailles de commutation (a) analyseur d'impédance Agilente 4294A (40Hz-110MHz) avec PCB probe 42941A (b) en mono-coup par la méthode double-pulse.

La troisième méthode est réalisée avec le logiciel de simulation numérique 3D COMSOL. Les géométries simulées sont directement issues du logiciel de routage ALTIUM et importées sous COMSOL en format STEP ou ODB++. Cependant, une réduction de modèle est nécessaire et les pistes de cuivre sont réduites à des éléments surfaciques (éléments coques) équivalents, tenant compte néanmoins de leur épaisseur réelle dans la résolution. La Fig. 7 montre des images des PCB simplifiés et les maillages éléments finis correspondants.

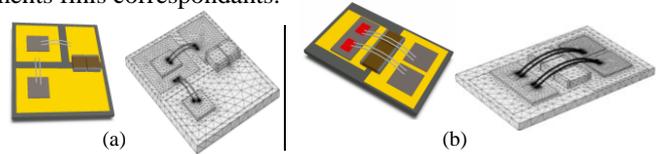


Fig.7 Simulation des mailles de commutation sous Comsol (a) structure de référence (b) structure proposée.

Tableau 1. Inductances de maille de commutation (WB = Wires Bonding)

L maille (nH)	Maille de commutation planar classique	Maille de commutation orthogonale proposée
Mesure fréquentielle directe @ 10 MHz Agilente 4294A avec PCB probe 42941A	10.7 (3WB)	5.3 (2WB)
Mesure fréquentielle indirecte sur commutation au blocage Tek DPO410B – TPP1000 1GHZ	10.2 (3WB)	4.2 (2WB)
Simulation COMSOL 3D	13 (2WB)	5.6 (2WB)

#### 5. CONCLUSION

Dans ce résumé, les auteurs proposent une approche d'intégration mixte sur macro-puces multi-pôles silicium et sur assemblage flippé PCB pour onduleur multiphasés. Les mesures directes, indirectes des inductances de mailles ainsi que leur estimation par simulation FEM 3D sont cohérentes. Ces résultats sont intéressants sur au moins deux plans. Tout d'abord, la solution proposée apparaît bien meilleure avec environ un facteur de réduction de 2 par rapport à la solution de référence mise en œuvre. Par comparaison avec un module de puissance industriel, un facteur de réduction de 4 à 8 voire plus est attendu. Enfin, d'un point de vue méthodologique, la validation de notre approche par simulation numérique va nous permettre d'explorer facilement d'autres solutions technologiques mais cette fois uniquement par prototypage virtuel.

Remerciements à l'Agence Nationale de la Recherche dans le cadre du projet ANR-13-JS09-0008-01 intitulé ConvPlus et à Mr Serge Bontemps de Microsemi Power Modules, France, pour la fourniture des puces Si power MOSFET et les diodes de puissance.

#### 6. CONCLUSION

[1] A. El Khadiry, A. Bourenane, F. Richardeau, E. Imbernon, "New Monolithic Multi-poles Converter Device for Medium Power Applications", European Power Electronics Conference and Application, EPE-ECCE, Lappeenranta, Finland, 26 -28 août 2014. doi: 10.1109/EPE.2014.6911021

[2] D. Reusch, J. Strydom, "Understanding the effect of PCB layout on circuit performance in a high frequency gallium nitride based point of load converter ", Applied Power Electronics Conference and Exposition, 2013 IEEE, pp.649-655, 17-21 March 2013. Pages: 649 - 655, doi: 10.1109/APEC.2013.6520279