



**HAL**  
open science

**Puces multipôles compactes à RC-IGBT pour l'intégration fractionnée et optimale de cellules de commutation. Evaluation des performances électriques sur PCB.**

Adem Lale, Nicolas Videau, Abdelhakim Bourennane, Frédéric Richardeau, Emmanuel Sarraute, Samuel Charlot, Didier Flumian, Gilles Brillat

► **To cite this version:**

Adem Lale, Nicolas Videau, Abdelhakim Bourennane, Frédéric Richardeau, Emmanuel Sarraute, et al.. Puces multipôles compactes à RC-IGBT pour l'intégration fractionnée et optimale de cellules de commutation. Evaluation des performances électriques sur PCB.. Symposium de Genie Electrique, Jun 2016, Grenoble, France. <hal-01361635>

**HAL Id: hal-01361635**

**<https://hal.science/hal-01361635v1>**

Submitted on 7 Sep 2016

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire HAL, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



HAL Authorization

# Puces multipôles compactes à RC-IGBT pour l'intégration fractionnée et optimale de cellules de commutation.

## Evaluation préliminaire des performances électriques sur PCB

Adem Lale<sup>(1)</sup>, Nicolas Videau<sup>(1,2,3)</sup>, Abdelhakim Bourennane<sup>(1)</sup>, Frédéric Richardeau<sup>(2,3)</sup>, Emmanuel Sarraute<sup>(2,3)</sup>, Samuel Charlot<sup>(1)</sup>, Didier Flumian<sup>(2,3)</sup> et Gilles Brillat<sup>(4)</sup>

(1) LAAS-CNRS, Université de Toulouse, CNRS, UPS, Toulouse, France - (2) Université de Toulouse; INP, UPS; LAPLACE (Laboratoire Plasma et Conversion d'Energie) ENSEEIHT, 2 rue Charles Camichel, BP 7122, 31071 Toulouse cedex 7 - (3) CNRS; LAPLACE; F-31071 Toulouse - (4) Université Paul Sabatier, 118 Route de Narbonne, 31062 Toulouse.

**RESUME** – Les auteurs présentent une approche d'intégration mixte combinant des macro-puces multipôles silicium et un assemblage flippé sur PCB pour onduleur multiphases. Trois méthodes d'évaluation des mailles de commutation en version filaire et clip sont comparées démontrant le potentiel de cette approche et de la méthodologie d'étude employée. Les étapes principales de réalisation de l'assemblage 3D sont présentées.

*Mots-clés—intégration de puissance, assemblage PCB, commutation, SiC, IGBT, simulation FEM 3D.*

### 1. INTRODUCTION

Les modules de puissance commercialisés aujourd'hui sont réalisés selon une technologie d'assemblage et de report de puces de type hybride 2D. Dans ces modules, un interrupteur de puissance se présente sous la forme d'une puce dipôle discrète. Un convertisseur multiphases est donc composé d'un nombre important de puces discrètes reportées sur leur face arrière puis associées entre elles par des fils de bonding. Les modules de puissance sont donc très volumineux et la fabrication à grande échelle est rapidement limitée en productivité. De plus, du fait du report des puces sur leur face arrière, les points milieu des phases sont en contact avec le substrat de report. Par conséquent, ce dernier subit directement les perturbations de  $dv/dt$  de commutation source de courants de mode commun par le substrat. Par ailleurs, les fils de bonding se comportent comme des inductances parasites source de stress et de pertes supplémentaires pour les interrupteurs. Ce type d'interconnexion vient aussi limiter la fiabilité et la durabilité

sur cycles thermiques de l'assemblage [1-2]. Pour remédier à ces limitations, une amélioration significative peut être apportée par l'intégration monolithique totale ou partielle du convertisseur sur un nombre minimum de puces de puissance multipôles, judicieusement agencées et interconnectées.

Dans cette optique d'intégration et de miniaturisation, l'interrupteur RC-IGBT (Reverse Conducting IGBT) a été retenu comme fonctionnalité de base pour la commutation. Cet élément intègre de manière monolithique un IGBT et une diode en anti-parallèle et a fait l'objet de nombreuses études sur sa structure [3-4]. Sur la base de ce composant, les auteurs de ce papier ont proposé récemment une approche d'intégration quasi-monolithique verticale de convertisseur dite bi-puce et une possible voie d'intégration mono-puce ultra-compact [5] visant une réduction des coûts de fabrication, une amélioration des performances électriques et de la fiabilité. La littérature fait également apparaître des objectifs similaires mais selon des approches limitées en termes de performances (intégration fonctionnelle latérale sur puce avec murs d'isolement [6]) ou technologiquement complexe (collage moléculaire de deux wafer [7]) à nos yeux.

L'objectif initial de l'approche bi-puce est d'intégrer la partie high-side du convertisseur sous la forme d'une macro-puce générique multi-interrupteurs (dite puce à anode commune et à région de drift mutualisée) et la partie low-side sous une autre macro-puce (dite puce à cathode commune à électrode de cathode mutualisée). Chaque macro-puce étant composée de plusieurs structures RC-IGBT placées en parallèle et présentant une région commune de mutualisation. Le nombre de RC-IGBT dépend du nombre de phases à réaliser.

Dans la puce à cathode commune, chaque section RC-IGBT doit être isolée électriquement des sections RC-IGBT voisines. Pour cela, un mur  $p^+$  traversant toute l'épaisseur du substrat silicium et entourant entièrement chacune des sections doit être utilisé. La réalisation de ce mur est à ce jour une étape technologique complexe décrite dans le paragraphe suivant.

Pour s'affranchir de la nécessité d'une isolation de type mur  $p^+$  traversant verticalement et entièrement le substrat silicium, les auteurs proposent une approche d'intégration monolithique fractionnée dite tri-puce. Trois puces multipôles sont utilisées au lieu de deux. En revanche, nous montrerons que l'assemblage de ces trois puces multipôles permet d'obtenir des mailles de commutation de qualité identique à celle obtenue dans le cas de l'approche bi-puce.

## 2. ILLUSTRATION DE L'APPROCHE TRI-PUCES

Comme l'illustre la Fig. 1a), la ligne complète high-side des RC-IGBTs est intégrée dans une seule puce monolithique dite anode commune. La ligne low-side est quant à elle répartie sur uniquement deux puces monolithiques quel que soit le nombre de phases: les IGBTs seuls sont intégrés dans une puce dédiée et les diodes dans une autre puce dédiée.

L'assemblage des trois puces multipôles envisagé est représenté en Fig. 1b). Les puces sont associées de sorte à minimiser la longueur et surtout la surface apparente de la maille de commutation. Ainsi, l'unique puce high-side est placée au centre et de part et d'autre sont placées les deux puces low-side. De cette manière, comme cela sera détaillé dans les parties §4 et §5 dédiées à l'assemblage et à l'évaluation, l'inductance de maille de commutation est réduite à un seul faisceau avec un effet de substrat très réduit car ce dernier ne subit aucune perturbation de  $dv/dt$  de commutation. Pour les applications hacheurs buck et boost, une des deux puces multipôles low-side devient inutile et la structure peut être réduite à seulement deux macro-puces.

Concernant la ligne low-side, l'intégration de cette partie sur deux puces vient en solution à la complexité de réalisation de la puce à cathode commune [8]. En effet, la puce à cathode commune nécessite une isolation entre les différentes sections RC-IGBT qui la composent. L'isolation totale de chacune des sections ne peut se faire qu'avec des structures d'isolation à murs  $p^+$  traversant entièrement le substrat silicium. Cette isolation doit également entourer intégralement chacune des structures RC-IGBT. La réalisation technologique du mur  $p^+$  est détaillée dans [9] et [10]: une ligne discontinue de tranchées traversant entièrement le volume du substrat est réalisée puis remplie avec du polysilicium fortement dopé bore. Ensuite, une étape de diffusion thermique permettra aux impuretés du bore de diffuser dans le volume du silicium et ainsi de réaliser la continuité du mur  $p^+$  entourant la structure. La réalisation de ce mur est par conséquent une étape assez difficile à réaliser et peut affecter la tenue mécanique du wafer silicium lors de la réalisation des puces en salle blanche. L'approche tri-puce que nous présentons dans cet article vient en solution à cette

difficulté et nous offre la possibilité d'utiliser des murs d'isolation non-traversants ce qui simplifie considérablement leur réalisation.

Les trois puces multipôles obtenues, pour le cas de l'intégration d'un convertisseur en pont à deux phases, sont représentées en Fig. 2. La puce à anode commune intégrant la partie high-side a été déjà publiée dans le cas de l'approche bi-puce [8]. La partie low-side est intégrée sur deux puces multipôles séparées : une puce dite multi-IGBT intégrant seulement les IGBT et une puce dite multi-diodes intégrant seulement les diodes. Du fait que ces deux puces multipôles utilisent des diffusions  $p^+$  sur leurs faces arrières, l'isolation entre les sections IGBT et des diodes peut se faire cette fois par des tranchées non-traversantes ce qui simplifie leur réalisation par rapport au cas des tranchées traversantes de l'approche bi-puce. Pour valider le principe de fonctionnement des différentes puces, une isolation par diélectrique a été utilisée dans le cadre de cette étude.

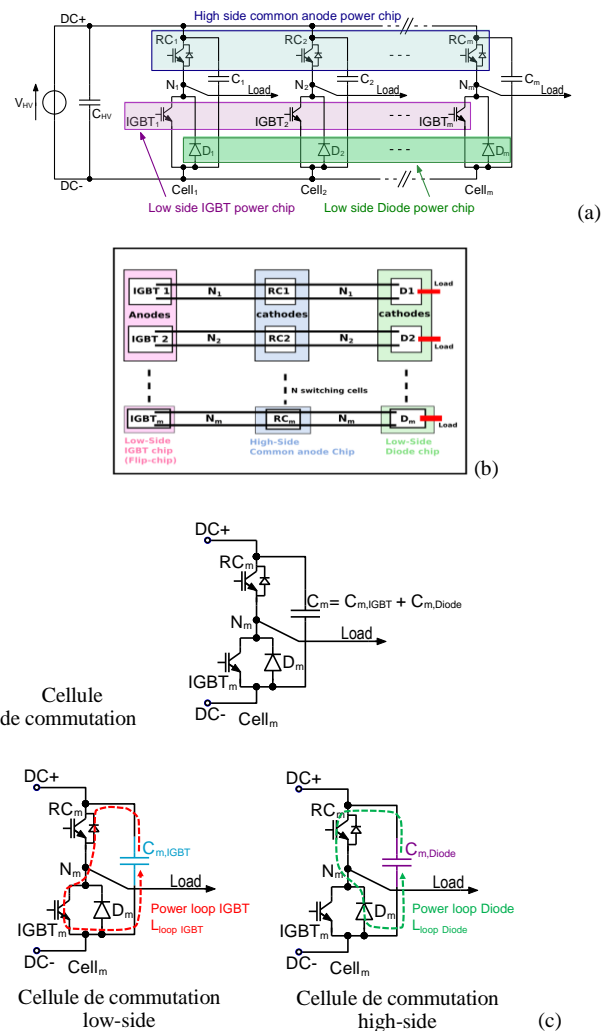


Fig.1 (a) Principe de l'approche tri-puces / multipôles, (b) Vue d'ensemble de l'assemblage, (c) représentation schématique des mailles de commutation réparties entre les puces multipôles.

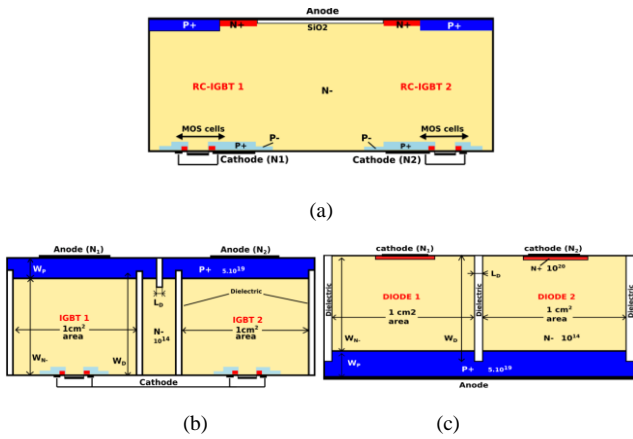


Fig.2 Structures de puces tripôles dans le cadre d'un pont à deux phases : (a) puce anode commune high-side, (b) puce multi-IGBT low-side, (c) puce multi-diode low-side.

3. RESULTATS DE CO-SIMULATIONS

Le fonctionnement des puces multipôles a été validé par simulations 2D en mode mixte sous Sentaurus™ TCAD. Les paramètres géométriques et physiques des sections IGBT et diodes dans les puces multipôles sont ceux imposés par la filière IGBT du LAAS. Les paramètres géométriques des tranchées utilisés pour ces simulations sont regroupés dans le tableau 1. En Fig. 3 et 4, les conditions de simulations correspondent à un état de fonctionnement statique : une section diagonale du pont est passante et l'autre est bloquée, une source de courant de 100A/cm² simule une charge inductive. Le concept de la puce à anode commune a déjà été détaillé et validé dans des travaux antérieurs [8] et ne sera pas rappelé dans cet article.

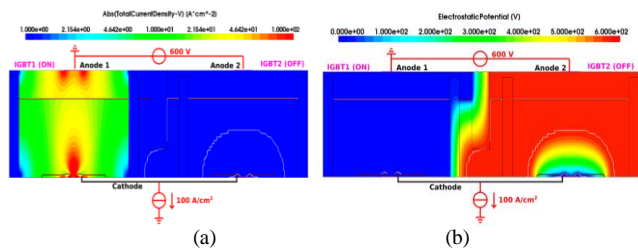


Fig.3 Résultats de simulations 2D mixed-mode Sentaurus pour la puce multi-IGBT : (a) Densité du courant, (b) Lignes de potentiels.

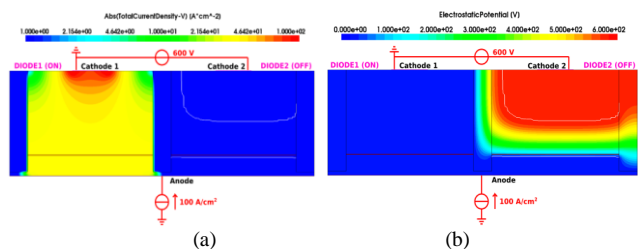


Fig.4 Résultats de simulations 2D mixed-mode Sentaurus pour la puce multi-diode : (a) Densité du courant, (b) Lignes de potentiels.

Tableau 1. Paramètres géométriques utilisés en simulations 2D des puces multipôles à IGBTs et à diodes

Paramètre	Description	Valeur (µm)	
		Puce IGBTs	Puce diodes
$W_{N-}$	Epaisseur $N_{drift}$	140	200
$W_D$	Profondeur tranchée	180	240
$L_D$	Largeur tranchée	70	40

Une fois le fonctionnement des deux puces validés, nous les avons associées avec la puce à anode commune pour réaliser un convertisseur de type pont à deux phases. Les résultats sont montrés en Fig. 5. Une source de courant de 100A DC est insérée entre les cellules de commutation. Une source de tension de 600V DC est appliquée pour alimenter le pont.

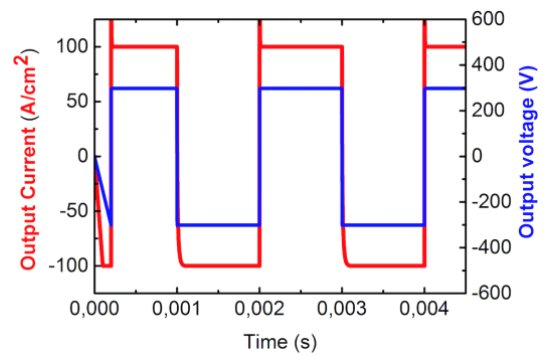


Fig. 5: Résultats de co-simulations dynamique - 2D Sentaurus TCAD / Mixed-Mode pour une application onduleur à deux phases.

4. STRUCTURES D'ASSEMBLAGE DES PUCES

4.1. Topologies des mailles de commutation

Deux familles de circuits PCB test ont été réalisées sur la base d'une topologie de pont à deux phases. Celles-ci intègrent les puces, les interconnexions et les condensateurs de découplage. Les drivers et le dissipateur thermique sont, à ce stade, externalisés du PCB et ne seront pas décrits dans cet article. Dans la première famille de PCB représentée en Fig. 6 a), toutes les puces sont en report classique par leur face arrière puis connectées chacune à un faisceau de fils bonding. Cette disposition conduit à une topologie de mailles de commutation dite de référence, i.e. de géométrie planaire dans le plan du PCB dont la surface apparente est directement liée aux dimensions dans le plan XY des puces et des condensateurs, mettant en jeu deux faisceaux de fils de bonding (WB) en série par maille de commutation. Dans la seconde famille de PCB représentée en Fig. 6 b), les puces low-side du pont sont flippées (retournées) ce qui permet de

réaliser une interconnexion par un seul faisceau de wire-bonding entre les deux puces ou bien par un clip large et mince sur le dessus des puces dans le plan supérieur au PCB. Cette disposition conduit à une topologie de mailles orthogonales au plan du PCB substrat, de forme aplatie dont la surface apparente est liée à l'épaisseur du composant le plus épais (dimension Z) et à la hauteur du faisceau de fils bonding lorsque celui-ci est présent. Cette topologie, proche de celle rencontrée sur les PCB pour puces GaN latérales [11], [12], [13], sera donc nettement moins inductive et source de rayonnement EMI atténué. Elle permet aussi de reporter la contrainte de  $dv/dt$  au niveau de l'interconnexion supérieure seule et non plus au niveau du substrat de report inférieur connecté au dissipateur, gage d'une réduction des courants de mode commun. Par ailleurs, cette topologie permet des degrés de liberté intéressants quant au placement des condensateurs de découplage comme le montrent les Fig. 7 a), b) et c), lesquelles sont dessinées avec des puces Mosfet du commerce : la variante a) est celle offrant la maille la moins surfacique mais nécessitant l'enfouissement des condensateurs de découplage dans un PCB de même épaisseur ; la variante b) est déduite de a) en surélevant l'interconnexion pour permettre le report des condensateurs dessus celle-ci et en surface du PCB cette fois, elle nécessite donc un clip souple préformé entre les puces tel un ruban ; la variante c) est déduite de b) et plaçant les condensateurs sur les côtés de l'interconnexion permettant l'usage d'un clip rigide et plan plus facile à réaliser. Cette dernière variante permet de moins contraindre thermiquement les condensateurs car ceux-ci seront placés à l'extérieur du cône de chaleur produit par les puces. Sur le plan électrique, elle constitue une approche intermédiaire mais qui s'apparente plus à une maille proche de la version de référence.

Dans le cadre de cet article, les trois variantes seront caractérisées et comparées dans le paragraphe suivant sur le plan de leurs performances électriques haute-fréquence. Nous précisons que la puce multi-IGBT présentée en Fig. 2b) fait l'objet d'un développement en cours et est substituée aujourd'hui par deux puces IGBT flippées.

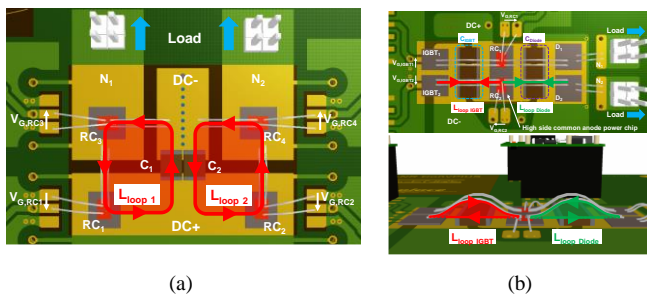


Fig.6 Circuits PCB de test : (a) solution de référence à puces discrètes (routage non optimisé permettant le report de différentes puces issues de laboratoire ou du commerce) - maille planaire dans le plan du PCB, (b) solution proposée issue du concept tri-puces (Fig. 1b)) – maille orthogonale au plan du PCB substrat.

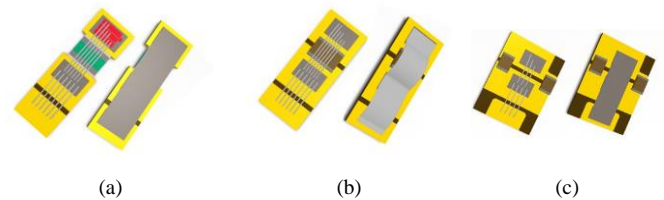
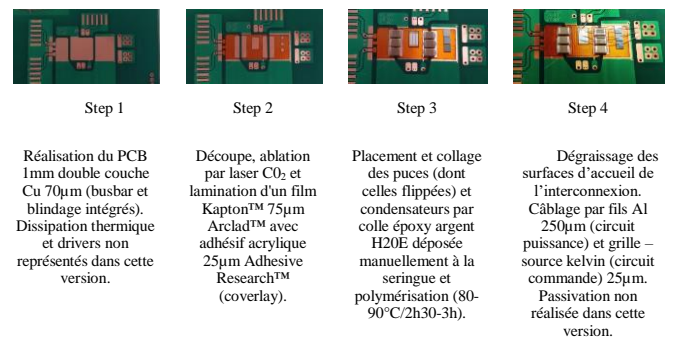


Fig.7 Design des cartes test à puce low-side flippée et à maille orthogonale dans le plan du PCB, en version fils et clip, (a) condensateurs enfouis, (b) condensateurs non enfouis sous l'interconnexion, (c) condensateurs non enfouis et latéralisés. Note : version de design pour simulation Comsol.

#### 4.2. Eléments de technologie (ex. version b) en WB)

L'assemblage repose sur une technologie PCB sur lequel un film adhésif en polyimide est fenêtré puis déposé comme le montre le résumé d'étapes de la Fig. 8. Ce film permet de réaliser plusieurs fonctionnalités : le report des puces de manière alignée (axe Z) facilitant à terme l'interconnexion par clip rigide plan, le calibrage de l'épaisseur du joint de colle des puces et enfin la passivation des terminaisons périphériques de jonction des puces flippées en vis-à-vis avec les plages de cuivre évitant le claquage en bord de puce (effet plaque de champ). Des travaux antérieurs ont montré qu'une épaisseur supérieure ou égale à  $50\mu\text{m}$  de polyimide permettait de passiver les puces flippées sous 600V. Dans le prototype présenté, les puces employées ne sont pas sur-métallisées et sont donc reportées par une colle métallique époxy directement compatible avec les finitions Al/Ag des puces dans la mesure où seuls des tests électriques impulsionnels sont appliqués à la carte.



Vue d'ensemble du montage pour une phase (165x105mm<sup>2</sup>)

Fig.8 Résumé des principales étapes de réalisation des cartes test PCB pour l'évaluation des assemblages, vue locale (en haut), vue d'ensemble (en bas) sans dissipateur et encapsulant : ex. puces Mosfet SiC 1200V/25mΩ - CPM2-1200-0025B - 4,04 x 6,44mm<sup>2</sup>- Condensateurs céramiques de découplage 6x100nF - 600V. Condensateurs films de filtrage Epcos 2x3,3μF - 400V.

## 5. EVALUATION DES PERFORMANCES ELECTRIQUES HAUTE-FREQUENCES DES MAILLES DE COMMUTATION

La mise au point de méthodes d'évaluation des performances électriques constitue un volet important à maîtriser pour comparer les solutions et quantifier les niveaux de performances. Les approches expérimentales sont précieuses mais demandent un soin particulier dans l'instrumentation (étalonnage, compensation, mode opératoire soigné). Les approches basées sur de la simulation sont aussi importantes et complémentaires pour viser du prototypage virtuel optimisé mais requiert un soin particulier en termes de recalage des modèles et de connaissance de leurs domaines de validité. Dans la suite de ce paragraphe, deux méthodes expérimentales et une méthode de simulation sont présentées.

### 5.1. Méthode expérimentale fréquentielle directe

Celle-ci est illustrée en Fig. 9 a) et b), elle utilise un analyseur d'impédance Agilent 4294A muni d'une tête de sonde co-axiale 42941A pour PCB avec mesure sous pointe compensée en circuit ouvert et en court-circuit à la fréquence de travail. Elle permet une mesure fréquentielle large-bande jusqu'à 110MHz de l'impédance de maille de commutation sans les puces.

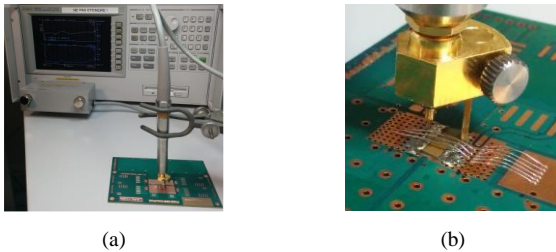


Fig. 9 Mode opératoire pour la mesure fréquentielle directe par analyseur d'impédance sur PCB, a) version de référence sans condensateurs de découplage et version b) avec condensateurs de découplage.

La Fig. 10 montre un exemple de diagramme fréquentiel pour la version a) permettant d'identifier les asymptotes basse, moyenne et haute-fréquence et les fréquences de résonance caractéristiques de la maille de commutation avec ses condensateurs de découplage. Ces valeurs caractéristiques peuvent être reliées aux éléments équivalents  $ESL_{cap}$ ,  $L_{WB}$  et  $k$  (resp. inductances parasites équivalentes des condensateurs, des WB et du couplage magnétiques WB / condensateurs) issus du modèle circuit équivalent à constantes localisées représenté en Fig. 11.

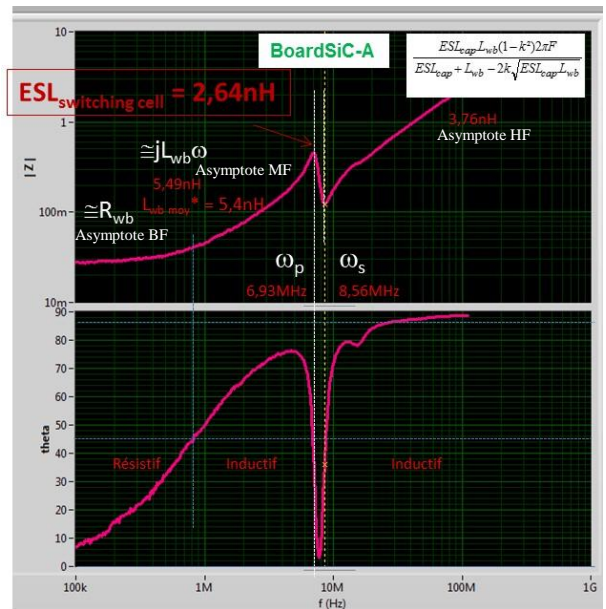


Fig. 10 Exemple de diagramme fréquentiel du module et de la phase de l'impédance d'une maille de commutation de la carte PCB en version a) avec condensateurs de découplage montés.

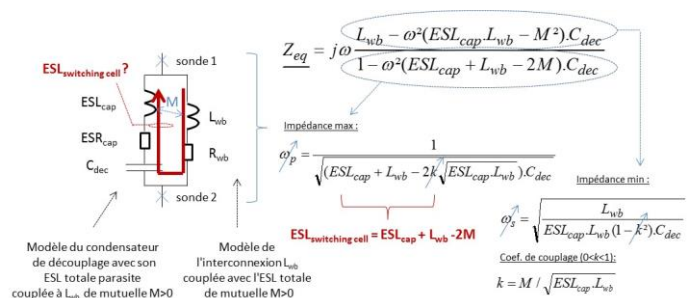


Fig. 11 Modèle circuit équivalent à constantes localisées et couplées de l'impédance d'une maille de commutation. Identification basse-fréquence de résonance et du coefficient de couplage (les valeurs basse-fréquence et haute-fréquence de l'inductance équivalente "vues des bornes" peuvent aussi aisément être déduites). WB : fils bonding.

Le modèle de la Fig. 11 montre que l'inductance équivalente à la maille peut être directement extraite de la mesure de la fréquence de résonance parallèle, laquelle fait intervenir logiquement la somme des inductances parasites et le coefficient de couplage entre les éléments WB et condensateurs. Une maille idéale serait obtenue avec des éléments dont les inductances propres seraient identiques et parfaitement couplées tel une géométrie busbar parfaite ( $ESL_{cap} = L_{WB}$  avec  $k = 1$ ) donnant lieu à une fréquence de résonance parallèle de valeur infinie. Même en imaginant un couplage parfait entre des éléments géométriquement différents (WB et condensateurs avec inductances d'accès) comme dans notre étude, il apparaît qu'une telle configuration ne peut conduire à une inductance de maille équivalente minimale comme celle d'un busbar. En pratique sur nos cartes, les mesures des fréquences ou pulsation  $\omega_p$ ,

$\omega_k$  et des asymptotes à moyenne et haute fréquence permettent d'extraire les trois paramètres inconnus du modèle circuit :  $ESL_{cap}$ ,  $L_{WB}$  et  $k$ . Plus hautes seront les valeurs des fréquences mesurées et meilleure sera la qualité de la maille étudiée. Dans le cadre de cet article, nous nous limiterons à présenter simplement les valeurs équivalentes de l'inductance de maille  $ESL_{switching\ cell}$  (issue de  $\omega_p$  seule) représentant le paramètre le plus important en termes de performance et de comparaison entre les versions. Le tableau 2 donne ainsi la moyenne des mesures réalisées sur les versions à maille orthogonale a), b) et c) et le facteur de réduction (ou gain) par rapport à la version de référence à maille planaire dont la valeur a été mesurée à 10,7nH (@10MHz [14]) par les mêmes appareils. Cette valeur de référence est déjà bien meilleures que celle présentées par les modules commercialisées de dernière génération (20nH au mieux). Les résultats montrent la supériorité de la version a) permettant un facteur de réduction de  $\cong 4$  par rapport à la version de référence. A titre indicatif, l'extraction du coefficient de couplage  $k$  à  $\omega_p$  conduit une valeur de 0,84 avec  $ESL_{cap} \cong 0,9nH$  et  $L_{WB} \cong 5,5nH$ . Il faut noter le faible écart moyen de performance entre les versions a), b) et c), inférieur à 11%, alors que le coût technologique en termes de réalisation de process et de fiabilité est en faveur des versions b) et c).

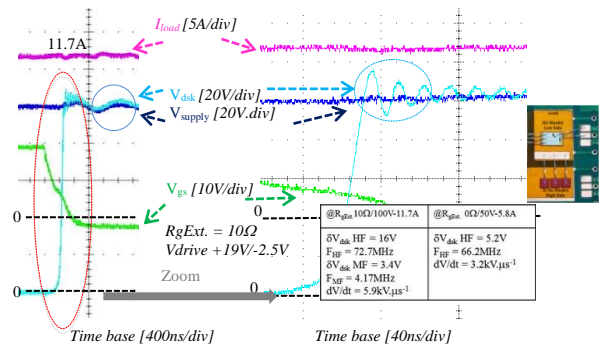
Tableau 2 Valeurs des inductances de maille de commutation des mailles orthogonales au plan du PCB déduites des mesures fréquentielles directes en version a), b) et c).

Version / Valeurs mesurées directes des inductances de maille de commutation [nH] (3WB)	$ESL_{switching\ cell}$ 6,6MHz < $f_p$ < 7,2MHz	Facteur de performance
Version a)	2,60	4,1
Version b)	2,89	3,7
Version c)	2,78	3,8
<b>Référence mesurée directe @ 10MHz [13]</b>	10,7	1

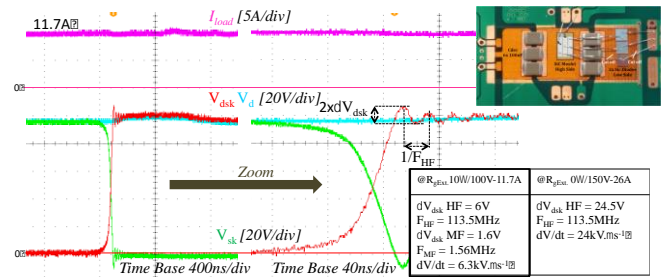
## 5.2. Méthode expérimentale temporelle directe

Cette méthode permet d'évaluer indirectement et de manière temporelle l'inductance de la maille à partir de la fréquence des oscillations aux bornes d'une puce sur une commutation de blocage mono-coup. La démarche est décrite plus en détail dans [14] et repose sur une platine de test dite double pulse. L'extraction de la valeur de l'inductance de maille nécessite de caractériser préalablement la valeur de  $C_{oss}$  de la puce par un capacimètre et de bien vérifier l'existence d'un régime oscillatoire peu amorti. Dans ces conditions la valeur est approchée par  $ESL_{switching} = 1/(2\pi\sqrt{C_{oss}\cdot F_{osc}})$ . Il est montré dans [14] que cette méthode est bien plus pratique et précise

que celle qui consisterait à extraire  $ESL_{switching}$  par la mesure de la surtension en raison du nombre bien plus élevé de paramètres en jeu dont certains sont difficilement mesurables ( $C_{oss}$ , di/dt, chute de tension dynamique des diodes). Les formes d'ondes obtenues par cette méthode sont données en Fig. 12. Le tableau 3 montre une très bonne concordance avec la mesure fréquentielle directe. Néanmoins, il faut noter que ces deux méthodes expérimentales conduisent à caractériser des valeurs d'inductance à des fréquences bien différentes, dans le rapport  $\sqrt{C_{dec}/C_{oss}} \cong 16$  de notre étude, pouvant expliquer de fait une différence de comportement inductif de la maille. Le facteur de performance est déduit des mesures et conduit à une valeur significative de 2,42 mais moins favorable comparée au cas précédent car seuls 2WB en parallèle étaient présent sur la carte dans ce cas d'étude.



a)



b)

Fig. 12 Formes d'ondes de commutation au blocage sur cartes PCB test double pulse – puces [13], a) carte de référence Buck-Type: 1x Mosfet SiC CPM2-1200-0025B + 3 SBD SiC // CPW4-1200-S015B, b) carte en version "b)" Buck-Type: 1x Mosfet SiC CPM2-1200-0025B (4.04 x 6.44 mm<sup>2</sup>) + 2 SBD SiC // CPW4-1200-S015B.

Tableau 3 Inductances de maille de commutation mesurées de manière indirecte.

Version / Valeurs mesurées indirectes des inductances de maille de commutation [nH] $C_{oss}@100V = 470pF$ 11,7A –	$ESL_{switching\ cell}$	Facteur de performance
Version b) (2WB) @ 100V - Rgext = 10Ω	4,2 @ 113,5MHz	2,42
<b>Référence mesurée indirectes (3WB) @ 100V - Rgext = 0Ω</b>	10,2 @ 72,7MHz	1

5.3. Méthode de simulation

La troisième méthode consiste à calculer les valeurs équivalentes des inductances de maille avec le logiciel de simulation 3D par éléments finis COMSOL Multiphysics™. Afin de s'assurer de la similitude géométrique entre les cartes réelles mesurées et les cartes virtuelles simulées, ces dernières sont directement générées avec le logiciel de routage ALTIUM™ utilisé pour leur définition sous forme simplifiée puis importées sous COMSOL en format STEP ou ODB++. Cependant, dans cette approche de calcul par éléments finis, les très grands facteurs de forme entre les longueurs des pistes en cuivre (en cm) et leur épaisseur (35 ou 105 μm) liés à une étude haute fréquence posent des problèmes de surdimensionnement du maillage. Pour contourner ce problème, nous avons mis au point une technique de réduction de modèle basée sur l'utilisation d'éléments surfaciques (éléments coques) équivalents [15]. Cette technique consiste à négliger l'épaisseur des pistes en cuivre dans la définition de la géométrie 3D de la carte et à utiliser des éléments surfaciques non maillés à la place des éléments volumiques. Ces éléments surfaciques, appelés éléments coques, sont cependant définis de manière analytique afin de tenir compte des phénomènes fréquentiels de pénétration du champ électromagnétique dans la couche de cuivre (épaisseur de peau). Ainsi, l'épaisseur réelle de la couche de cuivre est bien prise en compte, de manière indirecte, dans la résolution numérique sans avoir à la mailler. La Fig. 13 illustre cette réduction géométrique d'une couche de cuivre d'épaisseur  $d$  en une surface équivalente d'épaisseur nulle. Dans le cas où la fréquence est forte et que l'épaisseur de peau  $\delta$  est inférieure à l'épaisseur  $d$ , les champs électromagnétiques de part et d'autre de la surface sont différents et peuvent même être découplés (effet écran).

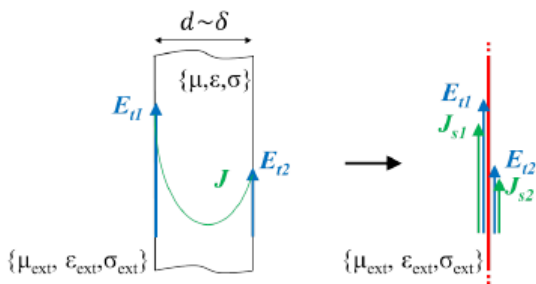


Fig. 13 Réduction de modèle pour les couches de cuivre.

La Fig. 14 donne un exemple du modèle éléments finis (géométrie et maillage) des cartes étudiées. L'air environnant aux fils de bonding et dans lequel l'énergie électromagnétique se développe, est modélisé par une sphère constituée d'une peau permettant de prendre en compte le champ à l'infini. Les électrodes du générateur d'excitation fréquentielle sont positionnées exactement sur la position des électrodes des condensateurs de découplage, lesquels ne sont pas modélisés.

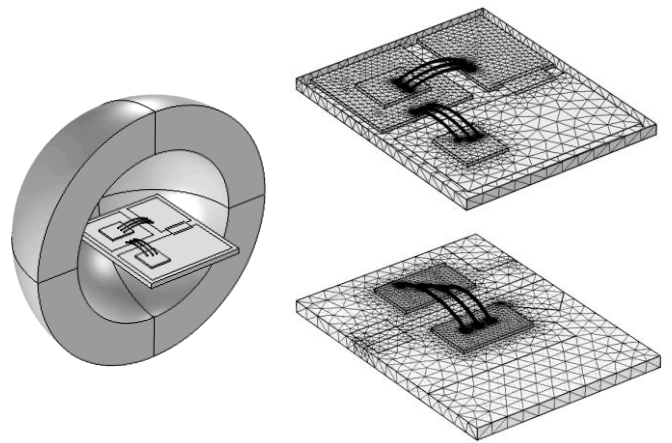


Fig. 14 Exemples de modèle par éléments finis et de maillage pour les cartes de référence et la version c), condensateurs de découplage non modélisés.

Le tableau 4 donne les valeurs de la partie réactive de l'impédance équivalente de maille de commutation calculées par éléments finis pour les 4 cartes étudiées (référence, versions a), c) et c) en fils bonding à 1MHz et 10MHz. Les valeurs obtenues par simulation sont supérieures en moyenne de 22% à celles mesurées de manière directe. Il faut néanmoins noter l'excellente concordance sur la carte de référence (1% d'écart). Même si toutes les précautions nécessaires ont été prises, il est normal que des différences entre mesures expérimentales et simulations apparaissent, compte-tenu des précisions mises en jeu lors du mode opératoire. Il est ainsi plus pertinent de mener une comparaison au sein d'une méthode en ramenant les valeurs à celle de la carte de référence (facteur de performance). La méthode simulée donne ainsi un facteur de  $\cong 3,8$  parfaitement cohérent à la valeur déduite des mesures directes précédentes. Nous obtenons un facteur de réduction proche de 4. On vérifie bien par ailleurs la classification entre les cartes et les bonnes performances liées à la solution a) donnant un facteur de performance de 1,7 par rapport à la version c).

Tableau 4 Inductances de maille de commutation simulées.

<u>Valeurs simulées</u> d'inductances [nH] des mailles orthogonales au plan du PCB		<u>3WB</u>	<u>6WB</u>	<u>Facteur de performance</u> <u>@10MHz-</u> <u>3WB</u>
<b>Version a)</b>	@ 1 MHz	2,95	2,21	3,81
	@ 10 MHz	2,78	2,11	
<b>Version b)</b>	@ 1 MHz	3,81	3,02	2,91
	@ 10 MHz	3,64	2,9	
<b>Version c)</b>	@ 1 MHz	4,82	4,27	2,28
	@ 10 MHz	4,64	4,1	
<b>Référence simulée</b>	@ 1 MHz	11,04	non simulée	1
	@ 10 MHz	10,6		

## 6. CONCLUSION

Dans cet article, les auteurs proposent une approche d'intégration mixte visant à réaliser des cellules de commutation avec le minimum de puces silicium, un mode d'interconnexion le moins inductif possible et une architecture d'assemblage la plus compacte possible. Une première étape repose sur l'intégration monolithique sur puce silicium de cellules de commutation partielles sous la forme de puces multipôles à RC-IGBT, sorte de macro-puces à anode et cathode commune, permettant d'intégrer les lignes high-side et low-side d'un convertisseur multiphasé avec seulement 2 puces. Il est en particulier montré que la subdivision de la puce low-side en deux puces multipôles IGBT et diodes permet de simplifier la fabrication de la puce à IGBT par l'absence de mur traversant. La seconde étape vise à optimiser l'interconnexion et le report des puces pour maximiser les performances électriques haute-fréquence, i.e. minimiser l'inductance équivalente de la maille de commutation et réduire l'effet des  $dv/dt$  vis-à-vis du substrat. Le passage en flip-chip des puces low-side a permis de présenter trois topologies de maille de commutation à un seul faisceau de fils bonding ou clip présentant, totalement ou partiellement, une boucle orthogonale au plan du PCB de surface équivalente fortement réduite par rapport à la topologie de référence planaire. Le placement des condensateurs de découplage de manière enfouie ou latéralisée par rapport à l'interconnexion a aussi été étudié. La démarche d'ensemble permet ainsi de tirer parti de tous les degrés de liberté offerts par les technologies silicium et PCB avec une complexité maîtrisée. Trois méthodes de comparaison ont été proposées : une méthode fréquentielle directe dont il est démontré que la seule mesure de la fréquence de résonance parallèle permet d'extraire la valeur de l'inductance de maille, une méthode temporelle basée sur la mesure de la fréquence d'oscillation de la surtension au blocage d'une puce et enfin une méthode de simulation électromagnétique 3D par éléments finis et modèle fréquentiel analytique. Toutes ces méthodes ont donné des résultats cohérents validant la démarche méthodologique et l'usage complémentaire de chacune d'elles en fonctions des contextes et des études de cas à traiter. Toutes les méthodes mettent en avant la supériorité de la solution avec condensateurs de découplage enfouis dans le PCB et situés dessous le clip de connexion. Il a été mesuré et simulé une réduction d'un facteur proche de 4 de la valeur de l'inductance parasite par rapport à une topologie de maille de référence planaire. La méthode fréquentielle directe s'avère intéressante mais requiert une métrologie spécifique ; quant à la méthode basée sur la simulation, celle-ci autorise une prédétermination de la qualité du câblage dans le cadre d'un prototypage virtuel à optimiser. La suite des travaux va porter sur la réalisation des versions à interconnexion de type clip, l'intégration d'un dissipateur et des drivers sur le même PCB.

## 7. REMERCIEMENTS

Agence Nationale de la Recherche dans le cadre du projet ANR-13-JS09-0008-01 intitulé ConvPlus.

## 8. REEFERENCES

- [1] S. Tanimoto and K. Matsui, "High junction temperature and low parasitic inductance power module technology for compact power conversion systems," *IEEE Trans. Electron Devices*, vol. 62, no. 2, pp. 258–269, Feb. 2015.
- [2] Shengnan Li; Tolbert, L.M.; Fei Wang; Fang Zheng Peng, "Stray Inductance Reduction of Commutation Loop in the P-cell and N-cell-Based IGBT Phase Leg Module", *Power Electronics, IEEE Transactions on*, vol.29, no.7, pp.3616-3624, July 2014.
- [3] B. Yi, Z. Lin, and X. Chen, "Snapback-free reverse-conducting IGBT with low turnoff loss," *Electron. Lett.*, vol. 50, no. 9, pp. 703–705, Apr. 2014.
- [4] U. Vemulapati, N. Kaminski, D. Silber, L. Storasta, and M. Rahimo, "Reverse conducting-IGBTs initial snapback phenomenon and its analytical modelling," *IET Circuits, Devices Syst.*, vol. 8, no. 3, pp. 168-175, May 2014.
- [5] A. El Khadiry, A. Bourennane, F. Richardeau, E. Imbernon, "New Monolithic Multi-poles Converter Device for Medium Power Applications", *European Power Electronics Conference and Application, EPE-ECCE, Lappeenranta, Finland, 26 -28 août 2014*. doi: 10.1109/EPE.2014.6911021
- [6] D.W Green, E.M Shankar Narayanan, "Fully Isolated High Side and Low Side LIGBTs in Junction Isolation Technology", *Power Semiconductor Devices and IC's, ISPSD 2006. IEEE International Symposium on*, pp.1-4, 2006.
- [7] L. Benaïssa et al., "A vertical power device conductive assembly at wafer level using direct bonding technology," in *Proc. IEEE 24th Int. Symp. Power Semiconductor Devices ICs (ISPSD)*, Jun. 2012, pp. 77–80.
- [8] A. El Khadiry, A. Bourennane and F. Richardeau, "Multiphase Power Converter Integration in Si: Dual-Chip and Ultimate Monolithic Integrations," in *IEEE Transactions on Electron Devices*, vol. 63, no. 5, pp. 1977-1983, May 2016.
- [9] J.-L. Sanchez et al., "Realization of vertical P+ walls through-wafer for bi-directional current and voltage power integrated devices," in *Proc. IEEE 15th Int. Symp. Power Semiconductor Devices ICs (ISPSD)*, Apr. 2003, pp. 195–198.
- [10] O. Causse, P. Austin, J.L. Sanchez, G. Bonnet and E. Scheid, "Achievement of a new peripheral planar structure supporting a symmetrical blocking voltage", *9th European Conference on Power Electronics and Applications (EPE'2001)*, Graz (Autriche), 27-29 Septembre 2001, 9p.
- [11] N. Videau et al., 5-phase interleaved buck converter with gallium nitride transistors, *Wide Bandgap Power Devices and Applications (WiPDA)*, 2013 IEEE Workshop on, Columbus, OH, 2013, pp. 190-193. doi: 10.1109/WiPDA.2013.6695594
- [12] N. Videau, *Convertisseurs continu-continu non isolés à haut rapport de conversion pour Piles à Combustible et Electrolyseurs - Apport des composants GaN. Thèse de doctorat de l'Institut National Polytechnique de Toulouse - INPT, 2014.* <tel-00988205>
- [13] D. Reusch, J. Strydom, Understanding the effect of PCB layout on circuit performance in a high frequency gallium nitride based point of load converter, *Applied Power Electronics Conference and Exposition, 2013 IEEE*, pp.649-655, 17-21 March 2013. Pages: 649 - 655, doi: 10.1109/APEC.2013.6520279
- [14] A. Lale, N. Videau, A. Bourennane, F. Richardeau and S. Charlot, "Analysis of the three-chip switching cells approach for integrated multiphase power converter combining monolithic and hybrid techniques: Experimental validation on SiC and Si power assembly prototypes," *Power Electronics and Applications (EPE'15 ECCE-Europe), 2015 17th European Conference on*, Geneva, 2015, pp. 1-12. doi: 10.1109/EPE.2015.7311711
- [15] L. Havez, E. Sarraute, R. Perrussel, Modélisation 3D de bobinages "feuillards" à l'aide d'éléments coques pour la simulation de coupleurs magnétiques haute fréquence, 8ème Conférence Européenne sur les Méthodes Numériques en Électromagnétisme, NUMELEC 2015, 3-5 Juin 2015, St Nazaire.