



HAL
open science

Mise en place d'un packaging 3D collectif de composants de puissance à structure verticale

Bastien Letowski, Julie Widiez, Nicolas Clément, Jean-Paul Rouger, Marc Rabarot, William Vandendaele, Bruno Imbert, Jean-Christophe Crebier

► To cite this version:

Bastien Letowski, Julie Widiez, Nicolas Clément, Jean-Paul Rouger, Marc Rabarot, William Vandendaele, et al.. Mise en place d'un packaging 3D collectif de composants de puissance à structure verticale. Symposium de Genie Electrique, Jun 2016, Grenoble, France. hal-01361603

HAL Id: hal-01361603

<https://hal.science/hal-01361603>

Submitted on 7 Sep 2016

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

illustré dans la Figure 2) ce qui n'est pas suffisamment adapté aux nombreuses interconnexions requises pour un convertisseur entrelacé. Bien que le procédé de fabrication standard est bien connu, robuste et bien établi dans l'industrie, il montre ses limites pour l'intégration de nombreux composants semiconducteurs et interconnexions dans le cas d'une intégration 3D.

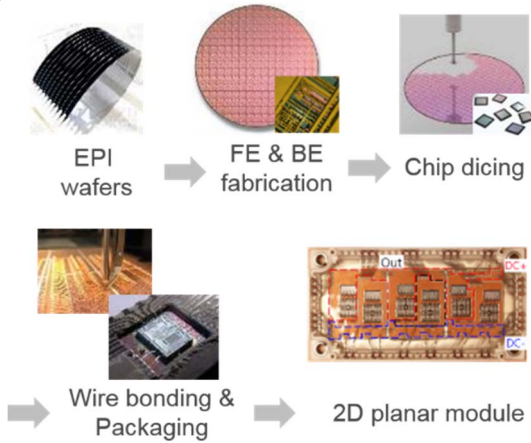


Figure 2: Procédé de fabrication d'un module planaire de puissance standard d'après [4]

Pour résumer, les composants de puissance et leurs procédés standards de packaging ne sont pas suffisamment bien adaptés à l'intégration 3D de puissance dans le cas de nombreux bras de pont. Il est donc nécessaire d'apporter une réponse adaptée à cet enjeu, aussi bien sur la conception que sur la fabrication. C'est l'objectif de ce travail reposant sur des procédés collectifs de fabrication à l'échelle de la plaque. Notre approche, censée répondre aux besoins d'intégration 3D de plusieurs bras de pont comme expliqué précédemment, s'appuie sur des étapes technologiques avancées d'assemblage. Elle intègre dans ses fondements les problématiques de faisabilité et de fiabilité.

En effet, les procédés de fabrication collectifs sont reproductibles et précis et ils améliorent le rendement des assemblages et des interconnexions. Ils apportent un excellent contrôle des épaisseurs et uniformités des couches. Associé à cela l'utilisation des technologies de collage direct mettant en œuvre des surfaces propres et avec des aspérités réduites permettent un contrôle précis de la contamination métallique et particulière tout au long du procédé de fabrication. Si l'effort de développement à conduire semble aujourd'hui important, il n'en reste pas moins critique pour combiner les avancées technologiques en électronique de puissance, que celles-ci soient au niveau des matériaux, des composants, de leur mise en œuvre ou encore des topologies elles-mêmes.

2. PROCÉDÉ DE FABRICATION A L'ECHELLE DE LA PLAQUE

2.1. Description du procédé de fabrication

Une approche de packaging collectif est proposée dans [5] et [6] pour réaliser des assemblages 3D de composants de puissance à structure verticale à l'échelle de la plaque (ici en 200 mm) en Figure 3. Elle repose sur des étapes technologiques avancées d'assemblage : une première plaque comportant des transistors nMOS verticaux et une seconde comportant des diodes verticales sont reportées sur une plaque de cuivre massive préalablement ajourée, formant un « leadframe » pour l'interconnexion. Ce sandwich en 200 mm, totalement symétrique au niveau matériau, est ensuite découpé de manière appropriée, rendant les électrodes du module accessibles par la tranche. Le packaging est complété par des étapes standards de

passivation et d'encapsulation. Le module 3D est finalement reporté et brasé sur un circuit électronique classique comme un circuit imprimé (PCB) ou un substrat isolé (DBC) pour être mis en œuvre dans un convertisseur électronique de puissance.

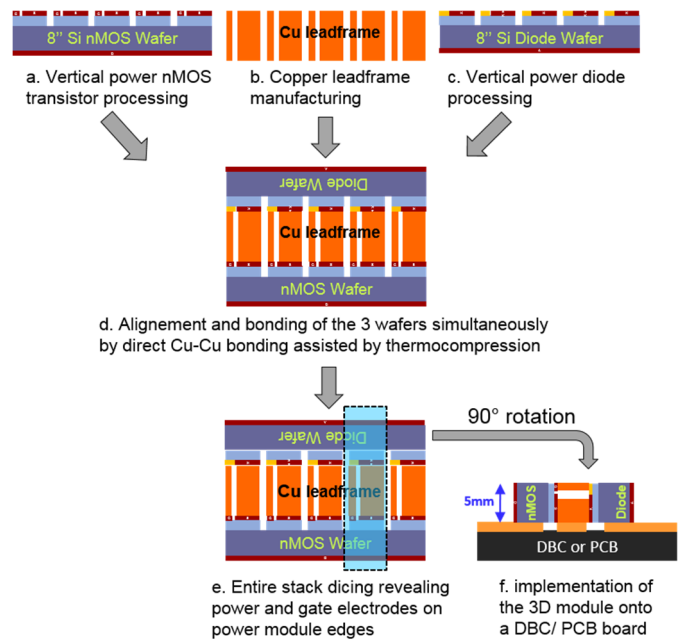


Figure 3 Étapes du procédé de fabrication de notre module 3D de puissance.

2.2. Bénéfices de notre approche

Notre approche d'assemblage collectif à l'échelle de la plaque est dans la continuité de nos précédents travaux sur le report de composants sur embase métallique [5]. Elle a pour objectif de répondre à l'ensemble des problématiques du packaging 3D de composants de puissance, incluant la fiabilité de l'assemblage, l'uniformité, les performances et le coût. Elle dépend de développements technologiques importants et parmi eux, l'assemblage et l'interconnexion à l'échelle du wafer, ainsi que la découpe d'hétérostructures et la passivation des composants avec une forte densité d'intégration sur la plaque. Ces étapes technologiques sont un challenge important mais essentiel pour l'obtention d'un packaging de puissance optimal avec éléments parasites extrêmement faibles (inférieur au nH et au pF) et des caractéristiques thermiques élevées.

Si l'on considère les performances du module 3D, les bénéfices de notre approche sont :

- Supprimer intégralement les fils de bonding et donc les problèmes liés à la fiabilité les concernant;
- Réduire les inductances parasites de la cellule de commutation, permettant d'augmenter la fréquence de commutation et les dV/dt et dI/dt lors de la commutation tout en réduisant les pics de surtension ;
- Réduire les couplages électromagnétiques I, V, H, E conduits et rayonnés (CEM) ;
- Utiliser un refroidissement double face ;
- Maximiser les rendements de production grâce aux procédés collectifs tout en apportant un procédé d'interconnexion fiable.

Les originalités de ce travail reposent sur l'intégration des étapes de packaging dans la fabrication front-end des composants, l'adaptation des composants eux-mêmes à la structure et aux étapes de packaging 3D et bien sûr, l'ensemble des développements technologiques, choix de l'enchaînement

des étapes, structures des assemblages, recettes technologiques adaptées pour obtenir performances et fiabilité. Cela montre l'importance d'une démarche globale de conception couplée entre les composants de puissance et le packaging associé.

Une des caractéristiques spécifiques de cette approche repose sur le fait que les grandeurs électriques et thermiques se propagent dans des différentes directions ce qui permet d'en optimiser les contraintes. À ce titre, les interconnexions de puissance et de commandes sont accessibles sur la tranche du module de puissance 3D collectif, alors que l'évacuation de la chaleur se fait sur les faces avant et arrière du module.

Cette approche est mise en œuvre dans un hacheur Buck entrelacé afin de démontrer l'intérêt des étapes d'assemblage collectif ainsi que le compromis optimal entre les perturbations électromagnétiques (CEM) et les performances thermiques par rapport à l'état de l'art [2] et [3], voir Figure 4. Cette contribution basée sur l'assemblage d'une matrice de transistors et d'une matrice de diodes est un cas simplifié à nos yeux car il permet dans un premier temps de supprimer une matrice de composants commandables et donc une électrode de grille par cellule de commutation comme nous avons précédemment présenté dans [5] et [6], qui utilisait une approche à l'échelle de la puce.

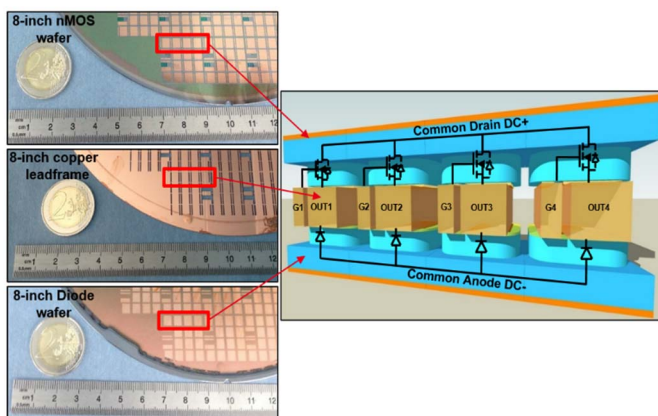


Figure 4: A Gauche: Photos des plaques de transistors, de diodes et le leadframe cuivre en 200mm, 4 composants sont encadrés; A Droite: Dessin 3D d'un hacheur Buck entrelacé à 4 phases, la cellule de commutation est assemblée en 3D.

Dans l'objectif de réaliser cet assemblage 3D, des étapes technologiques spécifiques ont été développées séparément et ensuite appliquées au packaging de composants de puissance à l'échelle de la plaque. Nos avancées sont décrites ci-dessous tout en introduisant le concept d'un assemblage symétrique entre des plaques de composants et un leadframe métallique épais.

3. AVANCEMENT ET RESULTATS TECHNIQUES

3.1. Assemblage des plaques par un double collage direct

Un procédé de double collage métallique a été développé en premier pour réaliser l'assemblage puis tester son comportement mécanique (Figure 3d). En effet, c'est l'une des étapes la plus importante pour la réalisation d'un assemblage 3D à l'échelle du wafer.

L'étude a été validée sur un assemblage 3D pleine plaque silicium-cuivre-silicium, Figure 5. L'une des clés de la réussite est de garder notre hétérostructure symétrique durant toutes les étapes de fabrication pour compenser les déformations dues aux différences de coefficients de dilatation entre le semiconducteur et le cuivre : les trois plaques sont donc assemblées en même temps. Les collages sont caractérisés par microscopie acoustique (SAM) et visibles sur la Figure 5.

Les caractérisations indiquent que la majorité de la plaque est correctement collée (68 % à l'interface A et 95 % à l'interface B). Même si le rendement n'est pas satisfaisant dans le cas d'une ligne de production, ils sont très encourageants d'un point de vue recherche et sont en cours d'optimisation.

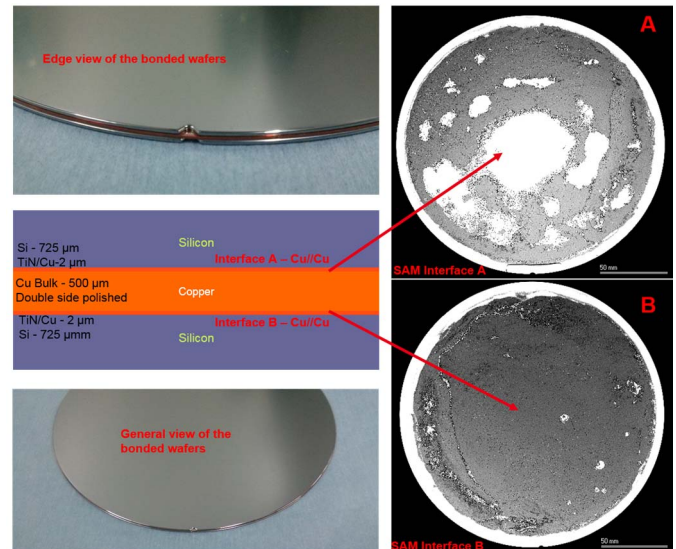


Figure 5: A gauche: Vue en coupe schématique et photos de l'hétérostructure Si/Cu/Si en 200mm; A droite: Photos en microscopie acoustique de l'interface de collage Cu-Cu; des défauts de collage sont représentés en blanc, les zones sans défaut en noir; surface collée à l'interface A = 68 % et à l'interface B = 95 %.

3.2. Réalisation du leadframe métallique 200 mm

L'une des spécificités de notre approche est de travailler avec des substrats métalliques épais et ajourés pour fabriquer un leadframe d'interconnexion en 200 mm. Celui-ci est découpé précisément pour que ses motifs soient compatibles avec la conception des composants de puissance (Figure 3b), les composants prenant eux-aussi les contraintes issues du mode d'assemblage retenu. Une vue au microscope optique du leadframe de 500 µm de cuivre est présentée en Figure 6. Les plots d'interconnexion pour la grille (G1) et le point milieu (OUT1) d'après la Figure 1 correspondent aux plots métalliques de la face avant des composants, tel que décrit en Figure 8.

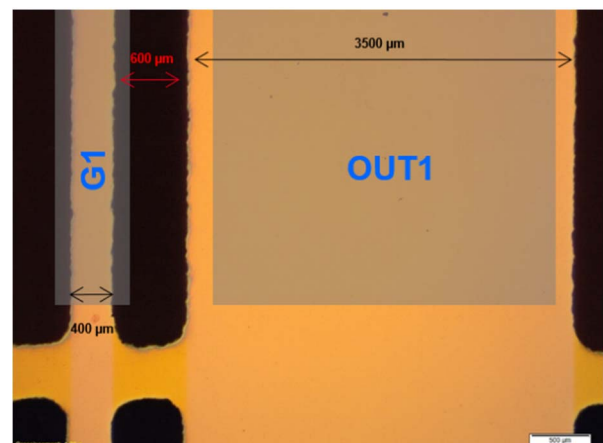


Figure 6: Vue au microscope optique du leadframe en cuivre ajouré; les motifs correspondent au dessin des composants de puissance, les rectangles gris schématisent la métallisation de la face avant du transistor nMOS

Une étape spécifique de polissage mécano-chimique (CMP) a été développée afin de réduire la rugosité initiale des plaques de cuivre ($R_{RMS} = 250 \text{ nm}$) à moins de 33 nm nécessaire pour le collage direct métallique assisté par thermocompression (TC)

[7]. Après polissage des faces avant et arrière de la plaque de cuivre, la surface polie est protégée par un film sec et ajourée par micro jet d'eau haute pression. Cela permet de réaliser les contours du leadframe, qui serviront par la suite à l'interconnexion des différentes électrodes du module de puissance.

La rugosité finale après la découpe est de 6.4 nm (valeur RMS) ce qui reste inférieur aux spécifications de la thermocompression et donc compatible avec l'assemblage à l'échelle de la plaque (Figure 7).

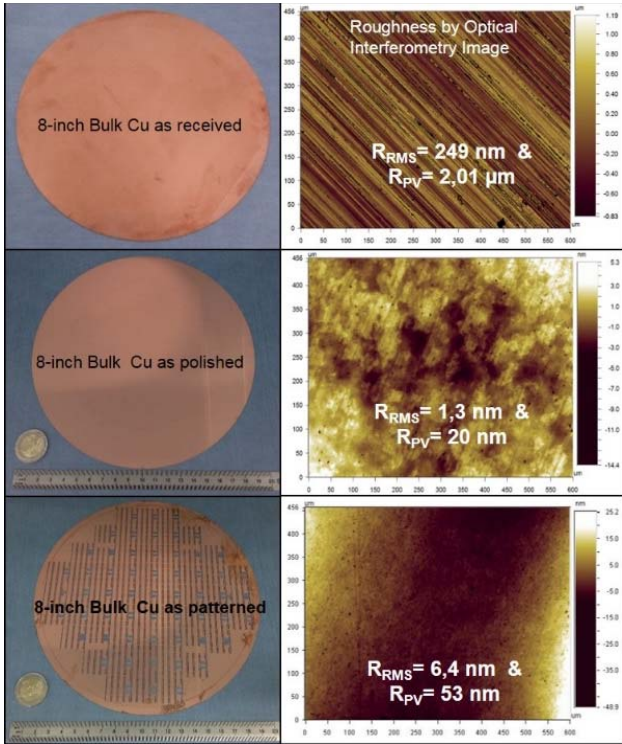


Figure 7: Étapes de fabrication du leadframe métallique à partir de plaques de cuivre 200 mm, (images à gauche) et photos en interférométrie optique à droite: état initial (en haut), poli double face (milieu) et après découpe par jet d'eau (en bas). La rugosité reste compatible avec le collage Cu-Cu par TC.

3.3. Fabrication de composants de puissance spécifiques

Comme expliqué précédemment, les composants de puissance sont conçus et fabriqués avec une architecture et des plots d'interconnexions spécifiques pour les rendre compatibles avec le packaging 3D et aussi pour les étapes collectives d'assemblages à l'échelle de la plaque. Cette conception s'oppose à celle des composants standards qui sont optimisés pour une interconnexion par fils de bonding. Les particularités de notre approche sont les suivantes :

- Les composants ont des plots métalliques larges et convexes pour simplifier l'interconnexion avec le leadframe métallique, Figure 8 ;

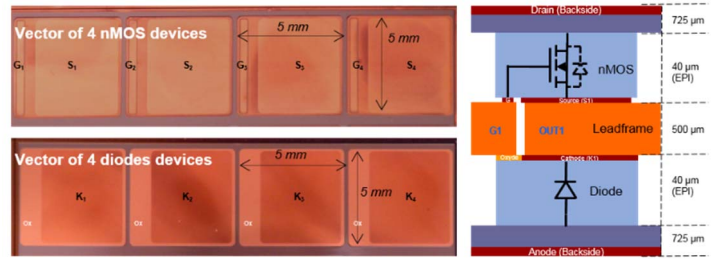


Figure 8: Zoom sur la face avant des composants (photos à gauche); en haut: vue de 4 transistor nMOS verticaux avec un large plot de grille de 300 μm pour interconnecter le leadframe métallique, la face arrière correspond au drain (électrode commune); en bas : vue de 4 diodes verticales avec des cathodes isolées sur la face avant, une large zone d'oxyde est utilisée pour isoler l'électrode de grille du transistor, l'anode se trouve en face arrière (électrode commune); A droite: schéma en coupe de l'assemblage 3D entre le nMOS et la diode (le dessin n'est pas à l'échelle pour mieux visualiser les zones actives).

- Le cuivre est utilisé pour les métallisations de la face avant (à la place de l'aluminium) pour minimiser la résistance à l'état passant R_{ON} , ce qui va dans la même logique que les nouvelles générations de composants de puissance [8]. Dans notre procédé de fabrication, le cuivre est utilisé pour les métallisations mais aussi et surtout pour l'étape de collage direct cuivre-cuivre. IBM utilise par exemple cette même logique d'interconnexion « tout cuivre » dans des assemblages 3D par flip-chip et frittage, dans un objectif de réduire les problématiques d'électromigration dues aux brasures [9] ;
- La terminaison en tension des composants est de type MESA réalisée par des tranchées profondes dans le silicium par un procédé de gravure de type Deep Reactive Ion Etching (DRIE) [10], (voir Figure 9). Cette terminaison en tension permet de supprimer les remontées de champ électrique en surface du semiconducteur, ce qui est fondamental pour un assemblage 3D. Ainsi que pour isoler les composants les uns des autres dans le cas de vecteurs de plusieurs composants comme c'est le cas dans les convertisseurs entrelacés. De plus les coins des composants sont volontairement arrondis avec un rayon de courbure important pour minimiser les contraintes thermo-mécaniques. La gravure MESA concerne l'intégralité de la zone de tenue en tension des diodes et des transistors verticaux.

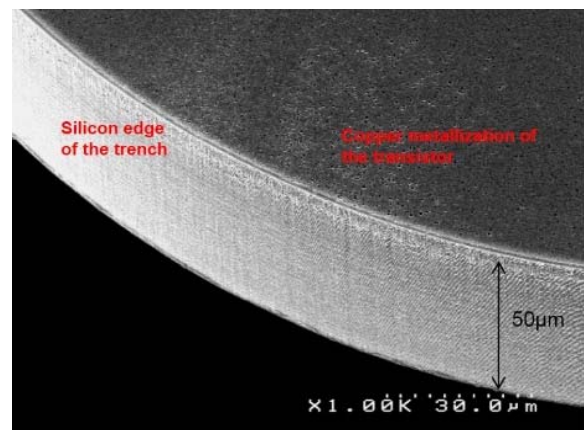


Figure 9: Vue au microscope électronique à balayage (MEB) de la terminaison en tension verticale par gravure DRIE du silicium d'un composant de puissance fabriqué.

3.4. Caractérisations des composants de puissance

Après la fabrication de ces composants, des caractérisations en direct et en inverse ont été effectuées. Les caractérisations en direct des transistors nMOS et des diodes sont présentées en Figure 10 et les caractérisations en inverse en Figure 11.

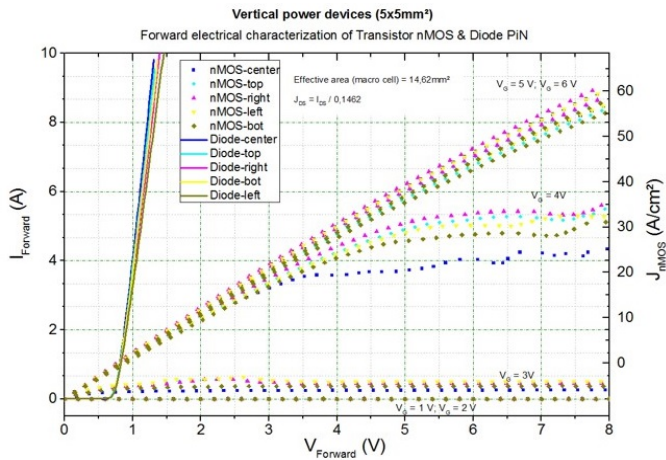


Figure 10: Caractérisations électriques en direct des transistors nMOS et des diodes de puissance verticaux, pour différentes positions sur la plaque 200 mm (à température ambiante).

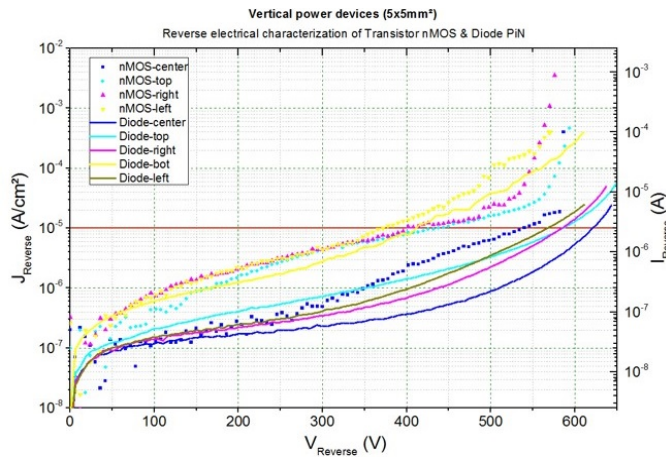


Figure 11: Caractérisations électriques en inverse des transistors nMOS et des diodes de puissance verticaux, pour différentes positions sur la plaque 200 mm (à température ambiante); $R_{ON.S} = 0.1 \Omega.cm^2$ pour une tension de claquage de 600 V.

Ces caractérisations électriques sont en accord avec l'état de l'art des composants de puissance verticaux à base de silicium ce qui nous donne l'opportunité de continuer sur la mise en œuvre d'un packaging 3D.

Au moment de la publication de cet article, nous sommes en cours de développement de l'intégralité du procédé de fabrication de ces modules 3D à l'échelle de la plaque ainsi que de la mise en œuvre des premiers assemblages 3D dans des convertisseurs d'électronique de puissance.

4. CONCLUSION

Des composants de puissance spécifiques compatibles avec un packaging 3D, la réalisation d'un leadframe pour les interconnexions et un double collage métallique ont été développés avec succès. Ces procédés de fabrication collective à l'échelle de la plaque sont des étapes technologiques primordiales pour la réalisation d'un packaging 3D de composants de puissance innovant. Le dernier objectif est de valider l'ensemble du procédé de fabrication et d'assemblage puis de mettre en œuvre l'intégration 3D dans un convertisseur de puissance pour démontrer les bénéfices au niveau CEM, ainsi

que les gains de notre approche sur les compromis classiques de conception en électronique de puissance.

Le travail présenté ici est une implémentation d'un hacheur Buck entrelacé à 4 phases, cependant notre approche est basée sur une conception et sur des étapes de fabrication génériques, c'est-à-dire transposable à d'autres topologies, comme par exemple des hacheurs entrelacés avec plus de 4 phases ou plus simplement à un onduleur triphasé utilisé classiquement pour la variation de vitesse.

Dans un souci de développement d'une approche générique, nous avons mis en œuvre ce packaging 3D collectif avec des composants de puissance en silicium à structure verticale. La filière et la démarche sont donc transposables aux structures équivalentes en SiC ou en GaN massif à circulation verticale de courant de puissance. Cette approche peut être également utilisée avec des composants latéraux HEMT en GaN. Typiquement basée sur des étapes collectives à l'échelle de la plaque, notre filière technologique est adaptée à la filière GaN sur silicium 200 mm. L'un des atouts de notre approche pour la filière GaN concerne les densités de courant et puissance dans les HEMT GaN. Par exemple, l'utilisation d'un leadframe métallique très épais est une solution idéale pour la répartition des courants et pour l'évacuation des pertes. Celui-ci a aussi un intérêt pour l'interconnexion de multiples composants GaN pour former des convertisseurs complexes, à base de plusieurs composants de puissance latéraux.

L'utilisation d'un leadframe épais –donc mécaniquement solide- associé à un packaging à l'échelle de la plaque introduit de nouvelles opportunités sur la fabrication des composants. Il apporte la rigidité nécessaire lors des étapes de rabotage de la face arrière (étape standard dans la fabrication des composants de puissance) et permettrait d'arriver à la suppression totale du substrat semiconducteur qui sert classiquement pour la tenue mécanique de la puce. On est face à une avancée majeure pour la réduction de la résistance à l'état passant ainsi que pour le refroidissement. La couche épaisse de semiconducteur étant supprimée (le substrat mécanique) : on imagine uniquement la zone active (de quelques dizaines de microns) directement en contact avec des couches métalliques au plus près et donc un refroidissement optimal.

Les principales étapes technologiques pour la fabrication d'un module 3D collectif ont été décrites ici ainsi que les nouvelles opportunités de l'approche mais il est important de nuancer cette contribution. Un gros travail de mise en place et de stabilisation de ces étapes technologiques est encore à faire. Plus particulièrement, la découpe des hétérostructures avec des couches métalliques épaisses et semiconductrices est une étape complexe et loin du standard en microélectronique. D'autres techniques ont été testées et sont encore en développement aujourd'hui. L'assemblage à l'échelle de la plaque pose également de nouvelles problématiques quant au remplissage des zones ajourées du leadframe et à la passivation des puces.

La mise en œuvre du packaging 3D de manière verticale, c'est-à-dire perpendiculaire au support électronique est loin du standard. L'interconnexion et même simplement la brasure d'un objet ayant un facteur de forme inversé par rapport aux puces habituelles n'est pas aisé. D'autres techniques sont à développer mais c'est aussi cela qui introduit des dividendes intéressantes, comme cité plus haut. Cette approche n'est possible que si l'on dispose de la maîtrise de la conception et de la fabrication des composants actifs et des éléments massifs réalisant un assemblage à l'échelle de la plaque.

5. REFERENCES

- [1] A. Müsing and J. W. Kolar, "Ultra-Low-Inductance Power Module for Fast Switching Semiconductors," in *PCIM Europe Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2013.
- [2] A. K. Solomon, A. Castellazzi, N. Delmonte, and P. Cova, "Highly integrated low-inductive power switches using double-etched substrates with through-hole viases," in *Power Semiconductor Devices & IC's (ISPSD), 2015 IEEE 27th International Symposium on*, 2015, pp. 329–332.
- [3] E. Vagnon, P.-O. Jeannin, J.-C. Crebier, and Y. Avenas, "A Bus-Bar-Like Power Module Based on Three-Dimensional Power-Chip-on-Chip Hybrid Integration," *IEEE Trans. Ind. Appl.*, vol. 46, no. 5, pp. 2046–2055, Sep. 2010.
- [4] A. Domurat-Linde and E. Hoene, "Analysis and Reduction of Radiated EMI of Power Modules," in *2012 7th International Conference on Integrated Power Electronics Systems (CIPS)*, 2012, pp. 1–6.
- [5] N. Rouger, J. Widiez, L. Benaissa, B. Imbert, P. Gondcharton, B. Letowski, and J.-C. Crébier, "3D Packaging for vertical power devices," in *Integrated Power Systems (CIPS), 2014 8th International Conference on*, 2014, pp. 1–6.
- [6] N. Rouger, L. Benaissa, J. Widiez, B. Imbert, V. Gaude, S. Verrun, and J.-C. Crébier, "True 3D packaging solution for stacked vertical power devices," in *Power Semiconductor Devices and ICs (ISPSD), 2013 25th International Symposium on*, 2013, pp. 97–100.
- [7] P. Gondcharton, F. Baudin, L. Benaissa, and B. Imbert, "Mechanisms overview of Thermocompression Process for Copper Metal Bonding," in *MRS Proceedings*, 2013, vol. 1559, pp. mrs13–1559.
- [8] A. Stegner, T. Auer, and A. Ciliox, "Next Generation 1700V IGBT and Emitter Controlled Diode with .XT Technology," in *PCIM 2014 Europe Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2014.
- [9] J. Zürcher, K. Yu, G. Schlottig, M. Baum, M. M. V. Taklo, B. Wunderle, P. Warszyński, and T. Brunschwiler, "Nanoparticle assembly and sintering towards all-copper flip chip interconnects," in *2015 IEEE 65th Electronic Components and Technology Conference (ECTC)*, 2015, pp. 1115–1121.
- [10] K. Vladimirova, J.-C. Crebier, Y. Avenas, and C. Schaeffer, "Single Die Multiple 600 V Power Diodes With Deep Trench Terminations and Isolation," *IEEE Trans. Power Electron.*, vol. 26, no. 11, pp. 3423–3429, Nov. 2011.