



HAL
open science

Packaging 3D pour MOSFET en carbure de silicium

Guillaume Regnat, Pierre-Olivier Jeannin, Jeffrey Ewsanchuk, David Frey,
Stefan Mollov, Jean-Paul Ferrieux

► **To cite this version:**

Guillaume Regnat, Pierre-Olivier Jeannin, Jeffrey Ewsanchuk, David Frey, Stefan Mollov, et al..
Packaging 3D pour MOSFET en carbure de silicium. Symposium de Genie Electrique, Jun 2016,
Grenoble, France. hal-01361591

HAL Id: hal-01361591

<https://hal.science/hal-01361591>

Submitted on 7 Sep 2016

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Packaging 3D pour MOSFET en carbure de silicium

Guillaume REGNAT^{1,2}, Pierre-Olivier JEANNIN¹, Jeffrey EWANCHUK², David FREY¹, Stefan MOLLOV², Jean-Paul FERRIEUX¹

¹ Univ. Grenoble Alpes, G2Elab, F-38000 Grenoble, France

² Mitsubishi Electric R&D Centre Europe, F-35000 Rennes, France

RESUME – Le développement d'un packaging dédié aux transistors à grand gap (SiC et GaN) est un point clef pour tirer pleinement profit de leurs caractéristiques remarquables. Un packaging en trois dimensions, basé sur un procédé de fabrication des circuits imprimés, est présenté dans cet article. Une cellule de commutation à base de MOSFET SiC est développée avec une inductance parasite de seulement 0.25nH. De plus, les interconnexions électriques du module sont réalisées sans brasures ni fil de bonding. Un module 3D est fabriqué puis validé expérimentalement. Des caractérisations électriques statiques et dynamiques sont réalisées et valident électriquement le concept « Power Chip On Chip » avec un procédé de fabrication de circuit imprimé.

Mots-clés — Module de puissance, Packaging 3D, MOSFET SiC, Circuit Imprimé.

1. INTRODUCTION

Les composants à grand gap (MOSFET SiC ou HEMT GaN) ont des caractéristiques en commutation exceptionnelles. Les fortes vitesses de variation du courant (di/dt) ou de la tension (dV/dt) rendent critiques l'effet des éléments parasites du packaging et limitent ainsi les performances globales du convertisseur de puissance.

Le développement d'un packaging faiblement inductif, afin de limiter les surtensions, est un sujet de recherche pour les IGBT ou les MOSFET SiC [1]. A l'heure actuelle, la fabrication des modules de puissance est basée sur l'utilisation de substrat céramique (DBC) et l'utilisation de fils de bonding. Cet assemblage bidimensionnel limite les possibilités de routage donc les possibilités de diminution des éléments parasites. En effet, il y a toujours un compromis à assurer entre la réduction des inductances de câblage qui tend à réduire la distance entre les puces de puissance, et la gestion thermique qui au contraire tend à les éloigner.

Le packaging en trois dimensions est une piste prometteuse pour la réalisation de nouveaux modules adaptés aux caractéristiques des MOSFET SiC [2]. Un nouveau module de puissance 3D dédié aux MOSFET SiC est présenté dans cet article. Il est basé sur un procédé de fabrication PCB en incluant dans le PCB lui-même (embedded die) dans le but de diminuer l'inductance de la maille de commutation.

2. MODULE 3D AVEC UN PROCEDE DE FABRICATION DE CIRCUIT IMPRIME

Le module de puissance consiste en une parallélisation de quatre cellules de commutation à deux MOSFET SiC (High side et Low side), comme présenté en Fig. 1. Par soucis de clarté, les grilles et sources des quatre transistors en parallèle ne sont pas connectées sur le schéma. Le module inclut également un condensateur de découplage au plus proche des cellules de commutation.

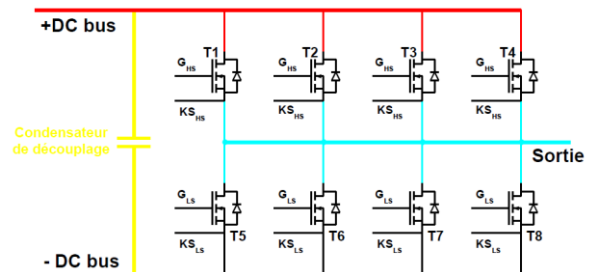


Fig. 1: Schéma électrique du module à concevoir

Chaque cellule de commutation est réalisée suivant le concept « Power Chip On Chip » (PCOC), ayant déjà fait l'objet de publications [3]. Le principe de base est de superposer les transistors High side et Low side pour inclure la cellule de commutation dans le busbar. Cette architecture permet d'une part de diminuer l'inductance parasite mais aussi de venir confiner le point flottant au centre du module. Le schéma présenté en Fig. 2 montre cet assemblage avec un procédé de fabrication PCB.

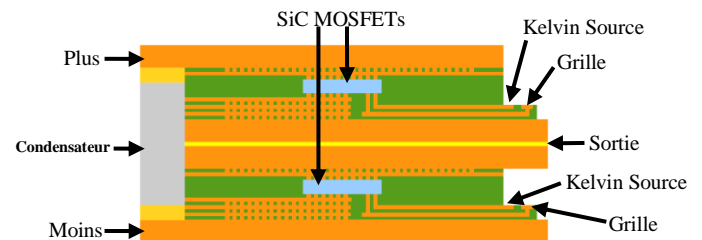


Fig. 2: Coupe schématique du module

Le module complet est assemblé par stratification de deux sous-modules identiques. La fabrication d'un sous-module suit les étapes suivantes. La puce est insérée dans une couche

diélectrique (preg). Des vias sont créés par perçage laser pour interconnecter la puce puis remplis par croissance électrolytique de cuivre. Plusieurs couches sont ajoutées par stratification, perçage laser et croissance électrolytique de cuivre pour réaliser le circuit de grille et les couches de cuivres épaisses externes.

Une vue 3D du module est présentée en Fig. 3. Le module sans les connectiques de puissance a une taille de 30mm par 30mm et une épaisseur de 2mm. Des condensateurs de découplage sont ajoutés sur la tranche afin de symétriser chaque cellule de commutation.

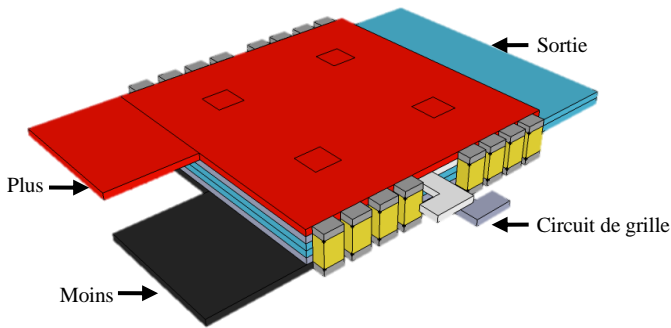


Fig. 3: Vue 3D du module

3. COMPORTEMENT ELECTRO-MAGNETIQUE DU MODULE

L'impédance de chaque cellule de commutation est calculée grâce au logiciel de simulation INCA3D. La simulation doit aussi nous confirmer l'équilibrage de l'impédance des quatre cellules de commutation afin d'assurer une équi-répartition des courants lors des commutations.

3.1. Simulation PEEC

Le modèle INCA3D est présenté en Fig. 4. Il s'agit de trois plaques respectant les dimensions du module. Le modèle équivalent des condensateurs de découplage (6x4.7nF en boîtier 0805 pour chaque cellule de commutation) est également pris en compte. Les interrupteurs sont modélisés par des points équipotentiels (court-circuit entre plus et moins) à l'emplacement des puces. Il y a donc deux cellules de commutation amonts (au plus près des connectiques d'entrée de puissance) et deux aval.

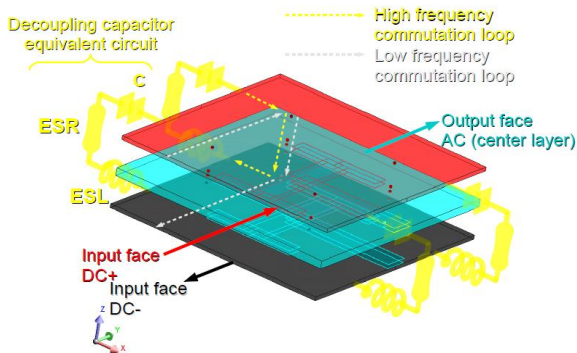


Fig. 4: Modèle INCA3D

Les résultats de simulation des impédances amont et aval en fonction de la fréquence sont présentés en Fig. 5. On observe trois zones distinctes. En basse fréquence (<10MHz), les impédances sont déséquilibrées avec une inductance équivalente de 1.5nH pour la cellule aval et 0.7nH pour la cellule amont. Une phase de résonance apparaît entre 15MHz et 70MHz à cause des condensateurs de découplage. Enfin,

après 70MHz, les impédances s'équilibrent avec une valeur d'inductance équivalente de 0.25nH.

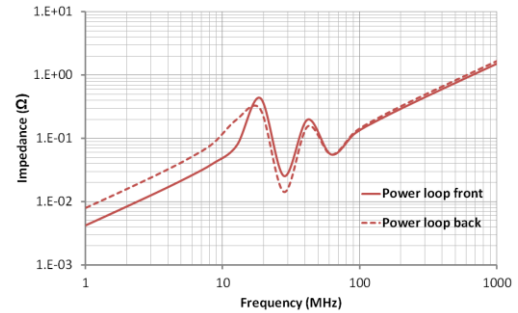


Fig. 5: Impédance des cellules de commutation amont (front) et aval (back)

La fréquence équivalente du front de commutation du courant doit être au-delà de 70MHz pour assurer l'équilibrage des courants. Cela est le cas des MOSFET SiC dont le temps de commutation en courant est de quelques nano-secondes.

3.2. Validation Expérimentale

Afin de valider les simulations, un circuit imprimé de même dimension (30mm x 30mm x 2mm) est réalisé. Les condensateurs de découplage sont soudés sur la tranche et un via entre les plaques plus et moins modélise la cellule de commutation. Le prototype de validation est présenté en Fig. 6.

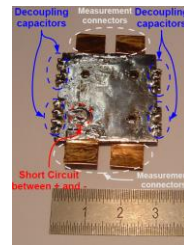


Fig. 6: Circuit imprimé de validation

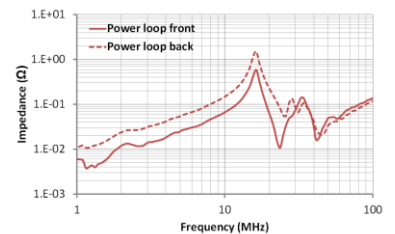


Fig. 7: Mesure de l'impédance amont et aval au pont d'impédance (Agilent 4294A)

La mesure des impédances amont et aval, présentée en Fig. 7, a le même comportement fréquentiel que les simulations. Au-delà de 50MHz, les impédances sont équilibrées avec une valeur d'inductance équivalente de 0.23nH pour la cellule amont et 0.21nH pour la cellule aval.

Ce premier résultat expérimental permet de valider le comportement faiblement inductif du module PCOC avec l'ajout de condensateurs de découplage sur la tranche.

4. REALISATION PRATIQUE

Un premier prototype de sous-module supérieur, incluant les quatre MOSFET High Side en parallèle, a été fabriqué (Fig. 8). Les MOSFET SiC sélectionnés dans ce projet sont des puces nues CPM2-1200-0080B du fabricant CREE avec une tenue en tension de 1200V et une résistance à l'état passant de 80mΩ.

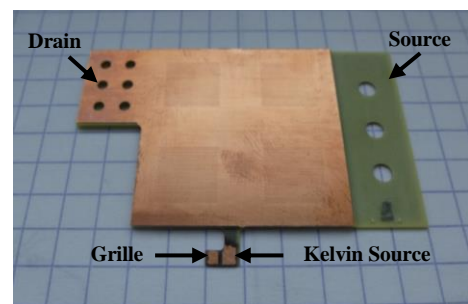


Fig. 8: Prototype d'un sous-module supérieur

L'épaisseur des couches de cuivre externe est limitée à 70µm dans ce prototype. Des travaux sont menés en parallèle afin d'augmenter ultérieurement l'épaisseur de cuivre pour améliorer le comportement thermique du module. Le circuit de grille d'un sous-module est construit de manière symétrique pour assurer la symétrie des ordres de commande sur chaque interrupteur. Deux couches du sous-module sont spécialement dédiées aux pistes de grille et kelvin source. Leur routage a été réalisé pour éviter d'augmenter la capacité Cgd du module.

4.1. Caractérisation statique

Deux sous-modules supérieurs (SM1 et SM2) sont caractérisés avec le traceur de caractéristiques Agilent B15. La caractéristique de conduction en direct est tracée en Fig. 9. La caractéristique de conduction de la diode body est tracée en Fig. 10.

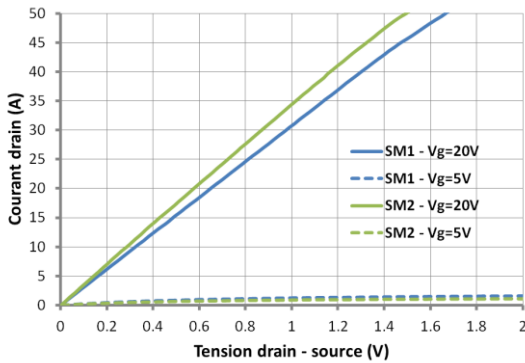


Fig. 9: Caractéristique statique directe des sous-modules SM1 et SM2 pour une tension grille source de 5V et 20V

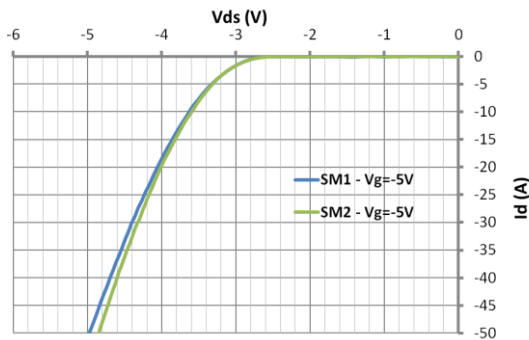


Fig. 10: Caractéristique statique inverse des sous-modules SM1 et SM2 pour une tension grille-source de -5V

A partir de la Fig. 9, la résistance à l'état passant pour une tension de grille de 20V est estimée à 33mΩ pour SM1 et 29mΩ pour SM2. Etant donné les caractéristiques des puces enterrés et la parallélisation de quatre d'entre elles, la résistance à l'état passant attendue théoriquement est de 20mΩ. Une augmentation de résistance de 10mΩ est introduite par le procédé d'encapsulation. Malgré ce phénomène, le comportement des deux modules est identique.

La caractéristique de tenue en tension des deux sous-modules est tracée en Fig. 11 jusqu'à 1000V. Les données techniques d'une puce CPM2-1200-0080B indique un courant de fuite maximal de 100µA sous une tension de 1200V. Cette condition limite est atteinte pour le sous-module SM2 à une tension de 900V alors que le sous-module SM1 possède un courant de fuite de 10µA à 1000V. La cause de l'augmentation du courant de fuite du sous-module SM2 n'a pas encore été clairement identifiée et fait encore l'objet d'investigations.

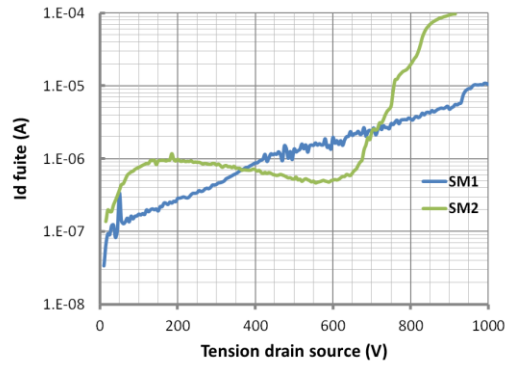


Fig. 11: Test de tenue en tension des sous-modules SM1 et SM2

Les caractérisations statiques des premiers prototypes de sous-modules valident partiellement le procédé d'encapsulation. En effet, les caractéristiques obtenues sont dégradées par rapport aux caractéristiques théoriques des puces nues. La cause de cette dégradation pourrait être liée à la métallisation des puces utilisées. Ces dernières possèdent une métallisation en aluminium sur la face avant (pad de grille et source) qui peut être altéré par le procédé de fabrication des micro-vias en cuivre. De nouveaux tests avec des puces possédant des métallisations en cuivre sont nécessaires pour vérifier cette hypothèse.

4.2. Caractérisation dynamique d'une cellule de commutation en 3D

Les deux sous-modules SM1 et SM2 sont assemblés ensemble grâce à une colle conductrice chargée en particule d'argent (EPOTEK EK2000) pour former une véritable cellule de commutation 3D. Cet assemblage nous permet de valider le fonctionnement électrique d'un module basé sur le principe « Power Chip On Chip » avant la réalisation du prototype final présenté en Fig. 3.

Le résultat de l'assemblage est présenté en Fig. 12. Les condensateurs de découplage sont soudés sur la tranche du module avec six condensateurs par cellule de commutation soit un total de 112nF.

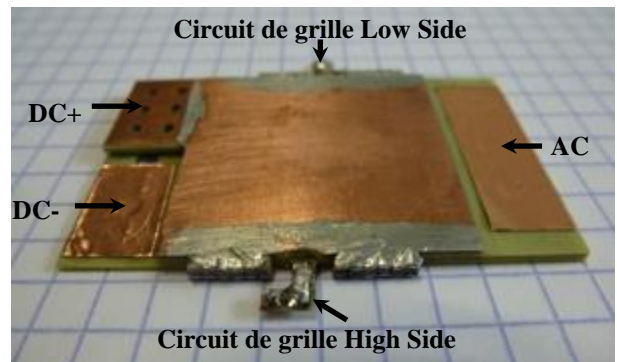


Fig. 12: Module de puissance 3D

Le refroidissement du module est réalisé par deux blocs à eau situés de part et d'autre du module. L'isolation électrique est effectuée par une couche de matériau SILPAD 1500ST de la société Bergquist. Le module monté avec ses refroidisseurs est présenté en Fig. 13.



Fig. 13: Module 3D monté avec ses refroidisseurs à eau

La caractérisation dynamique de la cellule de commutation 3D repose sur le principe du test à double impulsion. Le point de fonctionnement est fixé à une tension de bus continu de 400V et un courant de charge de 20A. Le schéma électrique du montage est présenté en Fig. 14. Le module 3D est interconnecté à un circuit de commande rapproché grâce à une carte d'interconnexion. Un banc de condensateur externe est rajouté afin d'augmenter l'énergie stockée. La source de tension est fixée à 400V. Le circuit de commande rapproché possède une résistance de grille de 2Ω sur chaque sortie (high side et low side). La tension grille source varie entre +20V et -5V. La charge consiste en une inductance de $600\mu\text{H}$. Une photographie du montage expérimental est présentée en Fig. 15.

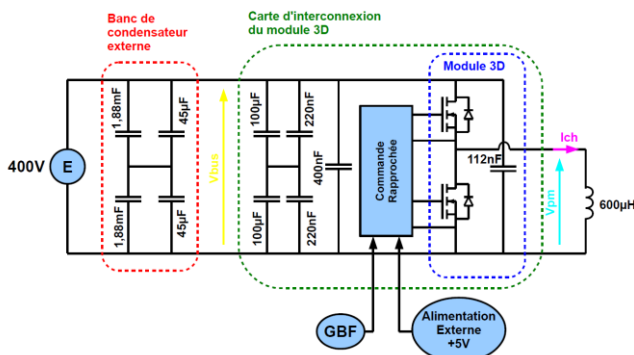


Fig. 14: Test en double impulsion du module 3D

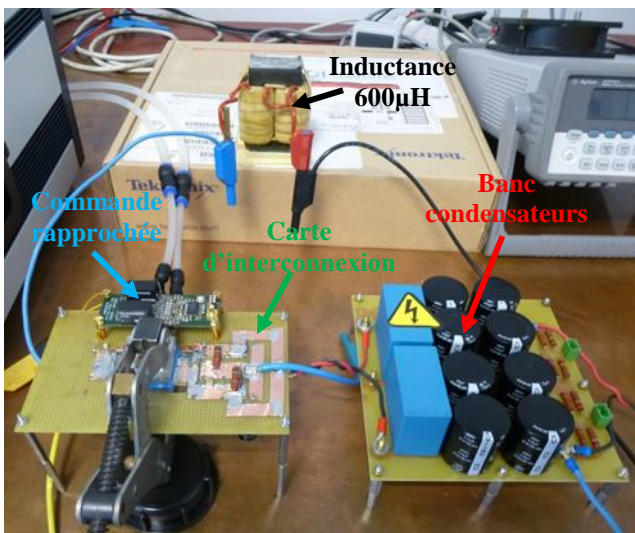


Fig. 15: Montage expérimental

La tension du point milieu de sortie (V_{pm}) est mesurée avec une sonde de tension de bande passante 800MHz (TPP0850 de Tektronix). Le courant de charge (I_{ch}) est mesuré

avec la sonde TCPA300 en mode DC avec un rapport 10A/V et possède une bande passante de 100MHz. Un oscilloscope de bande passante 2GHz est utilisé (Tektronix MSO5204). Aucun capteur de courant n'a pu être inséré dans le module étant donné la densité d'intégration.

Une vue générale des signaux mesurés lors du test à double impulsion est présenté en Fig. 16. La courbe bleue correspond à la tension de sortie du point milieu donc à la tension de l'interrupteur low side. La courbe violette correspond au courant dans l'inductance de charge.

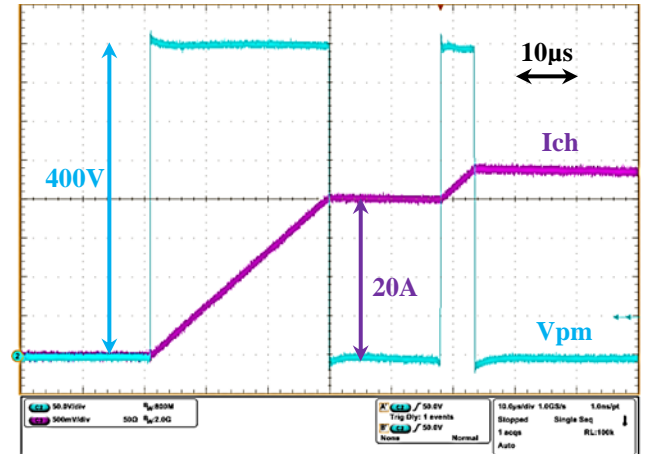


Fig. 16: Vue générale du test à double impulsion

Les oscillogrammes présentés en Fig. 17 et Fig. 18 sont un agrandissement lors de la commutation à l'ouverture et à la fermeture du transistor low side.

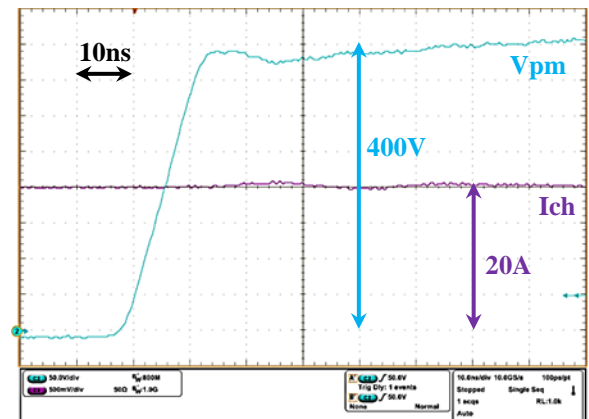


Fig. 17: Commutation à l'ouverture

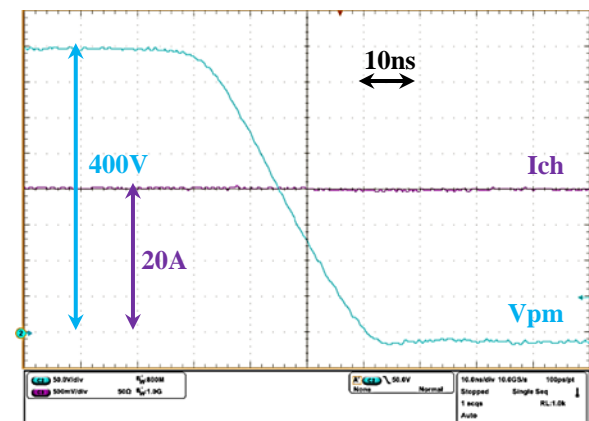


Fig. 18: Commutation à la fermeture

Aucune surtension ni oscillation n'est visible sur la tension V_{pm} à l'ouverture comme à la fermeture. Le temps de montée

est de 14ns tandis que celui de descente est de 30ns. La vitesse de variation de la tension V_{pm} est de 29V/ns au plus rapide. L'effet de l'inductance de la maille de commutation est donc négligeable. Cependant, il est impossible de donner une estimation de sa valeur à partir des mesures.

On peut remarquer un creux de tension suite à la commutation à l'ouverture. Ce phénomène est causé par le banc de condensateurs, majoritairement chimique, qui est limité en fréquence et induit une résonance en basse fréquence.

5. CONCLUSIONS ET PERSPECTIVES

Un nouveau module 3D basé sur le concept « Power Chip On Chip » a été présenté. Il est basé sur un procédé de fabrication PCB assurant une encapsulation sans brasure ni fil de bonding.

Des simulations électromagnétiques ont été réalisées puis validées expérimentalement et indiquent une valeur d'inductance de maille de commutation inférieure à 1nH. L'introduction de condensateurs de découplage sur la tranche du module assure un équilibrage des impédances de toutes les cellules de commutation.

Plusieurs prototypes ont été réalisés puis caractérisés d'une manière statique et dynamique. Le résultat des caractérisations statiques montrent une bonne connexion de la puce avec le module mais avec une dégradation de l'état passant et de la tenue en tension. La métallisations classique des puces est mise

en cause et fera l'objet de futurs travaux afin de valider définitivement le procédé de fabrication. La caractérisation dynamique basée sur un test à double impulsion a permis de valider le fonctionnement électrique du module. La tension du point milieu de sortie est extrêmement propre, sans surtensions ni oscillations, prouvant le bienfondé de l'approche tridimensionnel.

La réalisation de module de puissance basé sur un procédé de fabrication PCB offre de nouvelles perspectives de conceptions. Un système complet avec l'intégration mécanique adéquat du système de refroidissement et du circuit de commande rapproché doit maintenant être développé. Il permettra certainement de repousser les limites de densité de puissance des alimentations à découpage.

6. REFERENCES

- [1] H. Ishino, T. Watanabe, K. Sugiura, and K. Tsuruta, "6-in-1 Silicon carbide power module for high performance of power electronics systems," presented at the Power Semiconductor Devices and ICs (ISPSD), 2014 IEEE 26th International Symposium on, 2014, pp. 446–449.
- [2] E. Hoene, A. Ostmann, B. T. Lai, C. Marczok, A. Müsing, and J. W. Kolar, "Ultra-low-Inductance Power Module for fast Switching Semiconductors," presented at the PCIM Europe, Nuremberg, 2013.
- [3] E. Vagnon, P.-O. Jeannin, J.-C. Crébier, and Y. Avenas, "A Bus-Bar-Like Power Module Based on Three-Dimensional Power-Chip-on-Chip Hybrid Integration," *Ind. Appl. IEEE Trans. On*, vol. 46, no. 5, pp. 2046–2055, Oct. 2010.