

Packaging 3D pour MOSFET en carbure de silicium

Guillaume REGNAT^{1,2}, Pierre-Olivier JEANNIN¹, Jeffrey EWANCHUK², David FREY¹, Stefan MOLLOV², Jean-Paul FERRIEUX¹

¹ Univ. Grenoble Alpes, G2Elab, F-38000 Grenoble, France

² Mitsubishi Electric R&D Centre Europe, F-35000 Rennes, France

RESUME – Le développement d'un packaging dédié aux transistors à grand gap (SiC et GaN) est un point clef pour tirer pleinement profit de leurs caractéristiques remarquables. Un packaging en trois dimensions, basé sur un procédé de fabrication des circuits imprimés, est présenté dans cet article. Une cellule de commutation à base de MOSFET SiC est développée avec une inductance parasite de seulement 0.25nH. De plus, les interconnexions électriques du module sont réalisées sans brasures ni fil de bonding.

Mots-clés — Module de puissance, Packaging 3D, MOSFET SiC, Circuit Imprimé.

1. INTRODUCTION

Les composants à grand gap (MOSFET SiC ou HEMT GaN) ont des caractéristiques en commutation exceptionnelles. Les fortes vitesses de variation du courant (di/dt) ou de la tension (dV/dt) rendent critiques l'effet des éléments parasites du packaging et limitent ainsi les performances globales du convertisseur de puissance.

Le développement d'un packaging faiblement inductif, afin de limiter les surtensions, est un sujet de recherche pour les IGBT ou les MOSFET SiC [1]. A l'heure actuelle, la fabrication des modules de puissance est basée sur l'utilisation de substrat céramique (DBC) et l'utilisation de fils de bonding. Cet assemblage bidimensionnel limite les possibilités de routage donc les possibilités de diminution des éléments parasites. En effet, il y a toujours un compromis à assurer entre la réduction des inductances de câblage qui tend à réduire la distance entre les puces de puissance, et la gestion thermique qui au contraire tend à les éloigner.

Le packaging en trois dimensions est une piste prometteuse pour la réalisation de nouveaux modules adaptés aux caractéristiques des MOSFET SiC [2]. Un nouveau module de puissance 3D dédié aux MOSFET SiC est présenté dans cet article. Il est basé sur un procédé de fabrication PCB en incluant dans le PCB lui-même (embedded die) dans le but de diminuer l'inductance de la maille de commutation.

2. MODULE 3D AVEC UN PROCEDE DE FABRICATION DE CIRCUIT IMPRIME

Le module de puissance consiste en une parallélisation de quatre cellules de commutation à deux MOSFET SiC (High side et Low side). Chaque cellule de commutation est réalisée

suivant le concept « Power Chip On Chip » (PCOC), ayant déjà fait l'objet de publications [3]. Le principe de base est de superposer les transistors High side et Low side pour inclure la cellule de commutation dans le busbar. Cette architecture permet d'une part de diminuer l'inductance parasite mais aussi de venir confiner le point flottant au centre du module. Le schéma présenté en Fig. 1 montre cet assemblage avec un procédé de fabrication PCB.

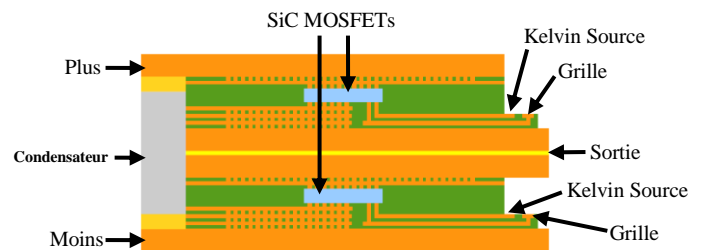


Fig. 1: Coupe schématique du module

Le module complet est assemblé par stratification de deux sous-modules identiques. La fabrication d'un sous-module suit les étapes suivantes. La puce est insérée dans une couche diélectrique (prepreg). Des vias sont créés par perçage laser pour interconnecter la puce puis remplis par croissance électrolytique de cuivre. Plusieurs couches sont ajoutées par stratification, perçage laser et croissance électrolytique de cuivre pour réaliser le circuit de grille et les couches de cuivres épaisses externes.

Une vue 3D du module est présentée en Fig. 2. Le module sans les connectiques de puissance a une taille de 30mm par 30mm et une épaisseur de 2mm. Des condensateurs de découplage sont ajoutés sur la tranche afin de symétriser chaque cellule de commutation.

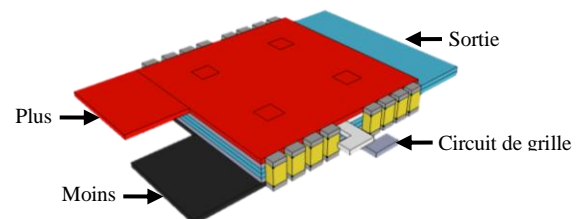


Fig. 2: Vue 3D du module

3. COMPORTEMENT ELECTRO-MAGNETIQUE DU MODULE

L'impédance de chaque cellule de commutation est calculée grâce au logiciel de simulation INCA3D. La simulation doit aussi nous confirmer l'équilibrage de l'impédance des quatre cellules de commutation afin d'assurer une équi-répartition des courants lors des commutations.

3.1. Simulation PEEC

Le modèle INCA3D est présenté en Fig. 3. Il s'agit de trois plaques respectant les dimensions du module. Le modèle équivalent des condensateurs de découplage (6x4.7nF en boîtier 0805 pour chaque cellule de commutation) est également pris en compte. Les interrupteurs sont modélisés par des points équipotentiels (court-circuit entre plus et moins) à l'emplacement des puces. Il y a donc deux cellules de commutation amonts (au plus près des connectiques d'entrée de puissance) et deux avals.

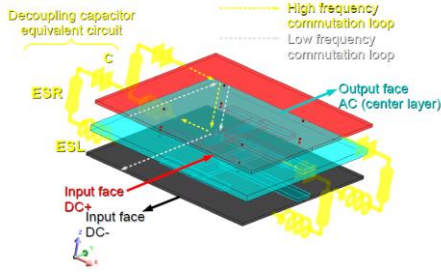


Fig. 3: Modèle INCA3D

Les résultats de simulation des impédances amont et aval en fonction de la fréquence sont présentés en Fig. 4. On observe trois zones distinctes. En basse fréquence (<10MHz), les impédances sont déséquilibrées avec une inductance équivalente de 1.5nH pour la cellule aval et 0.7nH pour la cellule amont. Une phase de résonance apparaît entre 15MHz et 70MHz à cause des condensateurs de découplage. Enfin, après 70MHz, les impédances s'équilibrent avec une valeur d'inductance équivalente de 0.25nH.

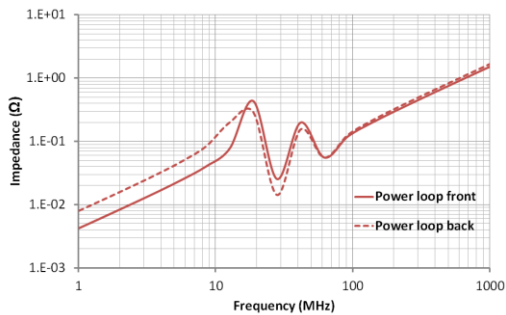


Fig. 4: Impédance des cellules de commutation amont (front) et aval (back)

La fréquence équivalente du front de commutation du courant doit être au-delà de 70MHz pour assurer l'équilibrage des courants. Cela est le cas des MOSFET SiC dont le temps de commutation en courant est de quelques nano-secondes.

3.2. Validation Expérimentale

Afin de valider les simulations, un circuit imprimé de même dimension (30mm x 30mm x 2mm) est réalisé. Les condensateurs de découplage sont soudés sur la tranche et un via entre les plaques plus et moins modélise la cellule de commutation. Le prototype de validation est présenté en Fig. 5.

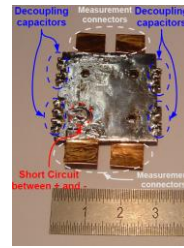


Fig. 5: Circuit imprimé de validation

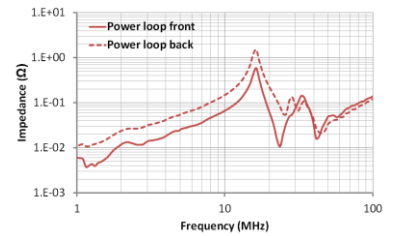


Fig. 6: Mesure de l'impédance amont et aval au pont d'impédance (Agilent 4294A)

La mesure des impédances amont et aval, présentée en Fig. 6, a le même comportement fréquentiel que les simulations. Au-delà de 50MHz, les impédances sont équilibrées avec une valeur d'inductance équivalente de 0.23nH pour la cellule amont et 0.21nH pour la cellule aval.

4. REALISATION PRATIQUE

Un premier prototype de sous-module a été réalisé. Une coupe métallographique est présentée en Fig. 7.

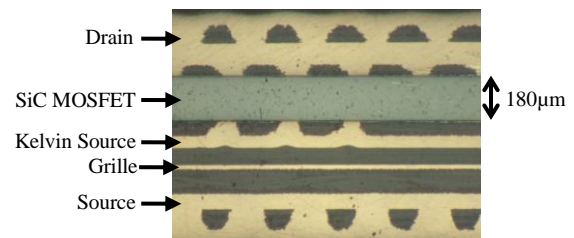


Fig. 7: Coupe métallographique d'un sous-module (Courtoisie d'ELVIA PCB)

La caractéristique statique de ce sous-module a été tracée en Fig. 8 prouvant la bonne interconnexion électrique de la puce et du packaging.

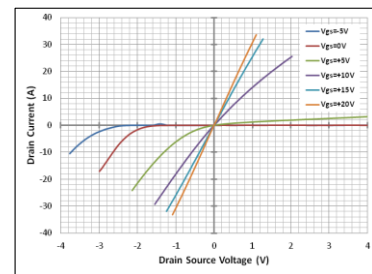


Fig. 8: Caractéristique statique du premier prototype de sous-module

5. CONCLUSIONS

Un nouveau module 3D basé sur le concept « Power Chip On Chip » a été présenté. Il est basé sur un procédé de fabrication PCB assurant une encapsulation sans brasure ni fil de bonding. L'inductance de la maille de commutation de ce module est estimée à 0.25nH, ce qui est particulièrement adapté aux composants MOSFET SiC. De futurs travaux seront menés sur le module complet pour valider son fonctionnement.

6. REFERENCES

- [1] H. Ishino, T. Watanabe, K. Sugjura, and K. Tsuruta, "6-in-1 Silicon carbide power module for high performance of power electronics systems," presented at the Power Semiconductor Devices and ICs (ISPSD), 2014 IEEE 26th International Symposium on, 2014, pp. 446-449.
- [2] E. Hoene, A. Ostmann, B. T. Lai, C. Marczok, A. Müsing, and J. W. Kolar, "Ultra-low-Inductance Power Module for fast Switching Semiconductors," presented at the PCIM Europe, Nuremberg, 2013.
- [3] E. Vagnon, P.-O. Jeannin, J.-C. Crébier, and Y. Avenas, "A Bus-Bar-Like Power Module Based on Three-Dimensional Power-Chip-on-Chip Hybrid Integration," *Ind. Appl. IEEE Trans. On*, vol. 46, no. 5, pp. 2046-2055, Oct. 2010.