



HAL
open science

Perturbations électromagnétiques conduites d'un bras d'onduleur à base de transistors en Nitrure de Galium: Structure " 3D " pour composants horizontaux

Clement Fita, Pierre Lefranc, Pierre-Olivier Jeannin, Edith Clavel, Johan Delaine

► **To cite this version:**

Clement Fita, Pierre Lefranc, Pierre-Olivier Jeannin, Edith Clavel, Johan Delaine. Perturbations électromagnétiques conduites d'un bras d'onduleur à base de transistors en Nitrure de Galium: Structure " 3D " pour composants horizontaux. Symposium de Genie Electrique, Jun 2016, Grenoble, France. hal-01361586

HAL Id: hal-01361586

<https://hal.science/hal-01361586>

Submitted on 7 Sep 2016

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Perturbations électromagnétiques conduites d'un bras d'onduleur à base de transistors en Nitrure de Gallium: Structure « 3D » pour composants horizontaux

Clément Fita, Pierre-Olivier Jeannin, Pierre Lefranc, Edith Clavel, Johan Delaine
Univ. Grenoble Alpes, G2Elab, F-38000 Grenoble, France

RESUME – Dans cet article une structure «3D» à base de composant GaN est présentée. Sa réalisation proche des structures «3D» existantes pour les composants Silicium tel que le concept PCoC donne la perspective de bénéficier des mêmes avantages vis à vis des perturbations électromagnétiques en mode conduit. C'est ce qui est vérifié dans cet article en comparant la structure «3D» avec une réalisation d'une structure «2D» optimisée pour composant GaN.

Mots-clés— GaN, Packaging, Perturbations électromagnétiques conduites.

1. INTRODUCTION

Aujourd'hui, l'utilisation des composants à base de semi-conducteur à grand gap tel que le Nitrure de Gallium est une voie d'amélioration pour la majorité des applications en électronique de puissance. Pour s'en convaincre, il n'y a qu'à regarder les figures de mérite (FOM) des composants à grand gap : elles sont toutes supérieures à celles du Silicium témoignant de meilleures performances pour les applications haute-fréquence, haute-température et haute-tension.

Cependant, au sein même de la cellule de commutation, les grandes vitesses de commutation de ces composants viennent exciter les éléments parasites intrinsèques à la réalisation des convertisseurs : L'inductance parasite de la maille de commutation, (L_{loop} , Fig.1), provoque des surtensions aux bornes des composants lors des commutations en courant [1] alors que les capacités parasites entre les différents potentiels du convertisseur et la terre, (C_1 , C_2 et C_{mc} , Fig.1) favorisent la circulation du courant de mode commun [2]. C'est ce qu'on appelle les « perturbations électromagnétiques conduites ». Les valeurs de ces éléments parasites sont importantes dans un processus de conception industriel : Soit pour assurer l'intégrité et la fiabilité du convertisseur (les surtensions sur les composants accélèrent le vieillissement et peuvent même conduire à leur destruction), soit pour simplement satisfaire les différentes normes CEM définies par la CEI (Commission Electrotechnique Internationale) imposées au convertisseur.

Avec des vitesses de commutation découplées, il est impératif de diminuer tout autant les valeurs des éléments parasites. L'inductance parasite est principalement constituée des inductances internes des composants de puissance (liées aux technologies de report des potentiels électriques des puces actives sur le boîtier), de l'inductance parasite du condensateur de découplage (ESL_{dec} , Fig.1), et des inductances des pistes d'interconnexion (L_{mh} , L_p et L_{ml} , Fig.1). Les boîtiers des composants en GaN disponibles sur le marché (LGA pour EPC, GAN_{px} pour GaN- Systems par exemple) ont été optimisés pour offrir les inductances parasites de connectique les plus faibles possibles avec la puce active (valeurs inférieures au nH). Le routage des interconnexions et le placement des composants de la cellule de commutation sont devenus le challenge majeur pour réduire la valeur de l'inductance parasite de maille.

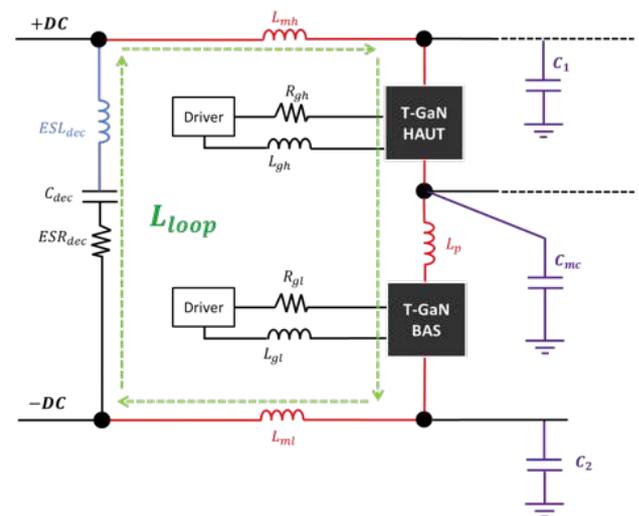


Fig. 1 Représentation de la structure «Buck à redressement synchrone» avec ses éléments parasites.

De nos jours, les composants GaN commercialisés sont des composants latéraux. Ils sont donc naturellement adaptés pour la réalisation de module planaire, dont on fera référence dans la suite de cet article sous le nom de module « 2D ». Les structures « 2D » se caractérisent par le placement des composants électriques discrets (transistors, condensateurs de découplage, drivers etc.) sur la même face du PCB, la face opposée étant généralement utilisée pour drainer les calories des pertes par un dissipateur thermique. On peut trouver dans la littérature des réalisations de structure « 2D » à base de composant GaN avec de très faible valeur d'inductance parasite de maille pour une structure « Buck à redressement synchrone » : Par exemple, dans [1] la valeur de l'inductance parasite annoncée est de 0.4 nH (Fig.2). Toutefois les bénéfices démontrés [3] en termes de perturbations électromagnétiques conduites par les structures verticales (donc « 3D ») avec des composants Silicium verticaux comme le concept PCOC [4] (Fig.3, Power Chip-On-Chip) nous ont poussé à investiguer une telle structure pour les composants GaN latéraux.

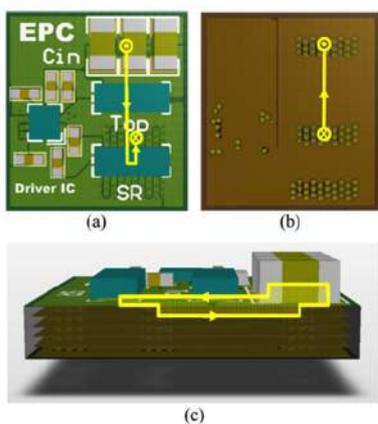


Fig. 2 Structure «2D» optimisée à base de composants GaN EPC. Inductance de maille: 0,4 nH. [1]

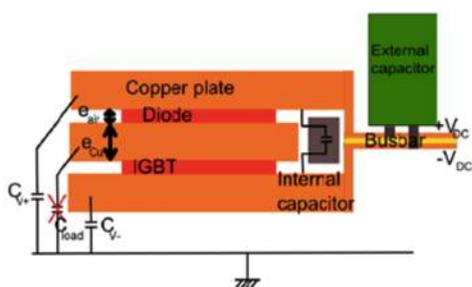


Fig. 3 Illustration du concept PCoC pour une cellule de commutation IGBT-Diode [3]

Dans cet article, une réalisation d'une structure « 3D » à base de composant GaN est proposée et comparée avec une structure « 2D » optimisée. Après avoir présenté les choix

technologiques pour la réalisation des modules, les atouts et les contraintes en termes de perturbations électromagnétiques conduites sont analysés a priori avant d'être comparés expérimentalement. La structure du convertisseur mis en œuvre est de type « Buck à redressement synchrone ».

2. CHOIX TECHNOLOGIQUES DES COMPOSANTS DISCRETS POUR LA REALISATION DES STRUCTURES «2D» ET «3D»

2.1. Les composants 600V, 30A de GaN-Systems

Les composants utilisés pour la réalisation des deux structures « Buck à redressement synchrone » proposées dans cet article sont les composants 600V, 30A « GS66508P » de GaN-Systems [5].

Le package *GaNpx* (type PQFN) de ces composants est très peu inductif. Les reprises des potentiels de Drain et de Source de la puce active, sont réalisés par plusieurs microvias ce qui permet d'obtenir des valeurs d'inductance parasite de connectique (interne au boîtier) de l'ordre de 0.4 nH [5] (Fig.5). Le comportement dynamique des composants est ainsi nettement meilleur que celui proposé par des packages plus classiques, comme le TO 220, utilisant des technologies de type « fil de bonding »[6].

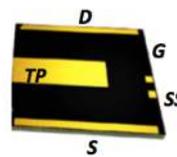


Fig. 4 Face inférieure du composant GS66508P avec les plots de connectique: Grille (G), Source (S), Drain (D) et la reprise de Source «Kelvin» (SS) [5]

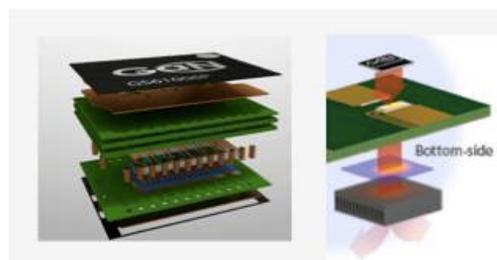


Fig. 5 Coupe verticale du package *GaNpx* et illustration de la dissipation thermique prévue pour ce package [7]

Ces composants offrent également une bonne robustesse vis à vis de la grille : La tension seuil est d'environ 1.6 V, la tension assurant la meilleure conduction est entre 6V et 7V alors que la tension maximale est de ±10V. On peut noter

que le package *GaNpx* possède un plot de connexion de type « Kelvin » pour la connectique du potentiel de source avec le circuit de commande de sorte à diminuer le couplage entre le circuit de puissance et le circuit de commande lors des transitoires du courant de puissance (Fig.4). Un pad thermique sur la face inférieure du composant (même face que les plots de connexion électrique) évacue les calories des pertes de la puce par le PCB [7] (Fig.5).

2.2. Les capacités de découplage

Le rôle des capacités de découplage lors des commutations est de fournir le courant « haute-fréquence » (ou de découplage) nécessaire à la charge (décharge) des capacités parasites de sortie C_{oss} des composants. C'est ce courant « haute-fréquence » qui à travers l'inductance partielle totale de la maille de commutation va générer les surtensions selon la formule :

$$\Delta V = L_{loop} \frac{dI}{dt} \quad (1)$$

Le choix des capacités de découplage est primordial dans la maîtrise des surtensions : Outre le fait qu'elles doivent être placées au plus proche des composants, le choix de capacités de faible inductance série équivalente (ESL_{dec} , Fig.1) et leur mise en parallèle sont les conditions sine qua non pour minimiser l'inductance parasite supplémentaire due à leur insertion dans le circuit [8][9]. Pour le découplage au plus proche, des capacités CMS 0806 de valeur 12 nF sous 500V, d'ESL de 403 pH (mesurée par pont d'impédance) sont parallélisées. Des capacités CMS de plus forte valeur (220 nF sous 500V), sont utilisées pour un découplage plus lointain et assurer une ondulation de la tension du Bus continu acceptable.

2.3. Le circuit de commande

Bien que la commande des composants GaN ne soit pas l'objet principal de cet article, certaines précisions méritent d'être soulignées.

Sur la carte de commande, un circuit de type RC génère un temps mort variable (de 0 ns à 100 ns) pour les signaux complémentaires de commande des transistors. Les temps morts sont impératifs dans une structure « Buck à redressement synchrone »: dans le cas où les deux transistors se retrouvent simultanément passants, la source de tension est court-circuitée et un courant important s'établit dans le circuit. Le court-circuit de bras est très préjudiciable pour le circuit et les composants de puissance en particulier qui atteignent des températures de jonction très importantes. La gestion des temps morts est aujourd'hui un des challenges majeurs dans l'optimisation du rendement des convertisseurs à base de composant GaN à cause de leur mauvaise conduction en inverse [10]

De plus aujourd'hui un autre phénomène menant au court-circuit de bras est mis en exergue par les hautes vitesses de commutation des composants GaN: l'effet Miller [11]. Pendant les commutations en tension, un courant transite de la puissance vers le circuit de grille du composant par la capacité Miller C_{DG} . La valeur de ce courant est donnée par la formule (2):

$$I_{DG} = C_{DG} \frac{dV_{DS}}{dt} \quad (2)$$

Pour un rapport entre la capacité C_{GD} et C_{GS} insuffisant le passage du courant I_{GD} dans le circuit de grille peut recharger la capacité C_{GS} du composant (qui est initialement commandé à l'état ouvert) au delà de la tension seuil de grille. Le composant se réamorç en conduction alors que le transistor complémentaire est déjà à l'état passant. Involontairement un court-circuit de bras est établi.

Dans le but de limiter ce phénomène (bien réel avec les composants GS66508P), une résistance de grille de 27 Ohm a été choisie et limite la vitesse de commutation en tension à la fermeture des transistors. Une diode placée en antiparallèle des résistances de grille des composants minimise l'impédance totale du circuit de grille pendant les phases d'ouverture et limite l'effet Miller. D'autres solutions existent pour limiter l'effet Miller sur la grille comme la technologie « Active Miller Clamp » mise en œuvre dans les drivers FAIRCHILD [12].

3. AMELIORATION DU COMPORTEMENT ELECTROMAGNETIQUE EN MODE CONDUIT : ROUTAGE ET DECOUPLAGE DE LA MAILLE DE COMMUTATION

La technologie PCB 6 couches d'épaisseur 35 μm a été choisie pour la réalisation des modules. La figure 6 (Fig.6) montre l'agencement des différentes couches et les distances d'isolation qui les séparent. La technologie PCB offre une plus grande liberté pour le routage des interconnexions par rapport aux DBC (Direct Bonded Copper) ou IMS (Insulated Metal Substrate): possibilité d'utiliser plusieurs couches internes de cuivre dans l'épaisseur (INTx, Fig.6) et de les connecter avec des vias métallisés aveugles, enterrés ou traversants. La distance d'isolation la plus faible du PCB est de 0.1325 mm ce qui correspond à une tenue en tension maximale de 2.65 kV entre les deux couches les plus proches (la rigidité électrique du FR4 étant de 20kV/mm).

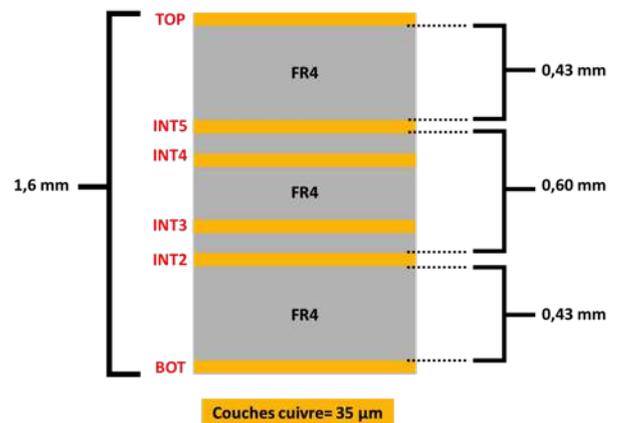


Fig. 6 PCB 6 couches utilisé pour la réalisation de la structure "2D" et "3D": agencement et dénomination des couches

3.1. La structure "3D" à base de composants latéraux en GaN.

Le circuit électrique de la structure « Buck à redressement synchrone » est représenté figure 7 (Fig.7). Par soucis de compréhension, chaque potentiel électrique est représenté par une couleur différente :

- En jaune, le potentiel positif de l'alimentation, « +DC »
- En rouge, le potentiel flottant de la charge, « OUT »
- En bleu, le potentiel négatif de l'alimentation, « -DC ».
- En vert, les éléments parasites du montage, « L_{loop} , C_1 , C_2 et C_{mc} »

La figure 8 (Fig.8) montre l'affectation de ces potentiels électriques aux différentes couches du PCB et la figure 9 (Fig.9) est une photo de la réalisation de la structure "3D".

La réduction des perturbations électromagnétiques en mode conduit peut s'obtenir par la forte intégration entre les composants de puissance et les éléments de l'assemblage du module: c'est ce qu'offre en général les structures "3D". La valeur de l'inductance parasite de maille (ou « boucle de commutation ») est fortement liée aux placements des composants, et aux chemins de conduction du courant haute-fréquence imposé par le routage des pistes. La valeur de l'inductance partielle parasite totale est la concaténation de l'inductance propre de chaque portion de la boucle et de leur couplage mutuel [13]. Une image fidèle de cette valeur est la surface de la maille de commutation (Fig. 8) : plus cette surface est grande, plus la valeur de l'inductance parasite l'est aussi (L_{loop} , Fig.7). Cette propriété est très exploitée par les concepteurs de module de forte puissance et est souvent reportée sous le nom d'effet « Bus-barre ».

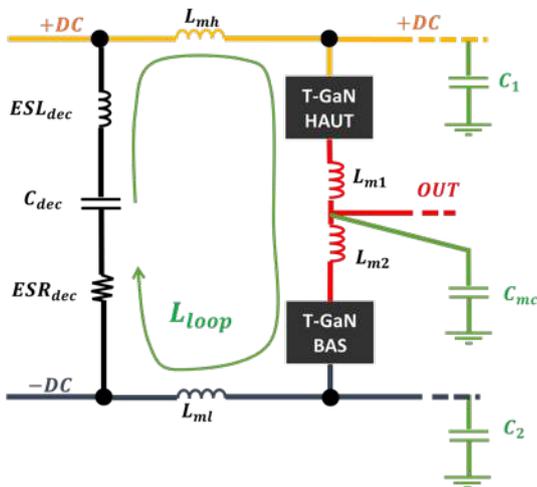


Fig. 7 Schéma électrique de la structure "Buck à redressement synchrone" avec les potentiels électriques (+DC, -DC, OUT) et ses éléments parasites (L_{loop} , C_{mc} , C_1 et C_2).

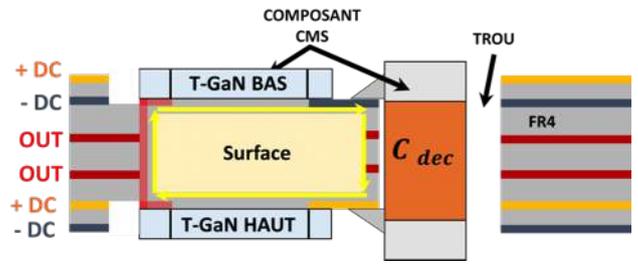


Fig. 8 Illustration de la coupe verticale de la structure "3D": Mise en évidence de la cellule de commutation et de sa surface.

L'optimisation de l'inductance de boucle de la structure "3D" est le résultat de plusieurs étapes :

Pour favoriser au maximum l'effet « Bus-barre », les composants sont placés en miroir et brasés sur la première couche interne de chaque face du PCB (Fig.8). Un trou dans le PCB permet de placer les 6 capacités de découplage verticalement au plus proche des composants de puissance et minimise la longueur des pistes d'interconnexion. La surface de la maille de commutation est délimitée en longueur par les composants GaN (10 mm) et en largeur par la distance entre les deux premières couches interne de chaque face du PCB (0,6 mm) (Fig.6).

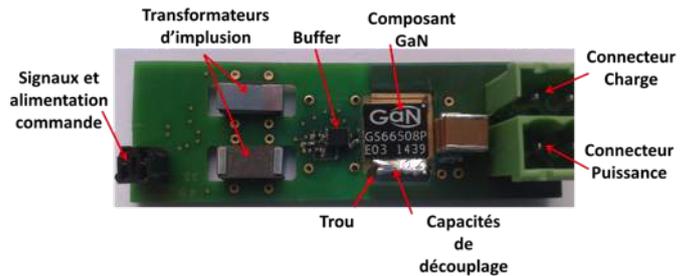


Fig. 9 Photo de la structure "3D" à base de composant GaN "GS66508P" de GaN-Systems

La quasi-totalité des pistes de cuivre au potentiel flottant (OUT, Fig.8) sont prises en « sandwich » entre les quatre plans aux potentiels fixes de l'alimentation (-DC, +DC vers le haut, +DC, -DC vers le bas, Fig.8). Ils jouent le rôle d'écran électrostatique par rapport au potentiel OUT vis-à-vis de la terre, la valeur de la capacité C_{mc} est minimale et le mode commun fortement réduit. La symétrie du routage de la maille de commutation réalise une symétrie des inductances parasites: $L_{mh} = L_{mi}$ et $L_1 = L_2$. Bien que la structure hacheur série ne soit pas complètement symétrique du point de vue CEM sur toutes les phases de fonctionnement (le condensateur de découplage di-symétrise le mode commun sur une des phases), la symétrie des inductances parasites participent à la réduction du transfert de mode [14].

Le point négatif de cette structure avec les composants GaN « GS66508P » de chez GaN-Systems (et plus généralement avec ceux qui doivent être refroidis par le PCB) est la dissipation thermique des pertes. Comme

expliqué dans 1) a) les pertes de ces composants sont prévues pour être dissipées par la face inférieure du PCB à l'aide d'un dissipateur thermique. Dans la structure "3D", chaque composant GaN empêche respectivement la dissipation des pertes de l'autre puisqu'ils sont placés en miroir. Un effet "bouchon" thermique est créé au centre du PCB.

Cependant, aujourd'hui chez GaN-Systems une nouvelle gamme de composant GaN «GS6650xT» permet la dissipation thermique par le dessus du composant et non plus par le PCB (Fig.10). Cette nouveauté résout le problème thermique de la structure "3D" énoncé ci-dessus : Chaque composant pourra être refroidi individuellement par un dissipateur thermique.

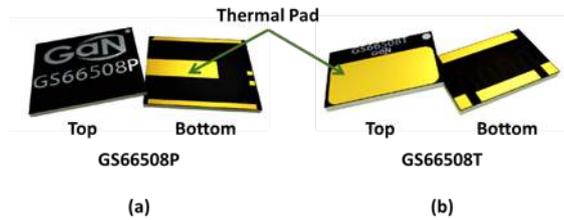


Fig. 10 Le composant "GS66508P" (a) et la nouvelle série "GS66508T" (b) avec la dissipation thermique par la face supérieure du boîtier.

3.2. La structure "2D" classique pour composants latéraux GaN

Les composants discrets (transistor GaN, condensateurs de découplage etc) et la technologie de PCB sont exactement les mêmes que ceux présentés pour la réalisation de la structure "3D".

Le routage de la maille de commutation a été optimisé et assure la plus faible valeur d'inductance parasite possible pour une structure "2D" comme analysé dans [1]: Les deux transistors sont quasiment collés l'un à l'autre et les capacités de découplage sont placées au plus proche de l'un des deux composants (Fig.11, Fig.12). La première couche interne du PCB est utilisée pour boucler le chemin du courant haute-fréquence (Fig.11). La surface de la maille de commutation est alors minimale. Elle est délimitée en longueur par la taille des capacités de découplage en parallèle et deux fois la taille des transistors GaN (2x 10mm) et en largeur par la distance entre la couche « TOP » et la première couche interne « INT5 » soit 0.43mm (Fig.6).

De même que pour la structure "3D", le double écran électrostatique réduit fortement la circulation du courant de mode commun due à la variation du potentiel électrique « OUT ». Par contre, le routage de la maille de commutation n'est pas symétrique : la valeur de l'inductance propre L_{mh} est plus faible que celle de L_{ml} ce qui favorise le transfert de mode.

3.3. Evaluation des inductances partielles parasites de maille

L'extraction de la valeur de l'inductance partielle parasite de chaque structure a été faite à partir du logiciel InCa3D qui utilise la méthode PEEC (Partial Element Equivalent Circuit). Cette méthode a l'avantage de calculer à l'aide de formulation analytique les valeurs des éléments électriques d'une géométrie donnée (résistance, inductance propre et mutuelle, capacité). Le temps de calcul est beaucoup plus faible qu'avec les méthodes utilisant les éléments finis. Seule la géométrie des vias entre les couches de cuivre a été simplifiée: Pour relier électriquement deux couches de cuivre, de nombreux vias métallisés sont créés et délimitent une surface S_{vias} identique sur chaque couche (Fig.13). Cette surface est majoritairement du cuivre et peut être considérée comme une surface de cuivre quasi « pleine ». Cette hypothèse permet de modéliser la connexion entre deux couches de cuivre par vias traversant avec un seul et même conducteur unidirectionnel de cuivre de surface S_{vias} sous InCa3D (Fig.14).

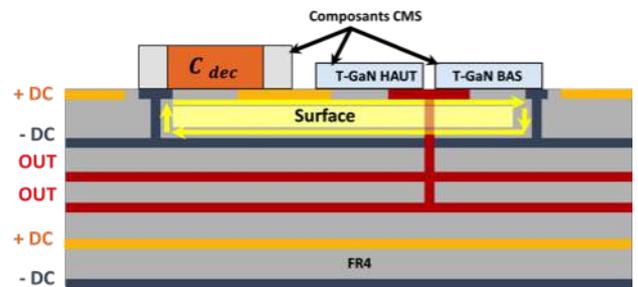


Fig. 11 Illustration de la coupe verticale de la structure "2D": Mise en évidence de la cellule de commutation et de sa surface.

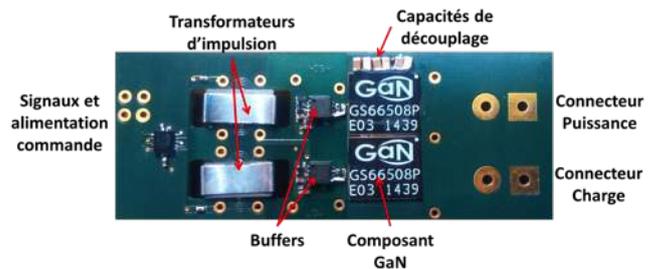


Fig. 12 Photo de la structure "2D" à base de composant GaN "GS66508P" de GaN-Systems

L'inductance parasite de la maille de commutation de la structure "3D" et de la structure "2D" sont évaluées respectivement à 1,46 nH et 7,47 nH, ce qui montre l'avantage des structures "3D" pour l'optimisation de la cellule de commutation.

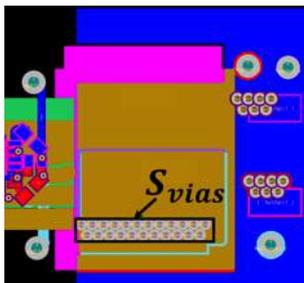


Fig. 13 Routage de la structure "3D": Illustration de la simplification de la géométrie des vias pour InCa3D: "Svias" surface définie par les multiples vias (en blanc)

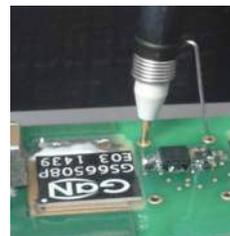


Fig. 15 Tête de sonde et plots de reprise des potentiels pour la mesure

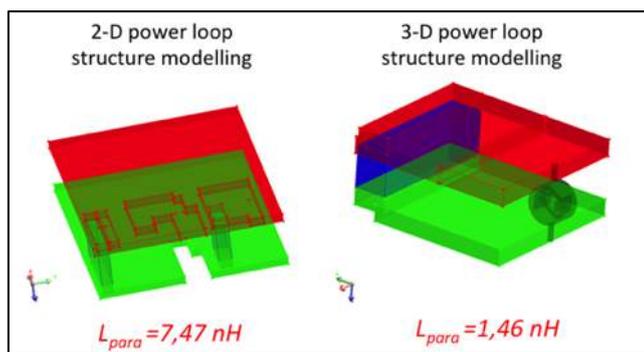


Fig. 14 Valeurs des inductances parasites de maille de la structure "2D" et "3D" après simulation sous InCa3D

Les deux structures montrent des résultats quasi-identiques: Aucune surtension n'est visible sur la tension Drain-Source des composants. Pour observer des différences sur les surtensions en fonctionnement, une résistance de grille plus faible que les 27 Ohm actuels devrait être utilisée pour augmenter les vitesses en commutation des composants. Malheureusement, le circuit de grille de nos modules n'est pas assez robuste vis à vis de l'effet Miller et nous avons essayé plusieurs casses avec des résistances de grille plus faibles. Néanmoins, les performances dynamiques de nos deux structures restent remarquables.

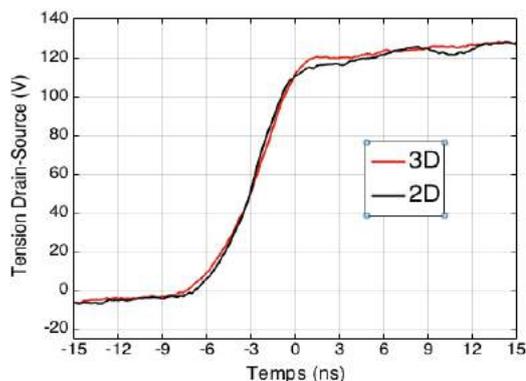


Fig. 16 Comparaison de la tension Drain-Source (en V) en fonction du temps (en ns) lors de l'ouverture du transistor SR.

4. PERTURBATIONS ELECTROMAGNETIQUES CONDUITES: RESULTATS EXPERIMENTAUX ET COMPARAISON DES PERFORMANCES DES STRUCTURE "2D" ET "3D"

4.1. Analyse et comparaison des performances dynamiques

Pour analyser les performances en commutation des structures, seule la tension Drain-Source des composants est observée. Avec les vitesses de commutation des transistors GaN, l'utilisation d'un dispositif de mesure de courant intrusif (shunt résistif, coaxial) modifierait le comportement dynamique de la cellule de commutation [15]. Les potentiels utiles sont mesurés au plus proche des composants à l'aide de tête de sonde adaptée et de plots métallisés (Fig.15). Les sondes ont toutes été correctement compensées et la bande passante du système de mesure complet est de 1 GHz.

Des essais en commutation des deux structures ont été menés pour une tension du Bus continu de 125 V et un courant de charge de 10A. La figure 16 (Fig.16) représente la tension Drain-Source du transistor (en V) en parallèle de la charge (SR, "Switch Rectifier" en anglais) et sa variation pendant la commutation à l'ouverture (en V/ns).

4.2. Comparaison des perturbations CEM conduites en mode commun

Pour la comparaison CEM des deux structures, des socles en plexiglass ont été fabriqués et permettent de placer les modules à hauteur égale (6 cm) du plan de masse en cuivre (Fig.17). Un RSIL DC-DC (Réseau Stabilisateur d'Impédance de Ligne) 50 Ω et un analyseur de spectre (150 kHz- 30 MHz) ont été utilisés pour les mesures des perturbations électromagnétiques en mode commun.

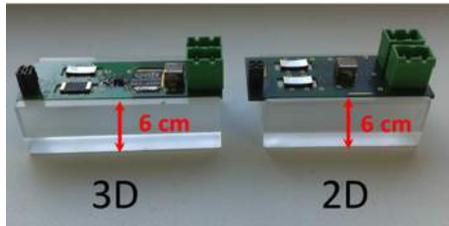


Fig. 17 Photo des socles pour les essais CEM des deux structures. Hauteur au plan de cuivre: 6 cm

Un essai CEM avec une tension de Bus continu de 150V et sans charge (à vide) a été mené. Cette configuration accentue les perturbations de mode commun devant celles en mode différentiel (le transfert de mode différentiel vers le mode commun est supprimé) et permet des essais à des tensions élevées en fonctionnement continu.

La commande des deux structures a été réglée pour que les allures temporelles du potentiel flottant (tension Drain-Source du transistor « Bas ») des deux structures soient quasiment identiques (Fig.18): La fréquence de commutation est de 1 MHz, le rapport cyclique de 0,5 et les temps morts de 40 ns. D'un point de vue CEM, le mode commun des deux structures verra quasiment la même source d'excitation et les perturbations mesurées (qui sont une image du courant de mode commun I_{mc}) seront considérées comme proportionnelles à la valeur de la capacité C_{mc} de chaque structure (3).

$$I_{mc} \cong C_{mc} \cdot \frac{dV_{DS}}{dt} \quad (3)$$

La structure « 2D » est très légèrement plus rapide pendant les commutations ($\pm 3V/ns$) ce qui peut remettre en cause l'hypothèse présentée ci-dessus. Cependant les temps de montée (et de descente) des signaux pendant les commutations sont de l'ordre de 10 ns ce qui correspond à une fréquence équivalente de 35 MHz. Cette fréquence est au delà des spécifications en fréquence du RSIL et de l'analyseur de spectre: L'influence de la faible différence entre les vitesses de commutation des deux modules est négligeable dans la bande de fréquence des mesures CEM présentées, notre hypothèse est donc légitime. La figure 19 (Fig.19) présente les résultats de mesure des perturbations en mode commun: La structure « 3D » (en couleur rouge) est sensiblement plus performante sur les harmoniques pairs de la fréquence de commutation (1 MHz) et inversement la structure « 2D » (en couleur noire) génère un contenu harmonique plus faible sur les harmoniques impairs. Cette tendance est accentuée par les fréquences élevées.

Il est encore difficile de démarquer concrètement les deux structures sur cet essai. La présence sur les deux structures d'écrans électrostatiques vis à vis du routage du potentiel flottant « OUT » implique des valeurs de capacité C_{mc} très faibles. Leur différence est tout aussi faible et à peine visible sur les essais CEM en mode commun.

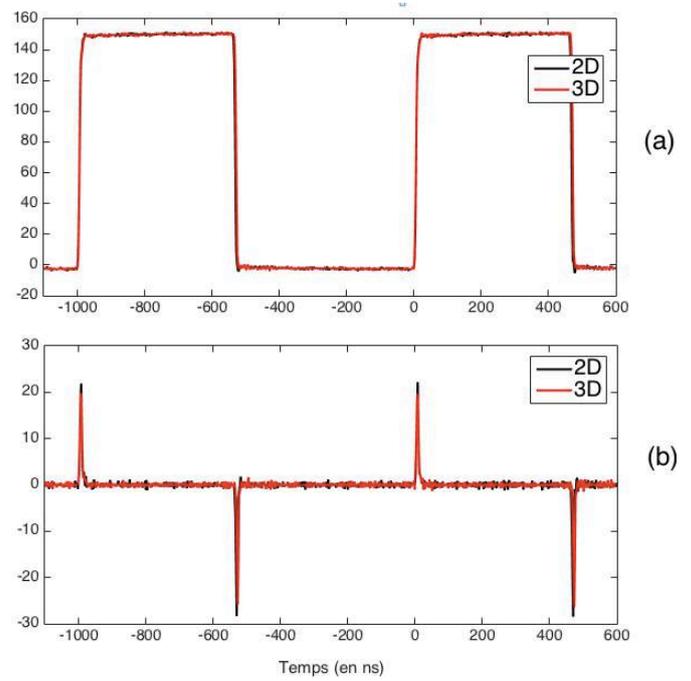


Fig. 18 Allures temporelles des potentiels flottants en V des structures "2D" et "3D" (a) et de leur variation en fonction du temps en V/ns (b)

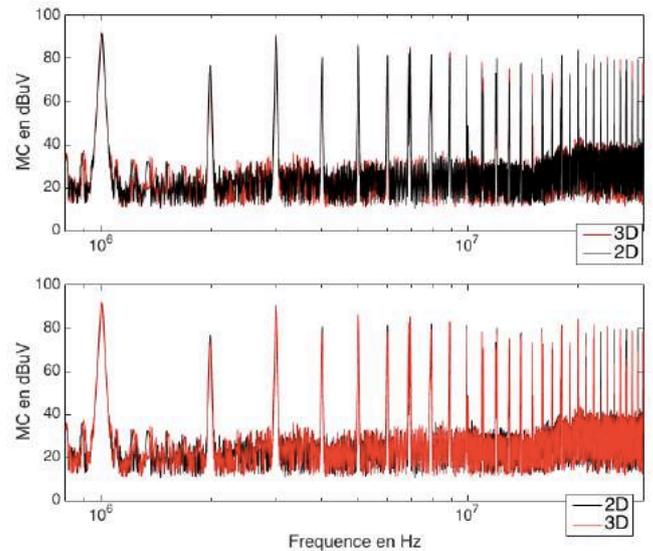


Fig. 19: Spectre CEM du mode commun des structures "2D" et "3D" lors de l'essai à vide sous 150 V

4.3. Comparaison du rendement des structures « 2D » et « 3D » en charge

Le rendement des deux structures a été relevé pour une tension d'entrée du Bus continu constante (20V) et un courant de charge variable (de 1A à 3A). La commande des

composants est identique aux essais précédents. Les résultats sont présentés par la figure 19 (Fig.19) en fonction de la puissance de sortie. Cette fois-ci, la structure "2D" se démarque clairement affichant jusqu'à 2 points de rendement supplémentaires pour les puissances élevées par rapport à la structure "3D". A pertes égales, la température de jonction des composants de la structure "3D" est beaucoup plus élevée qu'avec la structure "2D" à cause de l'effet "bouchon" (voir 3.1). La résistance à l'état passant ayant une dérivation thermique positive, les pertes en conduction sont augmentées pour la structure "3D" ce qui explique un rendement plus mauvais.

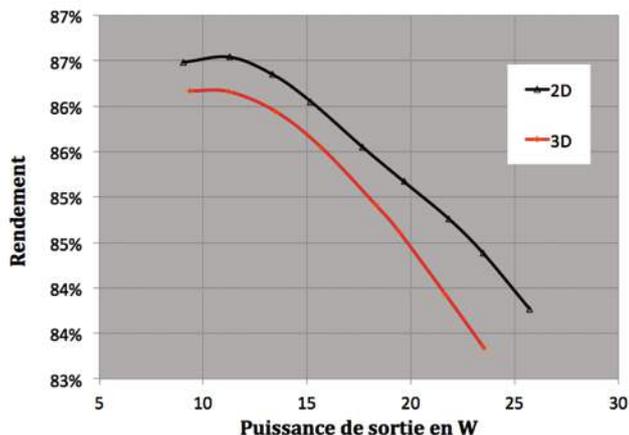


Fig. 20 Rendement de la structure "2D" (en noir) et "3D" (en rouge) en fonction de la puissance de sortie pour une tension de Bus continu de 20V

5. CONCLUSION

Une structure "3D" pour les composants 600V, 30A "GS66508P" de GaN-Systems a été réalisée et comparée avec une structure "2D" classique optimisée vis à vis des perturbations électromagnétiques conduites. Avec la technologie PCB multicouche, la réalisation "3D" permet une réduction significative de l'inductance de maille responsable des surtensions sur les composants (1,46 nH pour 7,47 nH). Cependant la structure "2D" est tout à fait acceptable pour l'utilisation de ces composants puisqu'aucune surtension n'est observable pendant les commutations en tension pour un courant de 10A et une tension d'entrée de 150V. Les essais en CEM conduite montrent que les deux structures sont équivalentes en termes de génération de courant de mode commun sans dispositif de refroidissement. Par contre, la géométrie de la structure "3D" couplée avec la stratégie de dissipation des pertes du boîtier des composants crée un "bouchon" thermique qui se traduit par un rendement inférieur à la structure "2D" pour une puissance de sortie donnée. Cependant, avec des composants refroidis par la face supérieure du boîtier (comme les nouveaux transistors "GS66508P" de GaN-Systems) un unique dissipateur thermique par composant pourra être utilisé. Les conclusions sur la comparaison des performances énergétiques, et sur les perturbations électromagnétiques en mode conduit pourraient bien tourner à l'avantage de la structure "3D".

6. BIBLIOGRAPHIE

- [1] D. Reusch and J. Strydom, "Understanding the Effect of PCB Layout on Circuit Performance in a High-Frequency Gallium-Nitride-Based Point of Load Converter," *IEEE Trans. Power Electron.*, vol. 29, no. 4, pp. 2008–2015, Apr. 2014.
- [2] K. Kam, D. Pommerenke, F. Centola, C.-W. Lam, and R. Steinfeld, "EMC guideline for synchronous buck converter design," in *IEEE International Symposium on Electromagnetic Compatibility, 2009. EMC 2009, 2009*, pp. 47–52.
- [3] E. Vagnon, P. Jeannin, J. Crebier, and Y. Avenas, "A Bus-Bar-Like Power Module Based on Three-Dimensional Power-Chip-on-Chip Hybrid Integration," *IEEE Trans. Ind. Appl.*, vol. 46, no. 5, pp. 2046–2055, Sep. 2010.
- [4] J.-L. Marchesini, P.-O. Jeannin, Y. Avenas, L. R. de Oliveira, C. Buttay, and R. Riva, "Realization and characterization of an IGBT module based on the power chip-on-chip 3D concept," in *2014 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2014, pp. 4691–4695.
- [5] "GaN-Systems.datasheet_transistors_GS66508P." [Online]. Available: <http://www.gansystems.com/gs66508p.php>. [Accessed: 27-Apr-2016].
- [6] C. Yao, W. Li, H. Li, C. Han, M. Wang, J. Qian, X. Zhang, F. Luo, and J. Wang, "Common-mode noise comparison study for lateral wire-bonded and vertically integrated power modules," in *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2015, pp. 3092–3098.
- [7] "GaN Systems." [Online]. Available: <http://www.gansystems.com/>. [Accessed: 27-Apr-2016].
- [8] Q. Liu, S. Wang, A. C. Baisden, F. Wang, and D. Boroyevich, "EMI Suppression in Voltage Source Converters by Utilizing dc-link Decoupling Capacitors," *IEEE Trans. Power Electron.*, vol. 22, no. 4, pp. 1417–1428, Jul. 2007.
- [9] J. Fan, J. L. Drewniak, J. L. Knighten, N. W. Smith, A. Orlandi, T. P. V. Doren, T. H. Hubing, and R. E. DuBroff, "Quantifying SMT decoupling capacitor placement in dc power-bus design for multilayer PCBs," *IEEE Trans. Electromagn. Compat.*, vol. 43, no. 4, pp. 588–599, Nov. 2001.
- [10] Z. Chen, Y.-T. Wong, T.-S. Yim, and W.-H. Ki, "A 12A 50V half-bridge gate driver for enhancement-mode GaN HEMTs with digital dead-time correction," in *Circuits and Systems (ISCAS), 2015 IEEE International Symposium on*, 2015, pp. 1750–1753.
- [11] K. Murata and K. Harada, "Analysis of a self turn-on phenomenon on the synchronous rectifier in a DC-DC converter," in *Telecommunications Energy Conference, 2003. IN^{TEC} '03. The 25th International*, 2003, pp. 199–204.
- [12] "AN-5073 - Active Miller Clamp Technology - AN-5073.pdf."
- [13] J. L. Schanen and J. Roudet, "Built-in EMC for integrated power electronics systems," in *2008 5th International Conference on Integrated Power Systems (CIPS)*, 2008, pp. 1–10.
- [14] M. Shoyama, Ge Li, and T. Ninomiya, "Balanced switching converter to reduce common-mode conducted noise," *IEEE Trans. Ind. Electron.*, vol. 50, no. 6, pp. 1095–1099, Dec. 2003.
- [15] C. M. Johnson and P. R. Palmer, "Current measurement using compensated coaxial shunts," in *Science, Measurement and Technology, IEE Proceedings-*, 1994, vol. 141, pp. 471–480.