



HAL
open science

Analyse du mécanisme d'un défaut ESD sur un MESFET en SiC

Tanguy Phulpin, David Trémouilles, Karine Isoird, Dominique Tournier,
Philippe Godignon, Patrick Austin

► **To cite this version:**

Tanguy Phulpin, David Trémouilles, Karine Isoird, Dominique Tournier, Philippe Godignon, et al..
Analyse du mécanisme d'un défaut ESD sur un MESFET en SiC. Journées Nationales du Réseau de
Doctorants en Microélectronique, Jun 2015, Bordeaux, France. hal-01339803

HAL Id: hal-01339803

<https://hal.science/hal-01339803>

Submitted on 30 Jun 2016

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Analyse du mécanisme d'un défaut ESD sur un MESFET en SiC

T. Phulpin^{1,2}, D. Trémouilles^{1,2}, K. Isoird^{1,2}, D. Tournier³, P. Godignon⁴, P. Austin^{1,2}

¹ CNRS, LAAS, 7 avenue du colonel Roche, F-31400 Toulouse, France

² Univ de Toulouse, UPS, LAAS, F-31400 Toulouse, France

³ Université de Lyon, CNRS, Laboratoire AMPERE, UMR 5005, INSA de Lyon, F-69621 Villeurbanne, France

⁴ Institut de Microelectrónica de Barcelona-Centre Nacional de Microelectrónica (IMB-CNM), Consejo Superior de Investigaciones Científicas (CSIC), Universitat Autònoma de Barcelona, 08193 Barcelona, Spain

E-mail : tphulpin@laas.fr

Résumé

De nos jours, la gestion de l'électricité devient de plus en plus importante. L'électronique de puissance joue un rôle important dans ce domaine, et des innovations sont souhaitées afin de limiter les pertes. C'est pourquoi l'élaboration de composant à semi-conducteur grand gap tels que le diamant, le GaN ou le SiC ont fait leur apparition sur le marché. Toutefois, des progrès sont à réaliser concernant leur fiabilité. Cet article présente la robustesse aux ESD d'un MESFET SiC et on proposera des solutions d'améliorations en s'appuyant sur des tests et des simulations afin de comprendre le déplacement du courant et les divers phénomènes qui se déroulent dans le composant tels que la non uniformité du courant ou l'apparition d'un transistor parasite.

1. Introduction

Grâce à des progrès dans la fabrication des composants à base de carbure de silicium (SiC), on les retrouve dans un large domaine d'application du à leurs qualités intrinsèque qui permettent une plus grande vitesse de saturation des porteurs, un champ critique et un band gap plus important, et une meilleure évacuation thermique.

L'innovation technique ne peut se passer de test sur le stress. Une des causes de défaut la plus importante sont les chocs électrostatiques (ESD)[1,2] et c'est pourquoi on va tester la robustesse d'un MESFET en SiC (Figure 1), qui a été conçu comme composant de commande pour un composant de puissance, travaillant en environnement sévère. ($T^{\circ} > 300^{\circ}C$)

Une description du composant ainsi que les mesures et l'analyse du défaut est donné dans cette première partie. La traduction du comportement électrique lors d'une ESD est proposé dans la partie 2 et des améliorations sont proposées pour conclure.

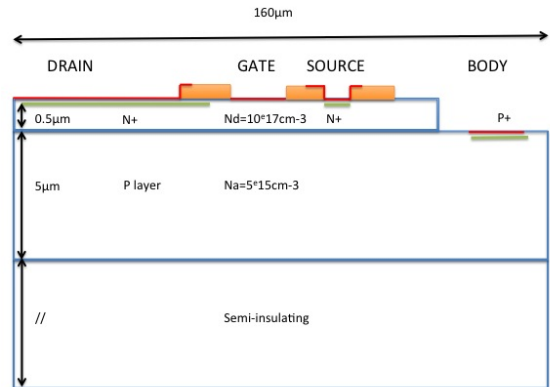


Figure 1: Schematic cross section of the studied SiC MESFET

2. Résultats expérimentaux

Afin de tester la robustesse ESD du MESFET SiC, on a dérivé du modèle de l'ESD en contact avec un humain (HBM) sur un test Transmission Line Pulse (TLP). Ce test est expliqué dans la partie ci dessous, et les résultats seront discutés par la suite.

2.1 Structure étudiée

On étudie donc un MESFET latéral réalisé pour travailler comme composant de commande d'un JFET de puissance évoluant en environnement sévère. Ce MESFET commute rapidement et a des faibles pertes en conduction. On retrouve ci dessous ces caractéristiques statiques avec une tenue en tension de 300V maximum [3].

Ce MESFET est un composant normally On avec une électrode de drain, une de source, une de grille et une de body. Cette dernière agit comme une deuxième grille [4] et va notamment améliorer la transconductance du composant ainsi que le pincement du canal. Le canal P permet d'isoler le MESFET des autres composants. Et apporte un effet RESURF sur le champ électrique.

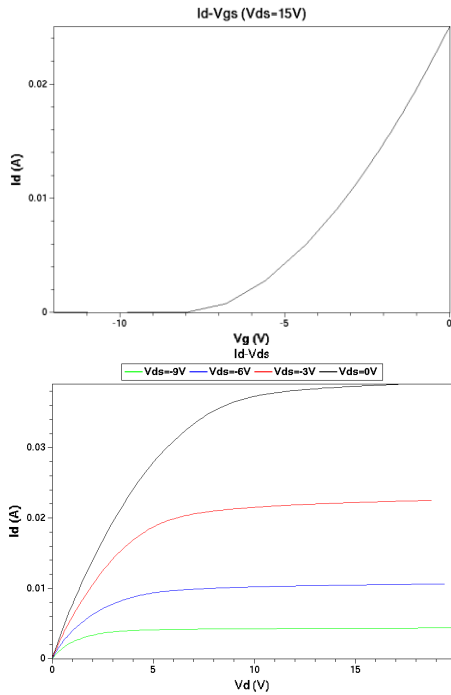


Figure 2: Id-Vds and Id-Vgs characteristics of the studied SiC MESFET

2.2 Résultat du test TLP

A 300 K, une pulse en tension, de 100ns, est appliqué sur le drain alors que la source est à la terre. Les électrodes de grille et de body sont laissées flottantes. On augmente l'amplitude du pulse jusqu'à la destruction du composant. On relève la tension (Vd) et le courant (Id) dans la partie stable des mesures et on s'assure entre chaque mesure du bon fonctionnement du MESFET. Le pas est de 10V et on augmente progressivement. A 300V, un snapback se produit alors que le composant est censé pouvoir soutenir une tension TLP plus importante (Figure 3).

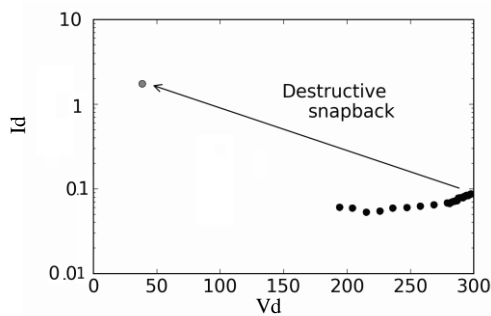


Figure 3: Id-Vd curve; Snapback occurs at a voltage above 300V during TLP Test.

2.3 Analyse du défaut

Dans le coin gauche du composant (Figure 4) qui a subi un snapback, on relève un repliement du métal de drain. On a reproduit l'expérience 2 fois et à chaque fois le repliement a laissé place à un défaut. On remarque que ce repliement correspond à l'échauffement du composant qui a entraîné une fonte du métal de drain.

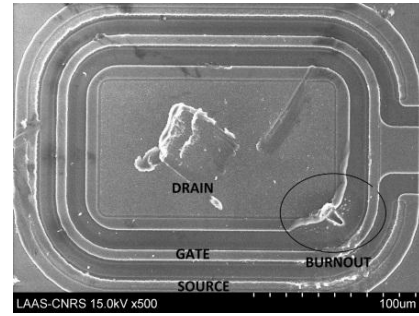


Figure 4: Damage observed at the corner of the SiC MESFET after TLP Stress (SEM photography).

L'analyse FIB (Figure 5) apporte un complément d'information, un trou a été formé dans le semiconducteur, trou allant jusqu'au substrat en passant par le canal N et l'épitaxie P.

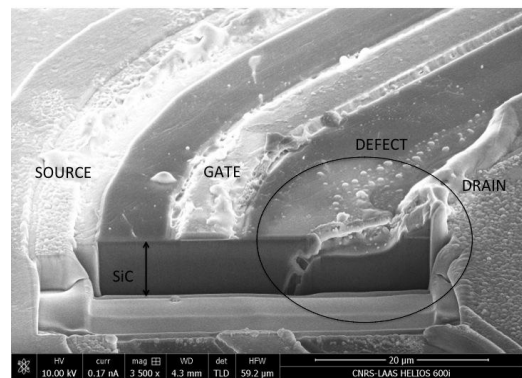


Figure 5: FIB cross section of damage on SiC MESFET after destructive snapback.

2.4 Évaluation de la robustesse HBM

De la mesure TLP, on peut aisément évaluer la robustesse HBM. En effet la différence entre les 2 configurations est la seule valeur de résistance en série de 1,5kΩ au lieu de 50Ω. Avec un courant de saturation de 50 mA, on obtient une robustesse ESD HBM au maximum de 375V. Cela classe le composant dans la catégorie 1A par rapport à la table de classification JEDEC, donc il faut être prudent en manipulant le composant avec ses mains.

Table 1: Part of JEDEC Classification

Classification	Voltage Range (V)
0A	< 125
0B	125 to < 250
1A	250 to < 500
1B	500 to < 1000

3. Compréhension physique

Afin de comprendre pourquoi le snapback arrive si prestement, on a réalisé des simulations avec TCAD sentaurus[5]. On va essayer de comprendre la formation de ce trou dans notre SiC.

3.1 TCAD simulation

La simulation va permettre de comprendre le comportement électrique qui se produit dans le composant lors d'un choc électrostatique [6,7]. Comme lors des mesures, on va appliquer un échelon sur le drain de notre composant alors que les électrodes de body et de grille sont laissées flottantes en simulant une forte résistance relié à la masse. On fera la simulation en 2D en laissant un Area Factor représentatif de la largeur de notre composant.

La tension d'avalanche de notre composant est actuellement définie par la tension que peut supporter l'angle du composant, car le défaut arrive toujours par là. Cela peut s'expliquer par la non uniformité du courant dans le composant. On sait que la répartition du champ électrique n'est pas la même dans un angle que dans une partie planaire [8]. On remarque de plus que la distance inter électrode n'est pas la même sur le layout de la structure (Figure 6).

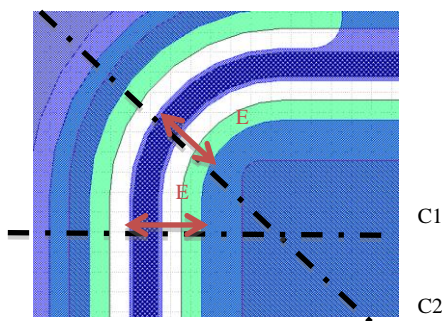


Figure 6: SiC MESFET layout zoom on the corner

La simulation donne en effet des résultats corrélant cette non uniformité (Figure 7).

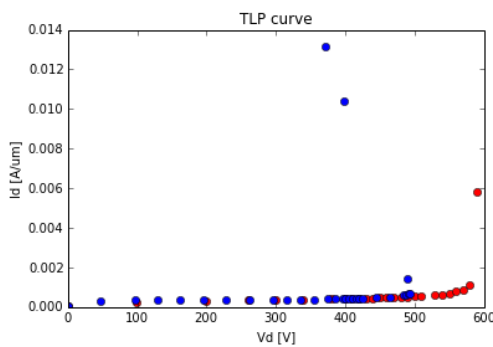


Figure 7: comparison between C1:planar (red dotted) and C2:circular (blue dotted) simulation with TCAD Sentaurus

On obtient ainsi une tension d'avalanche plus prompte pour la simulation faites selon l'axe C2 en bleu. Une amélioration possible serait peut être d'augmenter la distance entre le drain et la grille dans l'angle du MESFET.

3.2 Transistor parasite

La simulation TCAD nous permet de mieux comprendre le comportement électrique dans le composant (Figure 8).

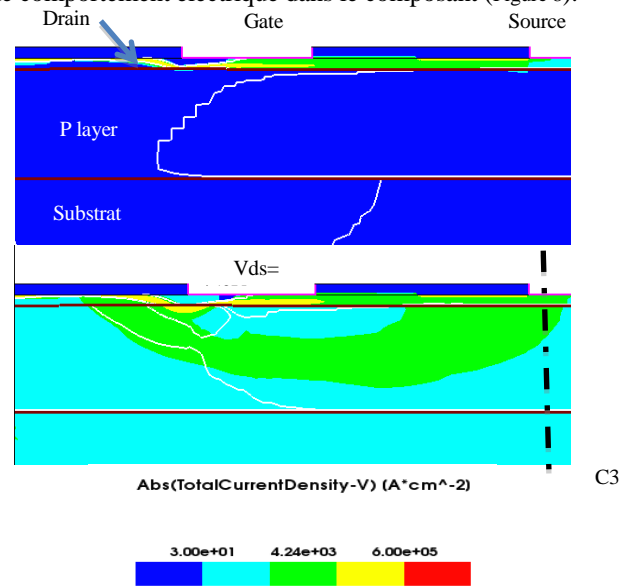


Figure 8: Total Current Density in SiC MESFET when $V_{ds}=100V$ and $V_{ds}=450V$

Les lignes blanches définissent les zones de charge d'espace, et les lignes rouges définissent les différentes zones de dopage du composant. On peut remarqué dans le cas où l'avalanche ne s'est déclenché que tout le courant passe à travers le canal N, alors qu'après la tension d'avalanche, les électrons passent autant par l'épitaxie P. La coupe C3 sous l'électrode de source (Figure 9) autorise à penser à la présence d'un transistor parasite car les trous sont en supériorités par rapport aux électrons dans le zone du canal N (-10,-9.5 um) alors que ce devrait être l'inverse.

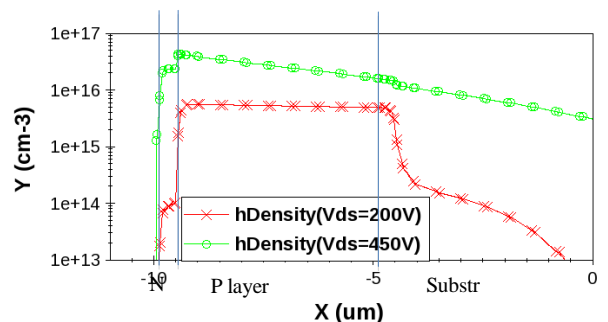


Figure 9: holes density in SiC MESFET below source electrode along C3 cutline from fig.11)

On peut légitimement penser donc à l'apparition d'un transistor parasite NPN, qui à la suite du blocage du canal enverrait des porteurs, par ionisation par impact, dans la zone épitaxie, qui créerait une différence de potentiel suffisante pour déclencher un transistor parasite (Figure 10) et ainsi déclencher l'avalanche du composant. Le déclenchement du transistor peut s'expliquer par l'accumulation des porteurs dans la zone

épitaxie P. Avec la résistance intrinsèque de cette zone P, d'environ égale à $7k\Omega$, cela fait une différence de potentiel avec le canal N qui justifie le déclenchement du transistor. [9]

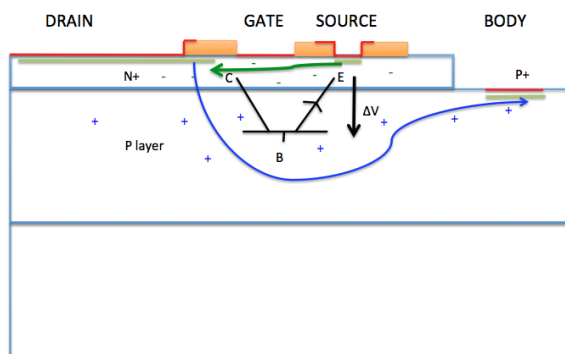


Figure 10: Carrier mobility behavior during high voltage in SiC MESFET

4. Amélioration de la robustesse

Il a été préalablement montré qu'un meilleur design de la structure permettrait une meilleure répartition du champ électrique dans le composant et contribuerait à l'amélioration de la robustesse ESD du composant. Toutefois, une autre solution semble se dessiner. Il suffirait de retarder le déclenchement de ce transistor parasite. Pour cela, il semble envisageable de diminuer la valeur de la résistance de la zone d'épitaxie P. Pour cela,

d'après la formule $R = \rho * L / S$, 3 solutions semblent possibles. On peut réduire le dopage, réduire la distance entre l'électrode source et de body ou augmenter l'épaisseur de l'épitaxie P. Ainsi le transistor parasite se déclencherait plus tardivement, toutefois l'isolation du MESFET vis à vis des autres composants est à caractériser de nouveau. La solution retenue serait de modifier l'épaisseur de la zone d'épitaxie P. Les résultats, en Figure 11, montrent la conséquence inverse, à savoir que c'est l'augmentation de la résistance du canal qui permettrait d'améliorer la robustesse ESD. En effet, il y aurait plus de courant de fuite mais le transistor parasite destructeur se déclencherait plus tardivement. On diminuerait ainsi l'isolation et du composant et sa tenue en tension lors d'ESD. En revanche la solution consistant à éloigner l'électrode du body ne permettrait pas une meilleure robustesse, bien qu'elle augmenterait la capacité en courant du MESFET qui au lieu de passer 40mA en passerait le double 80mA.

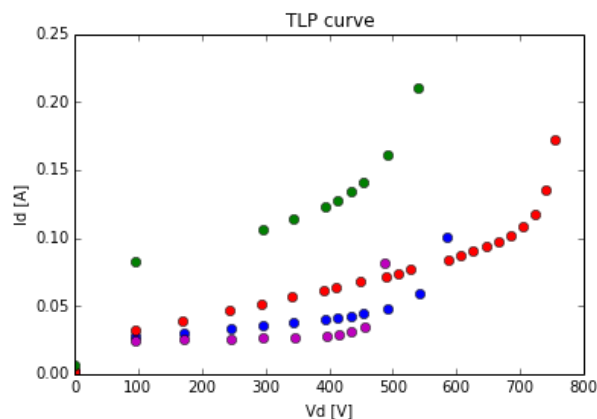


Figure 11: I_d - V_d of SiC MESFET; in green: body far; in blue: normal; in magenta: P thickness large; in red: P thickness short

5. Conclusions

La robustesse ESD d'un MESFET en SiC a été testée et est étonnamment faible. Cette faiblesse est liée au design et à l'apparition d'un transistor parasite. Cet article propose diverses solutions pour améliorer la robustesse ESD de ce composant.

References

- [1] A. Fayyaz and A. Castellazzi, "Performance and robustness testing of SiC power devices," in *Power Electronics, Machines and Drives (PEMD 2012), 6th IET International Conference on*, 2012, pp. 1–5.
- [2] R. Singh, "Reliability and performance limitations in SiC power devices," *Microelectronics Reliability*, vol. 46, no. 5–6, pp. 713–730, May 2006.
- [3] D. Arnaud, D. Tournier, P. Godignon, M. Viquel, J. Montserrat, X. Jorda, "Fabrication and Testing of 4H-SiC MESFETs for Analog functions Circuits", *Materials Science Forum*, vol. 645 - 648, pp. 1159-1162, April 2010.
- [4] D. Tournier, "Conception, réalisation et caractérisation d'un composant limiteur de courant en carbure de silicium et son intégration, système", INSA Lyon, *these*, March 2003.
- [5] S. D. U. Guide and E. Version, "Synopsys," Inc., Mountain View, CA, 2007.
- [6] P. Denis, P. Dherbécourt, O. Latry, C. Genevois, F. Cuvilly, M. Brault, and M. Kadi, "Robustness of 4H-SiC 1200V Schottky diodes under high electrostatic discharge like human body model stresses: An in-depth failure analysis," *Diamond and Related Materials*, vol. 44, pp. 62–70, Apr. 2014.
- [7] A. Fayyaz, L. Yang, and A. Castellazzi, "Transient robustness testing of silicon carbide (SiC) power MOSFETs," in *Power Electronics and Applications (EPE), 2013 15th European Conference on*, 2013, pp. 1–10.
- [8] L. T. Ngo, "Optimisation et réalisation d'une peripherie planar haute tension a poche," Institut National Polytechnique de Grenoble-INPG, Ph.D. *thesis*, 1997.
- [9] B. J. Van Zeghbroeck, W. Patrick, H. Meier, and P. Vettiger, "Parasitic bipolar effects in submicrometer GaAs MESFET's," *Electron Device Letters, IEEE*, vol. 8, no. 5, pp. 188–190, 1987.