



**HAL**  
open science

# Nouvelle architecture de DDS haute fréquence basse consommation compatible CMOS basée sur un incrément de phase variable

Kamel Achour, Éric Tournier

## ► To cite this version:

Kamel Achour, Éric Tournier. Nouvelle architecture de DDS haute fréquence basse consommation compatible CMOS basée sur un incrément de phase variable. Journées Nationales Microondes ( JNM ) 2015, Jun 2015, Bordeaux, France. hal-01136147

**HAL Id: hal-01136147**

**<https://hal.science/hal-01136147>**

Submitted on 26 Mar 2015

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

## Nouvelle architecture de DDS haute fréquence basse consommation compatible CMOS basée sur un incrément de phase variable

Kamel Achour<sup>1,(3)</sup>, Éric Tournier<sup>1,2</sup>

<sup>1</sup>CNRS, LAAS, 7 avenue du colonel Roche, F-31400 Toulouse

<sup>2</sup>Univ de Toulouse, UPS, LAAS, F-31400 Toulouse,

(<sup>3</sup>Désormais chez United Monolithic Semiconductors S.A.S., 10 avenue du Québec, F-91140 Villebon-sur-Yvette)  
tournier@laas.fr

**Résumé** Après un bref rappel des architectures conventionnelles de synthétiseurs digitaux directs (DDS) et des différents compromis qu'elles imposent en termes de consommation, de montée en fréquence, de diversité des formes d'ondes et de technologie utilisée, nous présentons une nouvelle architecture de DDS capable de réconcilier ces différentes contraintes, basée sur un générateur d'incrément de phase variables. Cet article présente le principe, les simulations comportementales ainsi que les résultats obtenus sur une technologie CMOS 65 nm.

### 1. Introduction

Comparé à d'autres synthèses de fréquence telles que celles basées sur une boucle à verrouillage de phase (PLL), le DDS est capable de générer des formes d'onde totalement arbitraires et non plus seulement sinusoïdales, avec une grande finesse de réglage en fréquence, un temps d'établissement quasi-instantané, un bruit de phase réduit et une bonne facilité d'intégration.

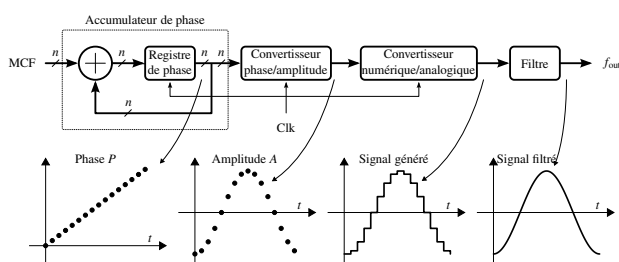


Figure 1. Structure conventionnelle d'un DDS

Dans son architecture conventionnelle (fig. 1), la consommation est généralement très élevée et la fréquence de fonctionnement limitée, ce qui s'explique en grande partie par la présence du convertisseur phase/amplitude (PAC) (souvent implémenté par une mémoire contenant les échantillons de la forme d'onde à générer), principal responsable de la dégradation des performances du DDS. Pour résoudre ces problèmes, plusieurs architectures de DDS haute-fréquence et/ou basse consommation ont été publiées dans la littérature scientifique, mais finalement,

elles permettent soit de diminuer la consommation [1], soit d'augmenter la fréquence [2, 3], soit plus rarement d'optimiser les deux [4, 5] mais dans ce dernier cas toujours au détriment de la diversité des formes d'onde, se limitant le plus souvent au cas de la sinusoïde.

Ce papier propose un nouveau principe de DDS, intégrable en technologie CMOS, avec une consommation réduite et une fréquence de fonctionnement élevée, mais qui surtout permet de conserver la capacité naturelle du DDS originel de pouvoir changer simplement de forme d'onde.

### 2. Utilisation d'un incrément variable

Le principe de l'architecture que nous proposons est donné fig. 2. Sa principale innovation réside dans le remplacement du PAC (et donc des limitations qu'il impose habituellement) par un générateur d'incrément MCF variable positionné en tête et assurant une mise en forme arbitraire du signal.

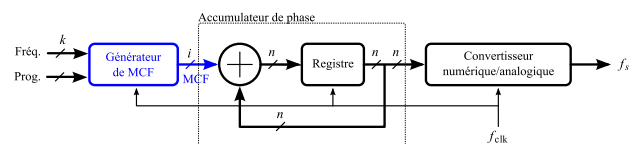


Figure 2. DDS basé sur un incrément variable

L'accumulateur de phase (PA) génère une succession de rampes de phase dont la pente change à chaque MCF en lui étant proportionnelle. Il devient alors possible de générer n'importe quelle forme d'onde après en avoir créé une approximation par segments, avec un compromis à trouver entre la précision de la forme d'onde et le nombre de segments.

Une mémoire reste nécessaire pour mémoriser la succession des segments (pentes et nombres de points qui les composent), mais elle est de taille très réduite : même dans le cas d'une approximation fine, sa taille reste bien inférieure au nombre de points total qu'il faut stocker dans le PAC à mémoire de la structure classique. On peut exploiter les symétries de la courbe pour ne stocker que le strict nécessaire (par ex. un quart de période de sinusoïde

suffit à définir toute la période). Un changement de forme d'onde implique simplement de reprogrammer cette mini-mémoire afin de changer les segments à générer.

En relâchant ainsi les contraintes sur la mémoire on relâche celles sur la limitation en fréquence, la consommation et l'aire d'intégration. De plus, en optimisant le choix des segments, il est possible de n'utiliser qu'un nombre très restreint de valeurs de MCF. La figure 3 montre la génération d'une sinusoïde basée sur ce principe, de façon volontairement grossière, à titre d'illustration, avec respectivement le sinus analogique, une approximation par segments, et l'approximation numérique de ces segments par accumulation de phase avec les valeurs de MCF correspondantes.

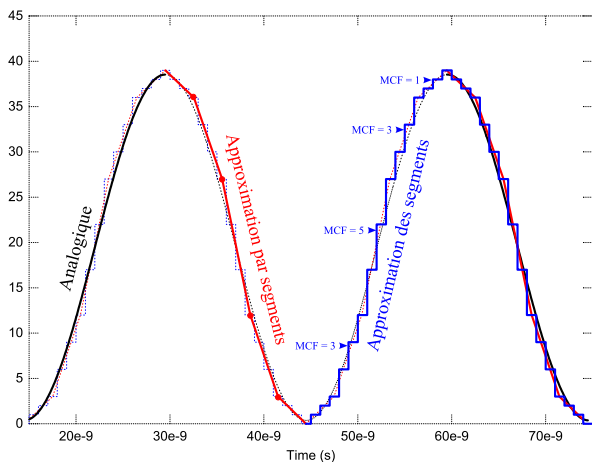


Figure 3. Illustration de la génération d'une sinusoïde

La version longue du papier décrira plus en détail le générateur de MCF. Nous nous focalisons dans cette version courte sur les résultats obtenus.

### 3. Implémentation en techno CMOS 65 nm

Une première implémentation de l'architecture proposée a été réalisée en logique rapide CML sur une technologie CMOS 65 nm (fig. 4). La forme d'onde retenue ici est une gaussienne, et une superposition des simulations comportementales (sous Verilog-A) et circuit pour une période est donnée fig. 5 pour une fréquence d'horloge de  $f_{clk} = 15\text{GHz}$ , après extraction des parasites. Le circuit consomme 120 mW, consommation qui peut être réduite en dessous des 99 mW si on accepte de redescendre la fréquence maximale de fonctionnement à 10 GHz. Le facteur de mérite habituellement utilisé pour les DDS est alors de 125 MHz/mW. Notons que ce facteur de mérite déjà très bon (souvent  $< 10$ , rarement égal à quelques dizaines) ne prend pas en compte la génération possible de différentes formes d'ondes, un des objectifs majeurs atteint ici.

### 4. Conclusion

Une nouvelle architecture de DDS basée sur un générateur d'incréments variables a été proposée. Elle permet de retrouver à haute fréquence, à basse consommation et sur technologie CMOS les capacités de mise en forme arbitraire du DDS originel basse fréquence, sacrifiées ces dernières années par les versions optimisée en fréquence et en consommation publiées dans la littérature scientifique.

XIX<sup>es</sup> Journées Nationales Microondes, 3-4-5 Juin 2015 - Bordeaux

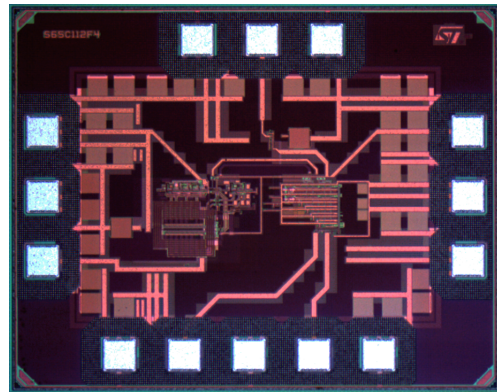


Figure 4. Photo de la puce

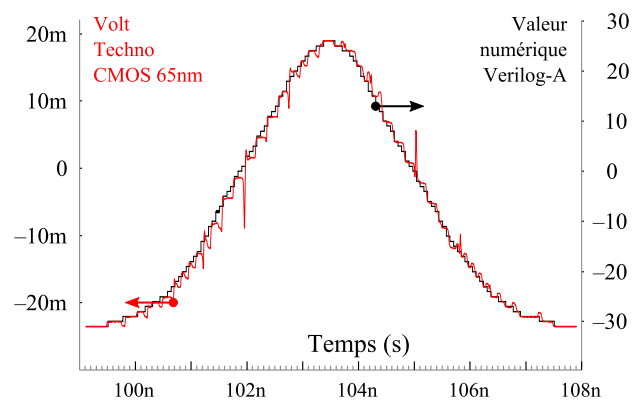


Figure 5. Génération d'une impulsion gaussienne (comportemental/circuit)  $f_{clk} = 15\text{GHz}$

### Références

- [1] H. C. Yeoh, J.-H. Jung, Y.-H. Jung, and K.-H. Baek, "A 1.3-GHz 350-mW hybrid direct digital frequency synthesizer in 90-nm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 45, pp. 1845–1855, Sep. 2010.
- [2] S. Manandhar, S. Turner, and D. E. Kotecki, "36-GHz, 16 times ; 6-bit ROM in InP DHBT technology suitable for DDS application," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 2, pp. 451–456, 2007.
- [3] S. Turner, R. Chan, and J. Feng, "ROM-based direct digital synthesizer at 24 GHz clock frequency in InP DHBT technology," *IEEE Microwave and Wireless Components Letters*, vol. 18, no. 8, pp. 566–568, 2008.
- [4] S. Thuries, E. Tournier, A. Cathelin, S. Godet, and J. Graffeuil, "A 6-GHz low-power BiCMOS SiGe :c 0.25  $\mu\text{m}$  direct digital synthesizer," *IEEE Microwave and Wireless Components Letters*, vol. 18, no. 1, pp. 46–48, Jan. 2008.
- [5] J.-H. Weng, C.-Y. Yang, and Y.-L. Jhu, "A low-power direct digital frequency synthesizer using an analogue-sine-conversion technique," in *Low Power Electronics and Design (ISLPED) 2011 International Symposium on*, 2011, pp. 193–197.