



Conception d'un JFET haute tension à canal latéral et vertical en carbure de silicium

Florian Chevalier, Pierre Brosselard, Dominique Planson, Dominique Tournier

► To cite this version:

Florian Chevalier, Pierre Brosselard, Dominique Planson, Dominique Tournier. Conception d'un JFET haute tension à canal latéral et vertical en carbure de silicium. JNRDM2011, May 2011, Paris, France. <hal-01113175>

HAL Id: hal-01113175

<https://hal.science/hal-01113175v1>

Submitted on 4 Feb 2015

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



HAL Authorization

Conception d'un JFET haute tension à canal latéral et vertical en carbure de silicium

Florian CHEVALIER
Université de Lyon – INSA de Lyon
Laboratoire Ampère – CNRS
21 avenue Jean Capelle
69 621 Villeurbanne CEDEX

Pierre BROSELARD
Dominique PLANSON
Dominique TOURNIER

Email : florian.chevalier@insa-lyon.fr

Résumé

Cet article a pour but de présenter les avancées des travaux dans le domaine des interrupteurs électroniques de puissance, en particulier à base de transistors à effet de champ. Après un bref état de l'art dans ce domaine, on trouvera décrit en détail un JFET à canal vertical et latéral, qui présente de très nombreux avantages, en particulier pour les tensions très élevées. Cette structure a été retenue après comparaison avec un JFET à canal vertical seulement, non présenté ici, plus simple à fabriquer d'un point de vue technologique, mais moins adapté aux applications de haute tension visées.

1. Introduction

Traditionnellement, les composants à semiconducteur sont fabriqués en silicium Si. Ces composants présentent de très bonnes caractéristiques dans les applications actuelles, mais sont limités en termes de tenue en tension (6 kV), de montée en courant, en fréquence ou en température (125°C) [1].

Les travaux menés sur les composants de puissance en Carbure de Silicium (SiC) depuis de nombreuses années ont permis de mettre évidence les propriétés intéressantes de ce matériau pour la fabrication d'interrupteurs dans les applications où l'on cherche à atteindre des objectifs plus élevés que ceux évoqués ci-dessus.

Parmi les différentes formes cristallines, appelées polytypes, du carbure de silicium, celui qui a été choisi pour la fabrication, et, depuis quelques années, la commercialisation, de composants est le « 4H » (structure cristalline hexagonale). En effet, le SiC-4H présente une bande interdite très grande (environ 3,3 eV, soit 3 fois celle du Si) et un champ critique très élevé (2,5 MV/cm soit 8 fois celui du Si) par rapport aux autres polytypes. Ces deux caractéristiques parmi de nombreuses autres permettent d'envisager des composants résistant à des puissances très élevées. En plus de la disponibilité des substrats de SiC, ce matériau présente également l'avantage de permettre la croissance d'un très bon oxyde natif, le dioxyde de silicium SiO₂, qui, comme nous le verrons plus loin, permet une très bonne isolation des couches semiconductrices ou des électrodes.

Parallèlement, la conception de composants électroniques de puissance s'est d'abord orientée vers les diodes Schottky pour les applications PFC (*Power Factor Compensation*) [2]. Ces composants sont aujourd'hui commercialisés, mais les recherches continuent avec des objectifs de montée en tension ou en courant. Notamment, afin d'augmenter la capacité en sur-courant des diodes Schottky, des travaux ont été réalisés sur une combinaison des effets Schottky et bipolaires appelée JBS [3]. Enfin, les diodes purement bipolaires permettent également d'envisager la fonction interrupteur de puissance avec des transistors bipolaires ou des thyristors.

Dans cet objectif de fonction interrupteur de puissance, des composants unipolaires sont commercialisés depuis le 17 janvier 2011. Il s'agit des MOSFET (*Metal-Oxide-Semiconductor Field Effect Transistor*) et des JFET (*Junction FET*). Pour des raisons de technologie de fabrication, ces derniers sont les plus matures, et les plus adaptés à la tenue en tension et à la conduction de courants forts.

En effet, en ce qui concerne les MOSFET, l'électrode de commande (la « grille ») est séparée de la zone conduisant le courant (le « canal ») entre les deux électrodes de puissance (le « drain » et la « source »), par un oxyde, généralement le dioxyde de silicium, SiO₂. Or l'interface SiO₂/SiC présente de nombreux « pièges » pour les électrons, qui dégradent fortement la circulation du courant dans le canal [4].

Le blocage des JFET repose également sur la polarisation inverse d'une jonction de type *pn*, qui présente des courants de fuite faibles. Cependant, le fait de polariser cette jonction en inverse présente une contrainte, la tension de commande pour le blocage V_{gs-off} doit être négative. La commutation de l'état passant à l'état bloqué reste toutefois plus rapide pour les JFET que pour les transistors bipolaires.

2. Contexte et cahier des charges

L'objectif du projet dans lequel s'inscrivent ces travaux, est la conception et la fabrication d'un ensemble convertisseur-machine d'une puissance de 300 kW pour des applications de propulsion navale. Il faut donc réaliser deux onduleurs 2 kV – 100 A. Les composants développés devront donc avoir une tenue en tension $\geq 3,5$ kV. On souhaite également que la tension de commande pour le blocage soit comprise entre – 20 et

– 100 V. On prévoira sur la structure une diode interne en parallèle inverse, qui jouera le rôle de diode de roue libre dans l'onduleur.

3. Outils et moyens de simulation

Avant de réaliser les « masques » qui permettront leur fabrication, les composants ont été simulés afin d'optimiser les différents paramètres. Nous avons adopté deux méthodes distinctes de simulation : tout d'abord des simulations simples à partir de modèles analytiques saisis dans un logiciel de calcul scientifique, afin de fixer les valeurs de certains paramètres. Il s'agit des premières étapes du processus technologique de fabrication, pour lesquelles nous avons une gamme restreinte de valeurs. Ensuite, nous avons affiné la géométrie de la structure ainsi que certains dopages à l'aide de simulations par la méthode des éléments finis, dans la suite logicielle Sentaurus de Synopsys.

3.1 Simulation analytique

Les premières simulations ont permis de fixer les paramètres sur lesquels le degré de liberté était pour nous le plus faible.

Le premier paramètre à fixer est l'épaisseur W de l'épitaxie (figure 1), c'est-à-dire la zone devant supporter la tension dans le cas d'un composant vertical ; en effet, la tenue en tension du composant nécessite une grande longueur de matériau semiconducteur, et c'est pourquoi nous nous servons de l'épaisseur de l'épitaxie. Le « drain » (électrode D) se retrouve donc sur la « face arrière » du « wafer ». On calcule la tenue en tension de cette couche :

$$V_{br} = \left(1 - \frac{q N W}{2 \epsilon_S E_C}\right) \cdot W \cdot E_C \quad (1)$$

où q est la charge de l'électron ($1,6 \cdot 10^{-19}$ C), ϵ_S est la permittivité relative du matériau (9,6), E_C le champ critique (2,5 MV/cm). Ainsi, en fonction de la tenue en tension désirée, on retiendra un couple épaisseur W (en μm) et dopage N^- (en cm^{-3}).

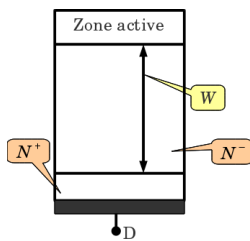


Fig. 1 : L'épitaxie est la zone qui supportera la haute tension

Le second paramètre à optimiser est le dopage ainsi que la largeur du canal (ou intercellule). En effet, celui-ci est réalisé par une seconde épitaxie au-dessus de la zone de tenue en tension (zone de *drift*). Pour cela, nous allons calculer un compromis résistance à l'état passant faible – tension de commande pour le blocage faible, ces deux paramètres variant dans des proportions inverses :

$$R = \frac{1}{q N \mu_n} \frac{l}{a} \quad (2)$$

$$V_p = \frac{q N l^2}{8 \epsilon_S} \quad (3)$$

l est la longueur du canal (dans le sens de circulation du courant), et a la section traversée par le courant. μ_n est la mobilité des électrons.

Nous avons vu que les JFET étaient des composants unipolaires, c'est-à-dire que la conduction n'est assurée que par un seul type de porteurs ; ainsi, nous pouvons facilement ne prendre en compte que la valeur d'un seul type de dopage et la mobilité d'un seul type de porteurs, et négliger l'autre.

Par ailleurs, la formule (2) est une formule générale du calcul de la résistance ; pour obtenir la résistance à l'état passant du composant, il faut appliquer cette formule à chacune des couches que va traverser le courant, et en faire la somme.

3.2 Simulation par la méthode des éléments finis

L'optimisation de ces premiers paramètres nous permet de réduire ainsi le champ des possibilités sur la structure. Mais il faut cependant affiner certains paramètres, notamment géométriques, pour lesquels la modélisation analytique n'est pas suffisamment sensible. Nous allons donc préparer des simulations par la méthode des éléments finis. Les composants que nous étudions travaillent essentiellement en commutation, c'est pourquoi les équations que nous aurons à résoudre seront l'équation de Poisson (4), et les équations de transport des électrons et des trous (5) :

$$\nabla \cdot (\epsilon_S \nabla \phi + \vec{P}) = -q(p - n + N_D - N_A) - \rho_{trap} \quad (4)$$

avec n et p les concentrations respectivement en électrons et en trous, N_D et N_A les dopages respectivement donneur et accepteur, et ϕ le potentiel électrostatique au point considéré. Ces valeurs seront calculées dans la résolution de l'équation de Poisson :

$$\nabla \cdot \vec{J}_n = q R_{net} + q \frac{\partial n}{\partial t} \quad \text{et} \quad -\nabla \cdot \vec{J}_p = q R_{net} + q \frac{\partial p}{\partial t} \quad (5)$$

avec R_{net} le taux de recombinaison.

4. Structure à canal latéral et vertical

4.1 Présentation de la structure

La structure simulée est celle présentée en figure 2. Le courant circule entre le drain, en face arrière (non représenté ici) et la source (électrode S). Le chemin qu'empruntent les électrons passe donc d'abord par un canal latéral avant de plonger par le canal vertical. Le canal latéral est délimité en bas par une région dopée de type p^+ , à laquelle est reliée une électrode de grille (électrode G), et en haut par un contact Schottky, auquel est relié la seconde électrode de grille (électrode G).

Ces deux électrodes permettront d'obstruer le passage du courant dans cette partie du composant, et ainsi de réaliser le blocage du JFET à des tensions moindres par rapport à celles habituelles des JFET à canal purement vertical (des simulations ont été réalisées sur ce dernier type de structure afin de comparer, mais aussi de préparer d'éventuelles évolutions dans les procédés de fabrication, et pour des raisons de confidentialité, ces résultats ne seront pas directement présentés ici).

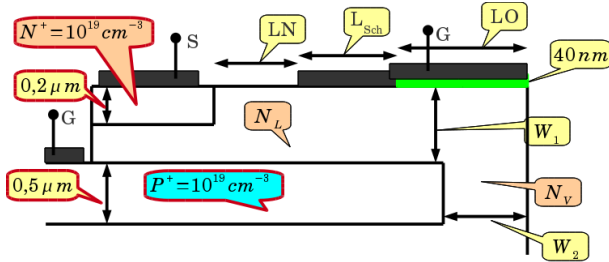


Fig. 2 : Vue en coupe de la zone active du JFET à canal latéral et vertical

4.2 Mise en œuvre des simulations

Les simulations analytiques permettent de dégager un couple épaisseur-dopage : typiquement, pour des composants 3 500 V, ce couple sera de 40 μm dopé à 10^{15} cm^{-3} .

Après avoir fixé les premiers paramètres d'ordre technologiques présentés ci-dessus, nous avons fait des simulations pour obtenir les valeurs des dopages des canaux vertical et latéral, respectivement N_V et N_L sur la figure 2. Les valeurs envisagées variaient entre 10^{15} et 10^{18} cm^{-3} ; rapidement, il est apparu que 10^{16} cm^{-3} représentait pour les deux grandeurs le compromis le plus avantageux entre tension de blocage faible, tenue en tension élevée et résistance à l'état passant. En effet, plus le niveau de dopage va être élevé, plus la résistance sera faible, au détriment de la tension de blocage plus élevée, et la tenue en tension amoindrie.

Les paramètres à optimiser ensuite sont des paramètres géométriques : il s'agit des largeurs des canaux latéral et vertical, respectivement W_1 et W_2 sur la figure 2, ainsi que la longueur du canal latéral, via les grandeurs LO , L_{Sch} et LN . Pour cela, des simulations ont été lancées en faisant varier chacun des paramètres entre 3 et 5 μm. Cela représente environ 2000 h de travail, en comptant la mise en place des batteries de simulation et l'exploitation des résultats, chaque simulation comportant environ 30 000 nœuds.

En combinant les simulations analytiques avec les premiers résultats de simulations par la méthode des éléments finis, on déduit rapidement que le couple $(W_1, W_2) = (3, 3) \text{ μm}$ présente les meilleures caractéristiques électriques et des contraintes suffisamment faibles sur la fabrication.

4.3 Exploitation des résultats et extraction des valeurs optimales

Afin d'extraire les valeurs optimales du jeu de paramètres, nous avons mis en place un critère d'optimisation, inspiré des travaux de Baliga [5] :

$$OPT = \left| \frac{V_{br}^2}{R_{on} \cdot V_{gs-off}} \right| \quad (7)$$

Prendre la valeur absolue de cette relation permet simplement de travailler avec des valeurs positives malgré la tension de blocage V_{gs-off} qui est négative.

Pour élaborer ce critère, il a ainsi suffi de mettre au numérateur les valeurs que l'on souhaite voir maximales, et au dénominateur les valeurs que l'on souhaite voir minimales.

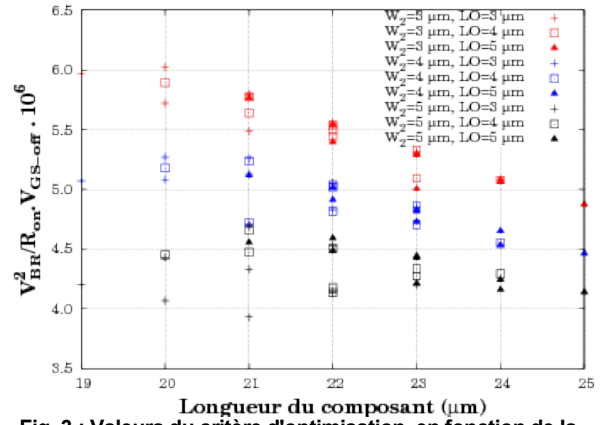


Fig. 3 : Valeurs du critère d'optimisation, en fonction de la longueur totale de la demie-cellule, pour un couple de paramètres à optimiser

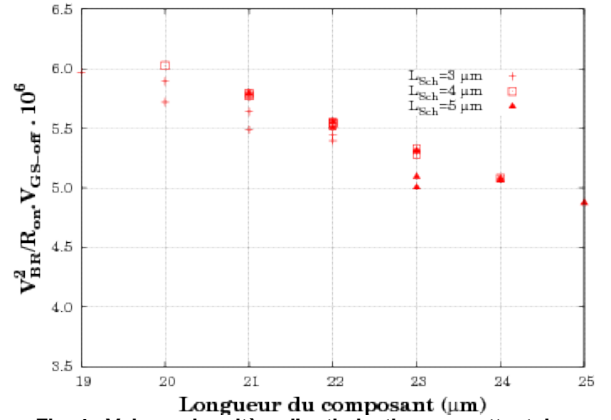


Fig. 4 : Valeurs du critère d'optimisation permettant de déterminer la longueur de grille Schottky

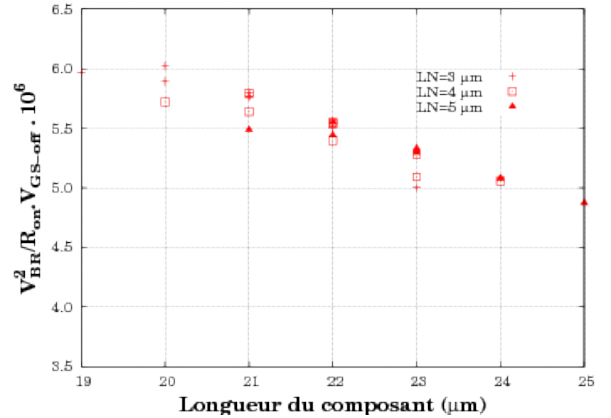


Fig. 5 : Valeurs du critère d'optimisation avec lesquelles on conclut sur la longueur du canal latéral

On voit sur la figure 3 qu'une condition nécessaire à une bonne tenue en tension du composant est de prendre $LO > W_2$. Sachant que l'on a pu poser $W_2 = 3 \text{ μm}$, on va prendre $LO = 5 \text{ μm}$; de là, on va éliminer les longueurs trop petites, qui mèneraient à des composants irréalisables. De même, les longueurs trop grandes vont être éliminées, presque d'elles-mêmes, à cause d'un R_{on} trop grand. On en déduit que la longueur totale du composant (en comptant les plots de source et de grille enterrée de 5 μm chacun) doit être comprise entre 21 et 23 μm. On va donc chercher les valeurs pour les paramètres manquant de manière à se retrouver dans cet intervalle. La figure 4 permet de fixer la longueur du contact Schottky à 4 μm, et de la figure 5, on fixe la marge entre la source et le contact Schottky à 3 μm.

Cependant, il convient de ne pas faire une confiance aveugle aux résultats fournis par le critère, et ne pas perdre de vue que tout résultat scientifique annoncé doit pouvoir être vérifié. Ainsi, le critère peut faire apparaître des optima « artificiels » ; il arrive en effet que certaines valeurs très faibles de V_{gs-off} compensent des valeurs de R_{on} très élevées : ceci s'explique par un canal déjà fortement pincé (le courant passe donc par un conduit très étroit, qui présente une résistance très élevée). Il suffit à ce moment d'une tension très faible pour l'obstruer complètement ($V_{gs-off} \rightarrow 0$). Il faut alors, pour un point donné, vérifier directement les caractéristiques électriques.

Les points optimaux que l'on peut extraire grâce au critère sont résumés dans le tableau ci-dessous :

LO	L_{Sch}	LN	R_{on}	V_{BR}	V_{gs-off}
5	3	4	171,5	4302	-20
5	4	3	171,6	4305	-19,5

La résistance R_{on} est exprimée en $m\Omega.cm$, la tenue en tension V_{BR} et la tension de commande pour le blocage V_{gs-off} en V. Ces deux jeux de paramètres ont été retenus pour leurs caractéristiques proches.

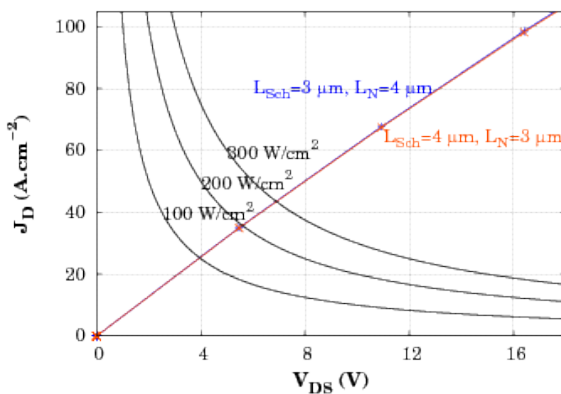


Fig. 6 : Le composant devant fonctionner en interrupteur, les tensions à ses bornes seront faibles à l'état passant

Sur le graphique de la figure 6 sont représentées les courbes d'isopuissance de dissipation des boîtiers ; on en déduit que pour un courant de 100 A, on a besoin d'une surface active de $4 cm^2$ en travaillant à $12 A.cm^{-2}$.

5. Conclusion sur la fabrication du composant

Le composant ainsi conçu répond au cahier des charges en termes de tenue en tension et de tension de commande pour le blocage ; par ailleurs, il est facilement adaptable pour atteindre le calibre en courant désiré. En lui donnant une structure adéquate, on pourra facilement disposer quatre composants en parallèle dans un module, puis mettre en parallèle le nombre de modules nécessaires (entre 2 et 4). Pour cela, le dessin des masques envisagé, pour un composant, consiste à mettre le plot de grille dans un coin (par exemple en bas à droite sur la figure 7, qui représente une vue de dessus du composant, appelée vue masque, au niveau de métallisation), et de couvrir le reste de la surface avec un plot de source.

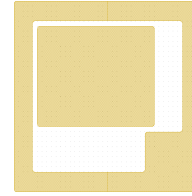


Fig. 7 : Vue masque du composant, niveau de métallisation

En ce qui concerne la réalisation technologique, nous avons vu que pour former le canal vertical, deux caissons p^+ enterrés devaient être séparés de $6 \mu m$ (le dimensionnement s'est fait sur une demie-cellule) : ces caissons ne peuvent ainsi être réalisés que par implantation, les techniques de croissance ou épitaxie localisées n'étant pas suffisamment matures. Ensuite, il faut une couche n pour former le canal latéral. Cette couche sera réalisée par une reprise d'épitaxie ; c'est là la principale difficulté du processus de réalisation. Pour un composant à canal vertical seulement, cette étape n'est pas nécessaire, ce qui allège considérablement les contraintes et les délais de réalisation.

Il est important de noter, une fois encore, que l'électrode de grille en surface est un contact Schottky, protégé des pics de champ par un oxyde. La présence de ce contact en regard du caisson p^+ permet d'atteindre une tension de commande pour le blocage beaucoup plus faible que ce qui a pu être vu jusqu'à présent pour des JFET où le canal latéral est délimité par deux caissons p^+ , ou encore pour les JFET à canal vertical seulement ; de plus, le blocage sera beaucoup plus efficace que pour les MESFET de puissance où le caisson p^+ n'est *a priori* relié à aucune électrode. C'est cette innovation que nous revendiquons dans le brevet n°BR67419/CPI/VP du 29 juillet 2010.

6. Références

- [1] T. Setz, M. Lüscher, *Applying Integrated Gate Commutated Thyristor*, Application note, ABB Semiconductors, 2007
- [2] M. Treu, R. Rupp, H. Kapels, W. Bartsch, *Temperature dependence of forward and reverse characteristics of Ti, W, Ta and Ni Schottky diodes on 4H-SiC*, Materials Science Forum vols. 353-356 (2001) pp 679-682
- [3] P. Brosselard, *Bipolar conduction impact on electrical characteristics and reliability of 1.2- and 3.5 kV 4H-SiC JBS diodes*, IEEE transactions on electron devices vol. 55, pp 1847-1856, 2008
- [4] B. J. Baliga, *Critical nature of oxide/interface quality for SiC power devices*, Microelectronic engineering vols. 28 (1995) pp 177-184
- [5] B. J. Baliga, *Silicon carbide power devices*, World scientific, 2006

7. Remerciements

Je tiens à remercier la DGA à l'origine du projet MADASiC dans lequel s'inscrivent ces travaux, et qui le supporte financièrement. Je lui suis également reconnaissant pour le financement de ma thèse et son implication dans l'avancée de mes activités.