

Méthodes Spécifiques de Caractérisation et de Commande de Composants Grand Gap en Environnement Variable

Romain GREZAUD^{1,2}, François AYLÉ¹, Nicolas ROUGER^{2,3}, Jean-Christophe CREBIER^{2,3}

¹ MINATEC – CEA-LETI 17 rue des Martyrs F38054 Grenoble Cedex 9

² Univ. Grenoble Alpes, G2Elab F38000 Grenoble

³ CNRS, G2Elab, F38000 Grenoble

RESUME - Afin d'évaluer précisément et avec une grande flexibilité l'impact du point de fonctionnement et de la température sur les performances en commutation des composants grand gap (CGG), nous proposons une méthode spécifique de caractérisation basée sur l'architecture d'un hacheur série fonctionnant en mode pulsé. Une simulation électrothermique montre que le stress thermique dû à cette méthode est considérablement réduit comparé à la méthode du double pulse, permettant ainsi une caractérisation dynamique large signal sans nécessité de mise en boîtier avec échange thermique spécifique. Un JFET SiC a été caractérisé en dynamique sur plusieurs points de fonctionnements jusqu'à 250V/20A et sous un flux d'air de 350°C avec une seule inductance de charge. À partir de ces résultats nous proposons une méthode d'adaptation de la commande des CGG à leur environnement. Un driver fabriqué en technologie AMS 0.35µm permet d'étendre la plage de fonctionnement d'un CGG en limitant sa vitesse de commutation dans les cas extrêmes en adaptant sa résistance de grille de commande de 0.7Ω à 12.5Ω.

Mots-clés—auto-échauffement, caractérisation double pulse, composant grand gap, conduction parasite, driver adaptatif, hacheur série, protection, surtension.

1. INTRODUCTION

Pour les applications haute fréquence [1]-[3], haute densité [4]-[6] de puissance et haute température [6]-[10] les composants silicium présentent des limites intrinsèques qui peuvent être dépassées par les Composants Grand Gap (CGG) [11]-[14]. Ces nouveaux composants dont font parties les HEMTs GaN et les JFETs SiC sont encore en phase de développement et doivent encore évoluer pour leur adoption massive dans les convertisseurs industriels. Des améliorations au niveau des caractéristiques fonctionnelles mais aussi au niveau de leur robustesse sont encore nécessaires. Il en va de même pour leur circuit de commande. Ceux-ci requièrent en effet plus d'attention au niveau de la grille à cause de temps de commutation et d'énergie d'activation plus faibles que leurs homologues en silicium.

La méthode la plus couramment utilisée pour caractériser les performances en régime dynamique large signal de ces composants de puissance est la méthode du double pulse [7],

[15]-[17]. L'impact de la méthode de caractérisation sur le composant testé (Device Under Test : DUT) a déjà été étudié dans [18]. Basé sur l'évaluation du stress thermique du DUT dû à la méthode de caractérisation nous proposons un banc de caractérisation spécifique pour CGG. Son architecture est un hacheur série particulier fonctionnant en mode pulsé et permettant d'évaluer indépendamment l'impact du point de fonctionnement et de la température sur les performances des CGG avec une influence sur les commutations contenue et un maximum de flexibilité.

À partir des résultats de caractérisation en dynamique obtenus nous proposons une méthode d'adaptation de la commande des CGG à leur environnement de commutation grâce à un driver à impédance de sortie programmable. Une telle méthode a été utilisée dans des travaux antérieurs pour réduire les différences de temps de commutation entre plusieurs IGBTs en parallèles [19]. Le circuit de commande que nous présentons permet lui, à la manière d'un circuit d'aide à la commutation, d'étendre la plage de fonctionnement d'un CGG. Dans un convertisseur de puissance, limiter la vitesse de commutation du courant di/dt et de la tension dv/dt dans les cas extrêmes prévient les composants de puissance de surtensions destructives et remises en conduction parasites au prix de pertes par commutation supplémentaires. En faisant varier l'impédance de sortie du driver il est possible de contrôler la vitesse de commutation du composant piloté et ainsi fournir une protection efficace directement au niveau de sa grille sans ajout de composants discrets haute tension.

Cet article introduit les principales caractéristiques des composants grand gap en section 2. Leur caractérisation par la méthode du double pulse est étudiée en section 3. En section 4 et 5 la méthode spécifique de caractérisation en dynamique et l'impact de l'environnement sur les commutations des CGG sont présentés. Le circuit de commande à impédance de sortie programmable qui en découle sera détaillé en section 6.

2. LES COMPOSANTS GRAND GAP

2.1. Leurs caractéristiques

Les composants grand gap sont appelés ainsi de part leur matériau semi-conducteur qui possède un plus grand gap entre

leur bande de conduction et leur bande de valence. Une énergie plus importante est donc nécessaire pour faire passer un électron de la bande de valence à la bande de conduction conférant ainsi au CGG la capacité de fonctionner à plus hautes températures. Les CGG ont aussi un champ électrique critique E_{crit} plus important. Les semi-conducteurs 4H-SiC et GaN ont par exemple un E_{crit} quinze et dix fois supérieur aux composants silicium. La largeur de la zone de déplétion non tronquée W_{drift} et le niveau de dopage N_{drift} d'un transistor fonctionnant en zone linéaire sont donnés par (1) et (2).

$$W_{drift} = \frac{2V_{BR}}{E_{crit}} \quad (1)$$

$$N_{drift} = \frac{E_{crit}^2 \cdot \epsilon}{2q \cdot V_{BR}} \quad (2)$$

La largeur de la zone de déplétion W_{drift} est proportionnelle au rapport de la tension de claquage V_{BR} par le champ critique E_{crit} tandis que le niveau de dopage est proportionnel au rapport de E_{crit}^2 par V_{BR} . À tensions de claquage égales des composants SiC et GaN peuvent respectivement être quinze et dix fois plus petits qu'un composant classique avec des niveaux de dopages plus importants. Aussi, à tension V_{BR} fixée les CGG ont une résistance spécifique à l'état passant R_{on-S} plus faible [12]-[13]. Ceci est le cas car au niveau des mobilités des électrons, les ordres de grandeurs sont comparables donc sans pénalité au niveau de l'état passant des composants. Par conséquent l'optimisation de R_{on-S} et de la densité de puissance résultera toujours en un CGG plus petit que son homologue silicium. Ces composants plus petits ont donc des capacités électriques parasites plus faibles mais aussi des capacités thermiques C_{th} plus faibles conduisant à des problèmes d'auto-échauffement qui peuvent dégrader leurs performances [20]-[21].

2.2. Modélisation thermique d'un composant grand gap

Le modèle thermique d'un composant GaN sur substrat Si de calibre en courant 20A, de résistance à l'état passant d'environ 300 mΩ et d'une surface d'environ 2 mm² a été réalisé et est représenté en Fig. 1. Ce composant expérimental est mis en boîtier cuivre de type TO-220 sans radiateur extérieur supplémentaire. Le modèle thermique est constitué d'un réseau dit de Cauer, des circuits élémentaires RC en parallèles. Les capacités thermiques C_{th} et les résistances thermiques R_{th} de ce modèle sont calculées à partir de (3) et (4) avec c la capacité thermique massique (J/(g·°K)), ρ la densité (g/m³), d l'épaisseur (m), S la surface (m²) et λ_{th} la conductivité thermique d'un matériau (W/(m·°K)).

$$C_{th} = c \cdot \rho \cdot d \cdot S \quad (3)$$

$$R_{th} = \frac{d}{\lambda_{th} \cdot S} \quad (4)$$

Dans un HEMT GaN le courant passe au travers d'un gaz d'électrons dit en deux dimensions (2DEG) qui est créé à l'hétérojonction entre les matériaux AlGaIn et GaN par effet piézoélectrique. Lors de la conduction du composant, nous

considérons que la chaleur est entièrement générée au niveau de ce gaz. Le flux de chaleur est considéré unidirectionnel. Il passe par le matériau GaN, le substrat Si puis le boîtier. La chaleur évacuée par les fils de connexion à la surface du composant, ainsi que celle évacuée en face avant du composant n'est pas prise en compte dans cette modélisation.

Les matériaux GaN et silicium sont chacun modélisés par un réseau de trois sous-circuits RC dans le but d'affiner la simulation. Finalement la chaleur se propage dans le composant au travers de sept résistances R_{th1} à R_{th7} en parallèles de sept capacités thermiques C_{th1} à C_{th7} . R_{th1} à R_{th7} valent respectivement 0,8, 3, 38, 71,4, 360, 3000 et 60000 m°K/W et C_{th1} à C_{th7} valent respectivement 0,3, 1,2, 15, 17, 84, 857 et 540000 μJ/°K.

3. LA CARACTERISATION DES COMPOSANTS GRAND GAP PAR LA METHODE DOUBLE PULSE

3.1. La méthode de caractérisation double pulse

La méthode la plus couramment utilisée pour caractériser en commutation un composant est la méthode dite double pulse [7], [15]-[17]. Le schéma de principe de la caractérisation double pulse est présenté sur la Fig. 2. Son architecture est proche de celle d'un hacheur série mais sans charge de sortie et avec un circuit de mesure supplémentaire pour observer le courant traversant le composant à tester (DUT). Avec cette méthode le DUT établit le courant dans l'inductance L lors d'un premier pulse avant de commuter une seconde fois au point de fonctionnement et à la fréquence désirés.

La longueur t_1 de la première impulsion est donnée par (5) et dépend de la valeur de l'inductance L , la résistance équivalente R , le courant désiré I_d et la tension d'alimentation

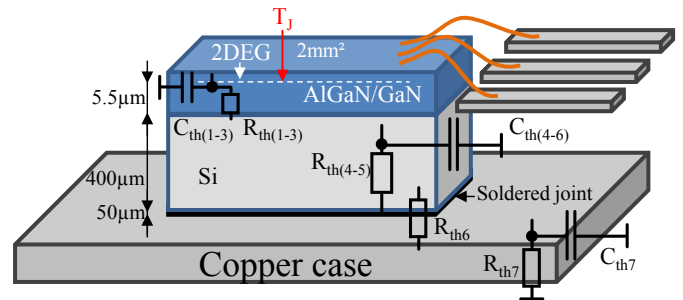


Fig. 1 Représentation graphique d'un composant GaN sur substrat Si mis en boîtier cuivre et de son modèle thermique

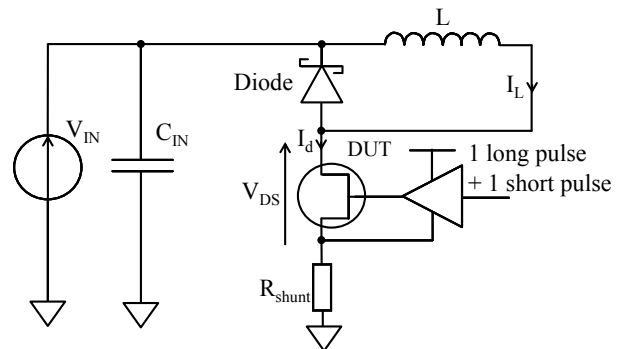


Fig. 2 Schéma du circuit de caractérisation double pulse

V_{IN} . La résistance équivalente R correspond à la résistance à l'état passant du DUT, la valeur du shunt de mesure R_{shunt} et les résistances parasites de l'inductance et des interconnexions. L'inductance L est choisie à partir de (6) en fonction de R , de V_{IN} , de la fréquence f de commutation correspondant à la période t_2-t_1 entre la fin du premier pulse et la fin du second pulse et en fonction de l'ondulation maximale en courant tolérée ΔI_L lors de la caractérisation du DUT à la période t_2-t_1 .

$$t_1 = -\frac{L}{R} \cdot \ln\left(1 - \frac{R \cdot I_d}{V_{IN}}\right) \quad (5)$$

$$L = -\frac{R}{2f \cdot \ln\left(1 - \frac{R \cdot \Delta I_L}{V_{IN}}\right)} \quad (6)$$

Les formes de tensions et courants du circuit double pulse sont représentées sur la Fig. 3 pour un DUT caractérisé à 100V/20A commutant à 500 kHz avec un rapport cyclique de 50%. Pour une ondulation maximale en courant de 1A lors du second pulse une inductance de 100 μH doit être choisie. La longueur t_1 du premier pulse est alors de 26 μs .

3.2. La méthode double pulse en environnement variable

Le composant DUT est passant durant la première impulsion t_1 . Le DUT conduit alors la totalité du courant dans l'inductance ce qui engendre des pertes par conduction liées à la résistance à l'état passant du composant : le DUT s'auto-échauffe. Nous avons cherché à évaluer ce phénomène d'auto-échauffement dans le cas d'une caractérisation par la méthode double pulse avec un point de fonctionnement et une fréquence de commutation variable.

Une simulation électrothermique a été réalisée afin d'étudier l'évolution de la température de jonction T_j en fonction du point de fonctionnement V_{IN}/I_d et de la fréquence f . Le modèle électrique du circuit double pulse et le modèle thermique du DUT GaN sur substrat Si précédemment présenté est visible sur la Fig. 4. Le Tableau 1 récapitule les différents résultats obtenus par simulation de ce modèle. L'inductance L est, soit recalculée et changée à chaque points dans le but de choisir la plus petite valeur garantissant une ondulation en courant de 1A, soit fixée à une valeur relativement importante de manière à garantir une ondulation en courant acceptable sur toute la plage de caractérisation. Avec une inductance L de 600 μH l'ondulation en courant est de maximum 2A sur la plage de fonctionnement choisie.

En adaptant à chaque point de mesure l'inductance, nous remarquons que la température de jonction T_j est relativement importante et est fortement dépendante de la fréquence f . Celle-ci augmente de 20°C lorsque f passe de 500 kHz à 100 kHz. Dans le cas plus pratique d'une seule inductance fixée à 600 μH , la température T_j est encore plus importante. Dans ces conditions la température du DUT dépend principalement des variations du point de fonctionnement : plus la tension est basse et le courant grand, plus T_j est importante.

Que ce soit en adaptant l'inductance L à chaque mesure ou en choisissant une seule valeur d'inductance, nous constatons que la température de jonction d'un DUT grand gap est fortement dépendante du point de fonctionnement et de la

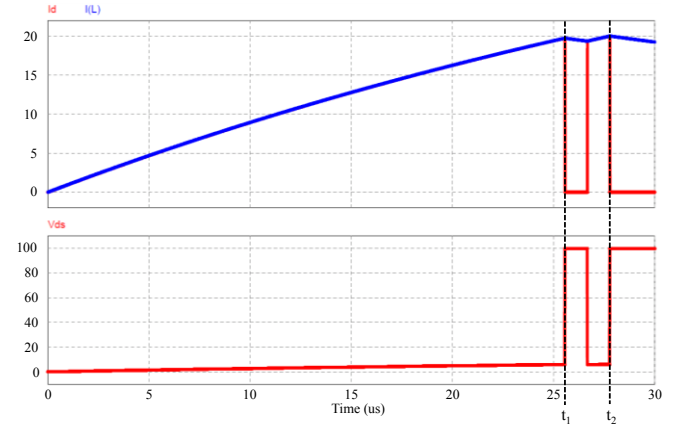


Fig. 3 Formes de tension et courants du circuit de caractérisation double pulse

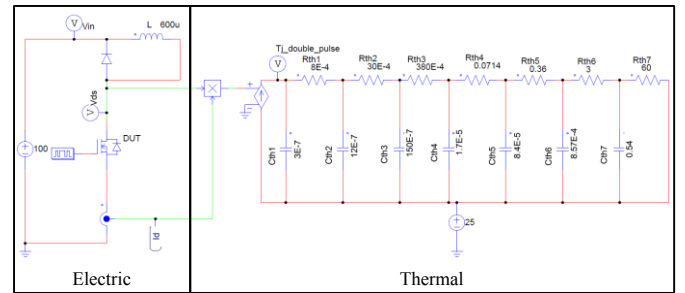


Fig. 4 Modèle électrothermique permettant d'évaluer la méthode double pulse

Tableau 1. Température de jonction atteinte par le composant testé à 25°C par la méthode double pulse à différents points de fonctionnement

| L (μH) | ΔI (A) | I_d (A) | f (kHz) | Vin (V) | t_1 (μs) | T_j (°C) |
|--|----------------|-----------|---------|---------|-------------------------|------------|
| Inductance choisie en fonction de Vin, Id et f | | | | | | |
| 500 | 1 | 20 | 100 | 100 | 130 | 63 |
| 1250 | | | | 250 | 110 | 61 |
| 100 | | | 500 | 100 | 26 | 43 |
| 250 | | | | 250 | 22 | 40 |
| Inductance fixe | | | | | | |
| 600 | 0.83 | 20 | 100 | 100 | 153 | 70 |
| | 2.07 | | | 250 | 52 | 55 |
| | 0.17 | | 500 | 100 | 153 | 68 |
| | 0.42 | | | 250 | 52 | 50 |

fréquence de commutation. Dès lors que nous cherchons à étudier l'impact de la température sur les caractéristiques en dynamique du composant à différents points cette méthode double pulse ne se révèle plus adéquat de part le phénomène d'auto-échauffement du DUT.

4. UNE METHODE SPECIFIQUE DE CARACTERISATION EN DYNAMIQUE

4.1. Un hacheur série fonctionnant en mode pulsé

La méthode de caractérisation proposée a été mise en œuvre dans le but d'évaluer indépendamment l'impact du point

de fonctionnement et de la température sur les performances dynamiques d'un composant grand gap. Cette méthode est basée sur le convertisseur buck spécifique de la Fig. 5. Il est constitué du DUT, d'un transistor et d'une diode schottky haute tension, d'une inductance L , d'une charge de sortie R_L et d'une mesure de courant dans la maille de commutation du DUT. Contrairement à la méthode de caractérisation double pulse, le courant dans l'inductance n'est pas établi par le DUT mais par un transistor auxiliaire en parallèle du DUT. Ce transistor auxiliaire établit alors progressivement le courant dans l'inductance et une fois le régime permanent atteint le DUT commute une fois. De cette manière les contraintes thermiques liées à l'établissement du courant dans la self ne sont plus supportées par le DUT mais par ce composant auxiliaire. Sur la Fig. 6 sont représentées les formes de tensions et de courant du circuit de caractérisation en dynamique que nous proposons.

Lorsque le transistor en parallèle établit le courant, le circuit fonctionne exactement comme un hacheur série classique. Le courant moyen I_L dans l'inductance au régime permanent est alors donné par (7). Il dépend simplement du rapport cyclique α du convertisseur, de la tension d'entrée V_{IN} et de la charge de sortie R_L . Par conséquent pour une tension d'entrée donnée, le courant peut facilement se régler à la volée en modifiant soit la valeur de la charge, soit celle du rapport cyclique, soit les deux, contrairement à la méthode double pulse qui nécessite de calculer préalablement la durée de la première impulsion en fonction de l'inductance et de la tension ou de prévoir un déclenchement sur la mesure d'un seuil. De nouveau, le choix de l'inductance se fait en fonction de l'ondulation en courant maximale désirée. Pour un hacheur série en régime permanent l'ondulation en courant est donnée par (8). Pour une inductance donnée l'ondulation en courant maximale est plus faible avec la méthode proposée qu'avec la méthode double pulse.

$$I_L = \alpha \cdot \frac{V_{IN}}{R_L} \quad (7)$$

$$\Delta I = \frac{V_{IN} \cdot (1 - \alpha)\alpha}{L \cdot f} \quad (8)$$

Un démarrage particulier a été mis en œuvre dans ce circuit afin de rapidement atteindre le régime permanent tout en protégeant le circuit d'un éventuel surcourant transitoire généralement présent au démarrage. Comme nous pouvons le voir sur la Fig. 6, le rapport cyclique α de la tension grille-source du MOSFET auxiliaire est progressivement augmenté avant d'atteindre le régime permanent. Une fois cet état stable atteint, en moins de 3 ms sur la Fig. 6, le DUT commute une fois au point de fonctionnement et à la fréquence voulus. Il s'en suit une période de refroidissement où les deux transistors en parallèles sont ouverts. Ils ne conduisent donc plus le courant de l'inductance qui se décharge complètement dans la charge R_L . Nous considérons alors que le DUT et le MOSFET ne dissipent pas de pertes significatives en étant bloqués et que leur température de jonction retombe rapidement à la température ambiante. Si tel n'était pas le cas il faudrait prévoir de couper l'alimentation de puissance du hacheur durant cette période de refroidissement. Après cette période le composant

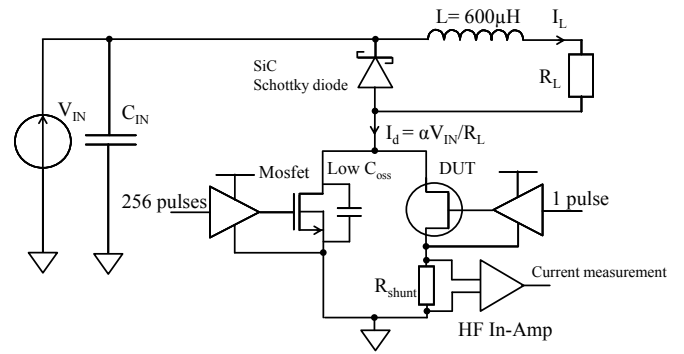


Fig. 5 Schéma de l'hacheur série fonctionnant en mode spécifique pulsé pour la caractérisation en dynamique

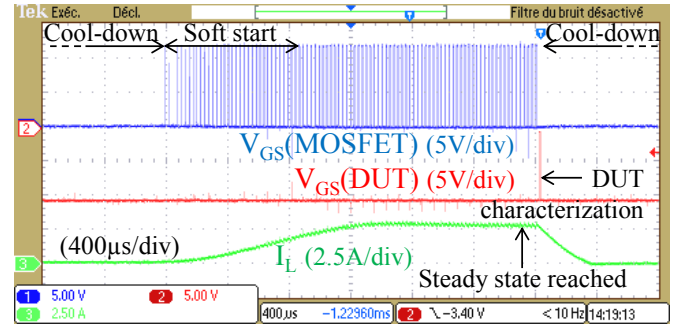


Fig. 6 Oscillogrammes de l'hacheur série pulsé spécifique

auxiliaire peut de nouveau établir le courant souhaité dans l'inductance et une autre commutation du DUT peut avoir lieu. Une commutation du DUT, par exemple, toutes les secondes permet de faire un lissage des résultats obtenus par caractérisation.

4.2. Des commutations légèrement impactées par la méthode de caractérisation

La technique de caractérisation que nous proposons implique l'utilisation d'un transistor en parallèle du DUT. Or tout transistor de puissance possède une capacité de sortie C_{oss} . Cette capacité de sortie s'ajoute alors à celle du DUT entraînant quelques impacts sur la commutation du DUT lors de sa caractérisation. En effet les temps de commutations sont légèrement ralenties et des pertes supplémentaires liées à la décharge de cette capacité en parallèle doivent être dissipées par le DUT.

Le circuit complet de caractérisation fonctionne en un mode pulsé. Avec un établissement du courant en 3ms et une période de refroidissement d'une seconde, le rapport cyclique de fonctionnement du convertisseur n'est que de 0.3%. Grâce à un temps de fonctionnement court et un système de refroidissement efficace, le calibre en courant du transistor auxiliaire peut être fortement réduit, et par la même, sa capacité de sortie C_{oss} dès lors que la température de jonction maximale $T_{j,max}$ n'est pas atteinte durant les tests. En sous dimensionnant le calibre en courant du transistor auxiliaire par rapport au courant circulant dans l'inductance au régime permanent et en fonction de son comportement électrothermique, il est possible de choisir un composant avec une faible capacité de sortie. Pour des tests menés jusqu'à 250V/20A nous utilisons le

MOSFET 500V IRF820 [22] qui est qualifié pour un courant continu de 2.5A et un courant pulsé de 8A. Ce composant possède une capacité de sortie C_{oss} de 92pF à 25V de tension entre son drain et sa source et elle se stabilise à 60pF à partir de 30V.

Nous avons évalué l'impact de la capacité additionnelle sur la commutation d'un DUT grand gap par simulation du circuit de caractérisation du composant GaN précédemment présenté et modélisé avec une capacité de sortie d'environ 250pF en parallèle du transistor IRF820. À l'ouverture du DUT la capacité de sortie des deux transistors en parallèle est chargée à courant constant jusqu'à ce que leur potentiel de drain dépasse la tension d'entrée V_{IN} et que la diode schottky se mette en conduction. Le temps de cette charge à courant constant est directement proportionnel à la valeur des capacités de sorties additionnées des transistors. L'adjonction d'une capacité de 60pF augmente la capacité de sortie du DUT de 24%, ralentit la commutation d'environ 24% et augmente donc légèrement les pertes par commutation. À la fermeture le DUT court-circuite les deux capacités de sortie. En simulation la commutation à la fermeture est ralentie d'environ 10%. L'impact d'une capacité supplémentaire sur la commutation est donc plus faible à la fermeture qu'à l'ouverture par contre le DUT dissipe en perte par conduction les charges supplémentaires stockées dans cette capacité. L'énergie stockée dans une capacité de 60pF à 250V est déjà très faible, inférieure à $2\mu W \cdot s$, mais elle peut encore être diminuée en utilisant des composants de nouvelle génération et en choisissant des calibres en courant encore plus faibles tout en s'assurant de ne pas dépasser la température $T_{j,max}$.

4.3. Des contraintes thermiques supprimées

Afin d'évaluer les contraintes thermiques sur le DUT de la méthode de caractérisation proposée, nous effectuons la simulation électrothermique du modèle présenté en Fig. 7. Le DUT GaN sur Si et l'inductance fixe de $600\mu H$ utilisés pour cette simulation sont les mêmes composants que ceux utilisés pour la simulation double pulse. Nous comparons dans le Tableau 2 les températures de jonction T_j maximales atteintes par le DUT lors de sa caractérisation à différents points de fonctionnement et fréquences dans le cas des deux méthodes de caractérisation.

La température de jonction maximale du DUT pour la méthode de caractérisation proposée est comprise entre $31^\circ C$ et $38^\circ C$ contre une température variant de $50^\circ C$ à $70^\circ C$ pour la méthode double pulse. Les températures les plus élevées sont

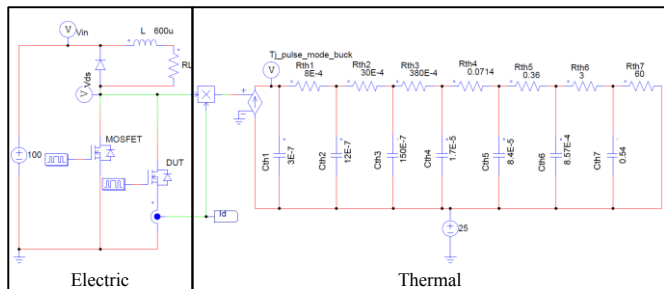


Fig. 7 Modèle électrothermique permettant d'évaluer le circuit de caractérisation en dynamique proposé

Tableau 2. Température de jonction atteinte par le composant testé à $25^\circ C$ par la méthode mono pulse hacheur série et double pulse à différents points de fonctionnement

| L (μH) | ΔI (A) mono | I_d (A) | f (kHz) | V_{in} (V) | T_j ($^\circ C$) mono | T_j ($^\circ C$) double |
|---------------|------------------------|-----------|---------|--------------|------------------------------|--------------------------------|
| 600 | 1 | 20 | 100 | 100 | 38 | 70 |
| | 1 | | | 250 | 38 | 55 |
| | 0.26 | | 500 | 100 | 31 | 68 |
| | | | | 250 | 31 | 50 |

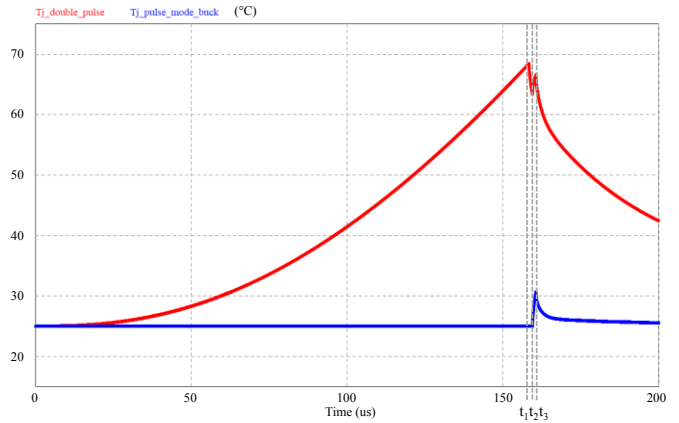


Fig. 8 Température de jonction du composant au cours de sa caractérisation par la méthode double pulse (rouge en haut) et hacheur série pulsé (bleu en bas) à 100V/20A et 500 kHz avec une inductance fixe de $600\mu H$

atteintes lorsque le DUT est caractérisé à 100 kHz. L'évolution de la température de jonction T_j du DUT au cours de sa caractérisation à 100V/20A et 500kHz par les deux méthodes est représentée sur la Fig. 8. Nous remarquons que la température de jonction du composant atteint $68^\circ C$ à t_1 une fois le courant établi dans l'inductance avec la méthode double pulse alors qu'avec la méthode proposée le DUT étant inactif jusqu'à sa caractérisation sa température ne croît pas jusqu'à ce temps t_1 . Durant la période de conduction du DUT entre t_2 et t_3 la température augmente de $11^\circ C$ pour atteindre $31^\circ C$ dans le cas mono pulse et elle augmente de $6^\circ C$ pour atteindre $66^\circ C$ dans le cas double pulse. À ces instants, la principale différence entre les deux méthodes provient de la capacité supplémentaire en parallèle du DUT dû au transistor auxiliaire.

La méthode proposée permet de considérablement réduire le phénomène d'auto-échauffement du DUT et ce, quelques soient le point de fonctionnement, la fréquence et la valeur de l'inductance. Un composant grand gap est ainsi caractérisé en commutation au point de fonctionnement désiré avec une grande flexibilité, en s'affranchissant des contraintes thermiques. Il n'est plus nécessaire que le composant soit refroidi par un boîtier et un radiateur avec échange thermique spécifique.

5. IMPACT DE L'ENVIRONNEMENT DE COMMUTATION

5.1. Des commutations dépendantes du point de fonctionnement et de la température

La Fig. 9 présente une photographie du circuit de caractérisation basé sur la méthode spécifique de

caractérisation précédemment étudiée. Une attention particulière a été apportée à la cellule de commutation de puissance comportant le DUT afin de réduire les inductances parasites. Le transistor auxiliaire est le MOSFET 500V IRF820 de capacité de sortie 60pF. La diode est une diode shottky 600V SiC de calibre en courant continu de 12A possédant une capacité parasite totale d'environ 50pF. La mesure du courant est assurée par cinq shunts de courant de type 0805 en parallèles pour une inductance parasite estimée à environ 1.5 nH. Un JFET SiC Normally-ON [23] a été caractérisé en commutation jusqu'à 250V/20A avec la méthode proposée.

Une seule inductance de 600μH a été utilisée sur une large plage de caractérisation. Le régime permanent est atteint en moins de 3ms et l'ondulation en courant une fois ce régime atteint est de maximum 1A. L'impact du point de fonctionnement et de la température sur les commutations a pu être étudié indépendamment. Les Fig. 10 et 11 sont les courbes de tensions à la fermeture du DUT en fonction du courant et de la température ambiante avec une tension d'entrée de 100V. Lorsque le composant commute un courant de 7A à 100V la tension drain-source chute en 25ns alors que 17ns sont nécessaire lorsqu'il commute 0.5A. Lorsque le point de fonctionnement est fixé à 100V/4A et que le composant commute à température ambiante ou sous un flux de chaleur de 350°C à 300l/min, la différence de chute de tension est négligeable. Par contre lorsqu'il est soumis au flux de chaleur le composant commute 2 ns plus tôt qu'à température ambiante. Ce phénomène provient de la variation de la tension de seuil avec la température [13], [24]-[25].

Finalement nous constatons de manière générale que :

- Lorsque le courant commuté I_L augmente, la variation du courant $\Delta I_d/\Delta t$ dans le DUT augmente. Tandis que la variation de la tension à ses bornes $\Delta V_{DS}/\Delta t$ augmente à l'ouverture mais diminue légèrement à la fermeture.
- Lorsque la tension commutée V_{IN} augmente, la variation de la tension à ses bornes $\Delta V_{DS}/\Delta t$ augmente à la fermeture mais varie peu à l'ouverture.
- Lorsque la température de jonction du composant augmente, sa tension de seuil V_{th} diminue mais la variation de la tension et du courant sont peu impactées.

5.2. Un risque de surtension et de remise en conduction parasite

Le composant JFET SiC précédemment caractérisé commute 250V/10A en environ 20 ns dans le circuit hacheur série de caractérisation que nous proposons. Dans [7] un composant GaN HEMT a été caractérisé à 350V/20A et commute en 15 ns. Avec des énergies d'activation de seulement quelques dizaines de micro joules et des commutations très rapides, le risque de remise en conduction parasite des CGG dans un convertisseur synchrone est omniprésent. En effet les circuits de commande de grille sont connectés entre grille et source par l'intermédiaire d'inductances parasites l_{OUTL} et l_{OUTH} visible en bleu sur la Fig. 12. Lorsque le nœud LX est commuté, un courant I_{gd} donné par

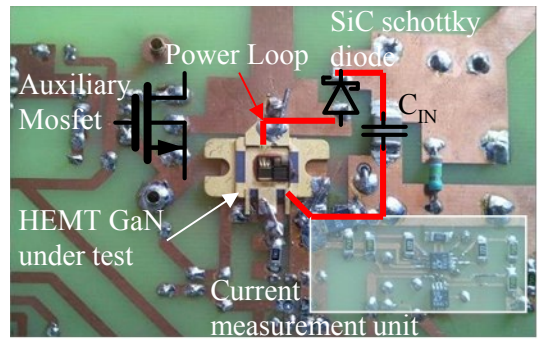


Fig. 9 Photographie du circuit de caractérisation basé sur l'hacheur série pulsé

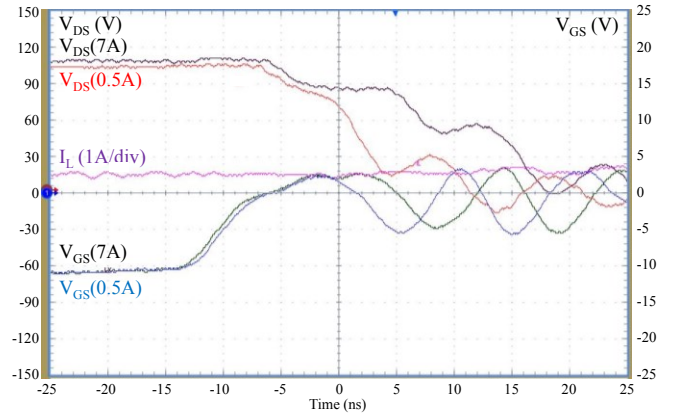


Fig. 10 Oscillogrammes à la fermeture du DUT à 100V en fonction du courant commuté

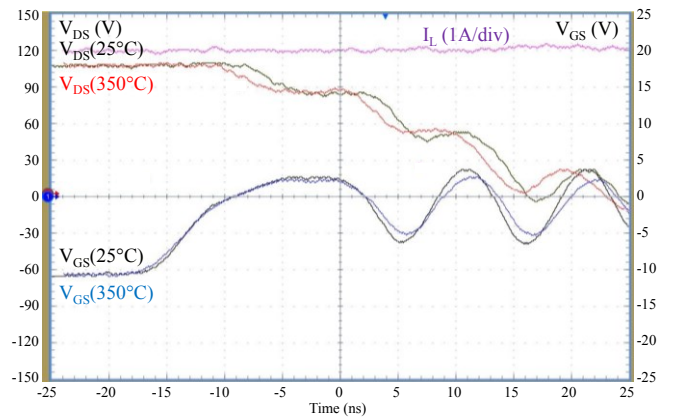


Fig. 11 Oscillogrammes à la fermeture du DUT à 100V/4A en fonction de la température extérieure

(9) circule au travers de la capacité grille-drain C_{gd} et est normalement évacué à la masse par le driver, maintenant ainsi la tension grille-source V_{gs} constante.

$$|I_{gd}| = C_{gd} \cdot \frac{dV_{gd}}{dt} \approx C_{gd} \cdot \frac{dLX}{dt} \quad (9)$$

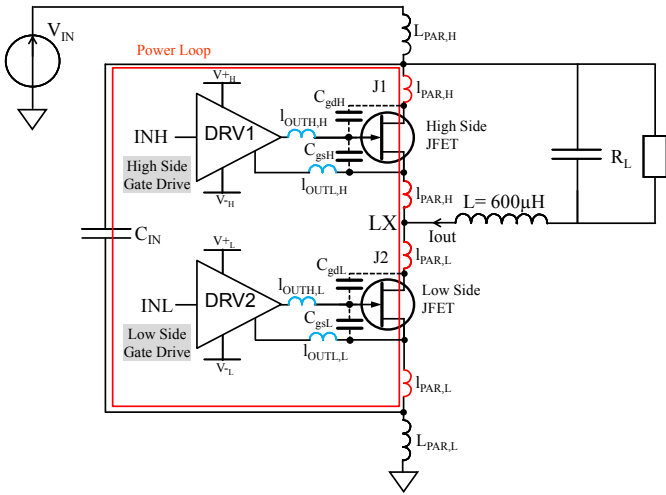


Fig. 12 Schéma d'un convertisseur à redressement synchrone à base de composants grand gap pilotés entre grille et source par des drivers flottants

Mais quand le front de commutation dLX/dt est trop important, le driver ne peut plus évacuer assez de charges. La grille du transistor de puissance va alors se charger ou se décharger. Dans le cas où la grille est chargée, si la tension V_{gs} dépasse la tension de seuil V_{th} le composant va se remettre en conduction. Dans le cas où la grille est déchargée par le courant parasite, il y a un risque de casse si la chute de tension de grille est trop importante.

L'autre impact d'une commutation rapide est la surtension entre les électrodes de puissance du composant. Les CGG sont connectés au sein de la maille de commutation de puissance par les inductances $L_{PAR,L}$ et $L_{PAR,H}$ en rouge sur la Fig. 12. Une variation trop rapide du courant dans la maille va avoir pour conséquence une élévation transitoire mais importante de la tension entre drain et source des composants J1 et J2. Ses surtensions peuvent être destructives surtout dans le cas où l'un des composants a déjà une tension importante à ses bornes vis-à-vis de sa tension de claquage V_{BR} .

Deux solutions permettent de réduire l'impact des vitesses de commutations trop importantes. La première, à privilégier dans tous les cas, consiste à réduire au maximum les inductances parasites à l'intérieur de la maille de commutation de puissance mais aussi de la maille de commande de grille en travaillant à l'intégration et la mise en boîtier des composants pour les rapprocher le plus possible les uns des autres. L'autre solution consiste à ralentir les commutations à l'ouverture ou à la fermeture dans les cas extrêmes, lorsque les variations de courant et de tension sont trop importantes.

6. UN DRIVER A IMPEDANCE DE SORTIE PROGRAMMABLE

6.1. Un circuit de commande pour étendre la plage de fonctionnement du composant

Nous proposons d'adapter la vitesse de commutation des composants de puissance dans un convertisseur en fonction du point de fonctionnement et de la température. Les pertes par commutations étant proportionnelles au temps de fermeture et d'ouverture, au courant moyen dans l'inductance et à la fréquence, cette méthode de commande doit donc être réservée

à la protection du composant lorsque les variations de tension ou de courant sont trop importantes. Vis-à-vis des conclusions obtenues précédemment sur l'évolution des commutations en fonction du point de fonctionnement et de la température, il est possible d'étendre simplement la plage de fonctionnement d'un convertisseur donnée en ralentissant la commutation des composants:

- à l'ouverture, à partir d'un certain courant commuté
- à la fermeture, à partir d'une certaine tension d'alimentation
- à partir d'une certaine température pour corriger la variation de la tension de seuil.

Nous adaptons la vitesse de commutation des composants directement au niveau de leur grille grâce à un circuit de commande spécifique à impédance de sortie programmable. Le schéma-bloc du driver que nous proposons est visible sur la Fig. 13, il est composé d'un buffer de sortie et de prebuffers. Un circuit de sélection externe au driver envoie des requêtes $R_{OUT,H}$ et $R_{OUT,L}$ aux prebuffers pour sélectionner une impédance de sortie en fonction du point de fonctionnement et de la température. Les prebuffers règlent alors l'impédance à la montée et à la descente entre deux périodes de commutations en modifiant respectivement le nombre de PMOSs et de NMOSs en parallèles constituant le buffer de sortie. Les prebuffers sont aussi chargés de protéger l'étage de sortie contre la cross-conduction. Les NMOSs peuvent être fermés seulement si le prebuffer des NMOSs a reçu un signal d'ouverture des PMOSs.

Une détection de l'état de commutation du transistor de puissance commandé a été intégrée au circuit de commande afin de protéger le CGG des remises en conduction parasites lorsqu'il ne commute pas. Comme nous pouvons le voir sur le chronogramme de la Fig. 14, la sélection de l'impédance de

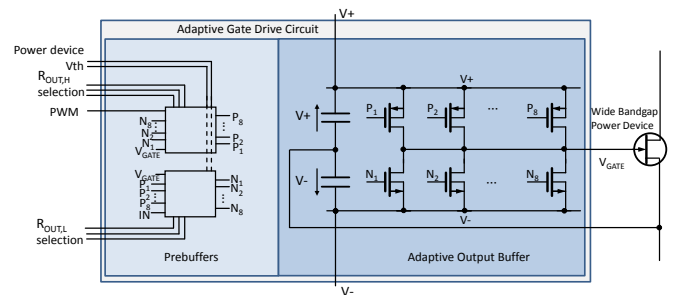


Fig. 13 Schéma-bloc du driver à impédance de sortie programmable

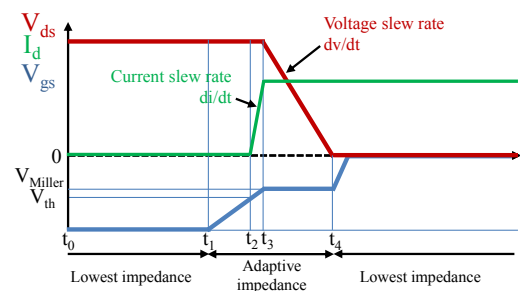


Fig. 14 Chronogramme de tensions et courant à la fermeture d'un composant par le driver à impédance de sortie variable

sortie n'est effective qu'à la fermeture ou l'ouverture du composant. En effet lorsque la tension de grille V_{gs} dépasse la tension du plateau Miller, le driver sélectionne automatiquement l'impédance de sortie la plus faible de manière à fortement maintenir la grille à l'état haut ou à l'état bas en dehors des commutations. Cette tension de seuil, dépendante du composant et de la température, doit aussi être renseignée par le circuit externe de sélection.

6.2. Résultats

Une photographie de la puce du circuit de commande et du convertisseur de test est visible Fig. 15. Le circuit driver a été conçu et fabriqué en technologie AMS 0.35 μ m HV 20V. La surface de la puce est d'environ 3.8 mm². L'étage de sortie du driver peut être précisément réglé avec une impédance de sortie à la montée et à la descente variant indépendamment entre 0.7 Ω et 12.5 Ω . En dehors des instants de commutations une impédance minimale de 0.7 Ω est systématiquement appliquée à la grille du CGG.

Le convertisseur de test est un convertisseur synchrone buck basé sur deux JFETs SiC 1200V/27A Normally-ON [23]. Son schéma électrique est donné par la Fig. 12. Comme nous pouvons le remarquer sur la photographie de la Fig. 15 les composants de puissance et les drivers ne sont pas très proches les uns des autres. Le convertisseur n'étant pas spécialement adapté à des commutations hautes fréquences de CGG, les inductances parasites de la maille de commutation et de la commande de grille visible sur la Fig. 12 ne sont pas négligeables. Les Fig. 16 et 17 présentent les courbes de puissance du bas est piloté avec une impédance à la montée faible de 0.7 Ω et forte de 12.5 Ω . Lorsque l'impédance à la montée est minimale, 20ns sont nécessaire à la fermeture du composant au point de fonctionnement 25V/1.5A. La chute du potentiel LX s'accompagne d'une ondulation en tension atteignant 9.5V d'amplitude, ce qui correspond pour le transistor de puissance du haut à une surtension de 38% par rapport à l'alimentation. Alors que lorsque l'impédance à la montée est maximale, le composant commute en 55ns et le potentiel LX atteint un potentiel négatif de -1.3V, ce qui ne correspond plus qu'à une surtension de 5%.

7. CONCLUSIONS

La simulation électrothermique d'un composant grand gap caractérisé par la méthode double pulse met en avant un stress thermique important au cours de l'établissement du courant dans l'inductance par le composant testé. Ces contraintes thermiques étant dépendantes du point de fonctionnement et de la fréquence, la méthode double pulse n'est plus pertinente dès lors que nous souhaitons étudier l'impact de la température et du point de fonctionnement sur les commutations du composant. Afin d'évaluer précisément et avec une grande flexibilité ces impacts sur les performances en commutation des CGG, nous proposons une méthode spécifique de caractérisation basée sur l'architecture d'un hacheur série fonctionnant en mode pulsé. Le stress thermique dû à cette méthode est déporté sur un transistor auxiliaire en parallèle du DUT qui est en charge d'établir le courant désiré dans l'inductance. Une caractérisation dynamique large signal est alors possible sans nécessité de mise en boîtier du DUT avec

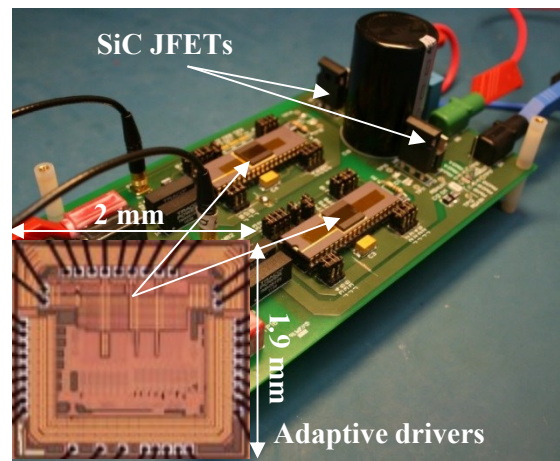


Fig. 15 Photographie de la puce du circuit de commande et du convertisseur

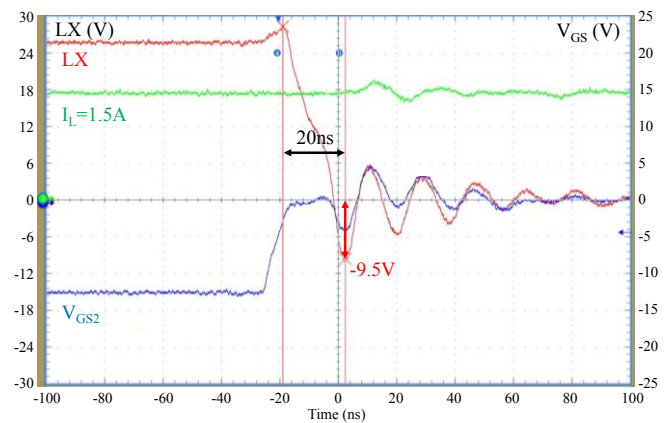


Fig. 16 Oscillogramme à la fermeture rapide d'un JFET SiC avec une impédance à la montée du circuit de commande faible

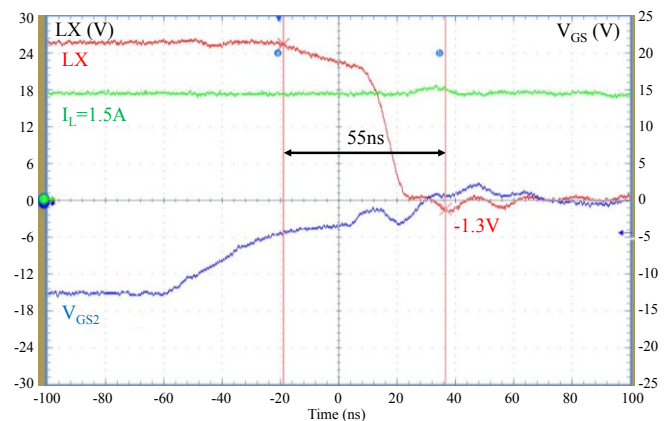


Fig. 17 Oscillogramme à la fermeture lente d'un JFET SiC avec une impédance à la montée du circuit de commande forte

échange thermique spécifique. Un JFET SiC a été caractérisé en dynamique sur plusieurs points de fonctionnement jusqu'à 250V/20A et sous un flux d'air de 350°C avec une seule inductance de charge de 600 μ H. Nous avons ainsi pu évaluer l'évolution de la vitesse des commutations di/dt et dv/dt en fonction du point de fonctionnement et le décalage de la tension de seuil V_{th} en fonction de la température. À partir de ces résultats nous proposons une méthode d'adaptation de la

commande des CGG afin de les protéger contre les surtensions et les remises en conduction parasites dans les cas extrêmes. Un driver fabriqué en technologie AMS 0.35 μ m permet ainsi d'étendre la plage de fonctionnement d'un CGG en faisant varier son impédance de sortie de 0.7 Ω à 12.5 Ω durant les phases de commutations.

8. REFERENCES

- [1] B. Wrzcionko, D. Bortis, et J. W. Kolar, « A 120 °C Ambient Temperature Forced Air-Cooled Normally-off SiC JFET Automotive Inverter System, » *IEEE Trans. on Power Electron.*, vol. 29, n° 5, p. 2345–2358, Mai 2014.
- [2] T. Funaki, M. Sasagawa, et T. Nakamura, « Multi-chip SiC DMOSFET half-bridge power module for high temperature operation », dans *Proc. IEEE Appl. Power Electron. Conf.*, 2012, p. 2525-2529.
- [3] Thierry Lebey, Ichiro Omura, Masahiro Kozako, Hiroki Kawano et Masayuki Hikita, « High temperature high voltage packaging of wideband gap semiconductors using gas insulating medium, » dans *Proc. IEEE Int. Power Electron. Conf.*, 2010, p. 180-186.
- [4] G. Calderon-Lopez, A. J. Forsyth, D. L. Gordon, et J. R. McIntosh, « Evaluation of SiC BJTs for High-Power DC/DC Converters, » *IEEE Trans. on Power Electron.*, vol. 29, n° 5, p. 2474–2481, Mai 2014.
- [5] T. Morita, S. Tamura, Y. Anda, M. Ishida, Y. Uemoto, T. Ueda, T. Tanaka, et D. Ueda, « 99.3% Efficiency of three-phase inverter for motor drive using GaN-based Gate Injection Transistors, » dans *Proc. IEEE Appl. Power Electron. Conf.*, 2011, p. 481-484.
- [6] S. Ji, D. Reusch, and F. C. Lee, « High frequency high power density 3D integrated gallium nitride-based point of load module design, » *IEEE Trans. Power Electron.*, vol. 28, n° 9, p. 4216–4226, Sep. 2013.
- [7] B. Hughes, J. Lazar, S. Hulsey, D. Zehnder, D. Matic, et K. Boutros, « GaN HFET Switching characteristics at 350 V-20 A and synchronous boost converter performance at 1 MHz, » dans *Proc. IEEE Appl. Power Electron. Conf.*, 2012, p. 2506–2508.
- [8] Y. Wu, M. J. Mitos, M. Moore, et S. Heikman, « A 97.8% Efficient GaN HEMT boost converter with 300 W output power at 1 MHz, » *IEEE Electron Device Lett.*, vol. 29, n° 8, p. 824–826, Août. 2008.
- [9] F. C. Lee et Q. Li, « High-Frequency integrated point-of-load converters: Overview, » *IEEE Trans. Power Electron.*, vol. 28, n° 9, p. 4127–4136, Sep. 2013.
- [10] J. Delaine, P. Olivier, D. Frey, et K. Guepratte, « High frequency DC-DC converter using GaN device, » dans *Proc. IEEE Appl. Power Electron. Conf.*, 2012, p. 1754–1761.
- [11] Daisuke Ueda, Masahiro Hikita, Satoshi Nakazawa, Kazushi Nakazawa, Hidetoshi Ishida, Manabu Yanagihara, Kaoru Inoue, Tetsuzo Ueda, Yasuhiro Uemoto, Tsuyoshi Tanaka, et Takashi Egawa, « Present and future prospects of GaN-based power electronics, » dans *Proc. IEEE Int. Conf. on Solid-State and Integr. Circuit Tech.*, 2008, p. 1078-1081.
- [12] N. Kaminski, « State of the art and the future of wide band-gap devices, » dans *Proc. IEEE Eur. Conf. on Power Electron. and Appl.*, 2009, p. 1-9.
- [13] A. Lidow, « Is it the end of the road for silicon in power conversion?, » dans *Proc. IEEE Int. Conf. Integr. Power Electron. Syst.*, 2010, p. 1–8.
- [14] R. Mitova, R. Ghosh, U. Mhaskar, D. Klikic, M.-X. Wang, et A. Dentella, « Investigations of 600-V GaN HEMT and GaN Diode for Power Converter Applications, » *IEEE Trans. on Power Electron.*, vol. 29, n° 0 5, p. 2441–2452, Mai 2014.
- [15] J.-K. Lim, D. Pefitsis, J. Rabkowski, M. Bakowski, et H.-P. Nee, « Analysis and Experimental Verification of the Influence of Fabrication Process Tolerances and Circuit Parasitics on Transient Current Sharing of Parallel-Connected SiC JFETs », *IEEE Trans. on Power Electron.*, vol. 29, n° 5, p. 2180-2191, Mai 2014.
- [16] S. Tiwari, T. Undeland, S. Basu, et W. Robbins, « Silicon carbide power transistors, characterization for smart grid applications », dans *Power Electronics and Motion Control Conference*, 2012, p. LS6d.2-1-LS6d.2-8.
- [17] Z. Liu, X. Huang, F. C. Lee, et Q. Li, « Package Parasitic Inductance Extraction and Simulation Model Development for the High-Voltage Cascade GaN HEMT », *IEEE Trans. on Power Electron.*, vol. 29, n° 4, p. 1977-1985, Avr. 2014.
- [18] K. Ammous, H. Morel et A. Ammous, « Analysis of Power Switching Losses Accounting Probe Modeling, » *IEEE Trans. On Instrumentation and Measurement*, vol. 59, n° 12, Déc. 2010.
- [19] M. Sasaki, H. Nishio, A. Shorten, et W. T. Ng, « Current Balancing Control for Parallel Connected IGBTs Using Programmable Gate Driver Output Resistance, » dans *ISPSD*, 2013.
- [20] Y. Zhang, S. Feng, H. Zhu, J. Zhang, et B. Deng, « Two-dimensional transient simulations of the self-heating effects in GaN-based HEMTs », *Microelectronics Reliability*, vol. 53, n° 5, p. 694-700, Mai 2013.
- [21] S. P. McAlister, J. A. Bardwell, S. Haffouz, et H. Tang, « Self-heating and the temperature dependence of the dc characteristics of GaN heterostructure field effect transistors », *Journal of Vacuum Science & Technology*, vol. 24, n° 3, p. 624, 2006.
- [22] IRF820: 500V, 2.5A HEXFET Power MOSFET, IRF datasheet [online]. Disponible: www.irf.com.
- [23] SJDP120R085: 1200V, 27A Normally-ON Trench SiC Power JFET, Semisouth datasheet [online]. Disponible: www.semisouth.com.
- [24] F. Dubois, D. Bergogne, D. Tournier, C. Buttay, R. Meuret, et H. Morel, « Analysis of the SiC VJFET gate punch-through and its dependence with the temperature », dans *European Conference on Power Electronics and Applications (EPE)*, 2013, p. 1-10.
- [25] H. Wong, C. Liang, et N. W. Cheung, « On the temperature variation of threshold voltage of GaAs MESFETs », *IEEE Trans. on Electron Devices*, vol. 39, n° 7, p. 1571-1577, Juill. 1992.