



HAL
open science

Méthodes spécifiques de caractérisation et de commande de composants grand gap en environnement variable

Romain Grezaud, François Ayel, Nicolas Clément, Jean-Paul Rouger,
Jean-Christophe Crebier

► To cite this version:

Romain Grezaud, François Ayel, Nicolas Clément, Jean-Paul Rouger, Jean-Christophe Crebier. Méthodes spécifiques de caractérisation et de commande de composants grand gap en environnement variable. Symposium de Génie Électrique 2014, Jul 2014, Cachan, France. hal-01065402

HAL Id: hal-01065402

<https://hal.science/hal-01065402v1>

Submitted on 18 Sep 2014

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Méthodes spécifiques de caractérisation en dynamique et de commande de composants grand gap en environnement variable

Romain GREZAUD^{1,2}, François AYEL¹, Nicolas ROUGER², Jean-Christophe CREBIER²

¹ MINATEC – CEA/LETI 17 rue des Martyrs 38054 Grenoble Cedex 9

² Université Grenoble Alpes, G2Elab, CNRS 38400 Grenoble

RESUME – Afin d'évaluer précisément et avec une grande flexibilité l'impact du point de fonctionnement et de la température sur les performances en commutation des composants grand gap, nous proposons une méthode spécifique de caractérisation basé sur l'architecture d'un hacheur série fonctionnant en mode pulsé. Une simulation électrothermique montre que le stress thermique dû à cette méthode est considérablement réduit comparé à la méthode du double pulse, supprimant ainsi le besoin d'un système de refroidissement contraignant dans le cas de composants expérimentaux et permettant une caractérisation dynamique large signal sans nécessité de mise en boîtier avec échange thermique spécifique. Un JFET SiC a été caractérisé en dynamique sur plusieurs points de fonctionnements jusqu'à 250V/20A et sous un flux d'air de 350°C avec une seule inductance de charge. Afin de commuter un composant grand gap dans des conditions optimales quelque soit son environnement, un driver à impédance de sortie programmable de 0.7Ω à 12.5Ω a été fabriqué en technologie AMS0.35 μ m. En adaptant ainsi la vitesse de commutation de ces composants dans un convertisseur buck, les surtensions et les remises en conduction parasites sont quasiment éliminées.

MOTS-CLES – composant grand gap, caractérisation dynamique, stress thermique, double pulse, hacheur série pulsé, driver adaptatif, surtension, remise en conduction parasite.

1. Introduction

Pour les applications haute fréquence, haute densité de puissance et haute température les composants silicium présentent des limites intrinsèques qui peuvent être dépassées par les Composants Grand Gap (CGG) [1]. Mais ces nouveaux composants sont encore en phase de développement et doivent encore évoluer pour leur adoption massive dans les convertisseurs industriels. Des améliorations au niveau des procédés de fabrication de ces composants mais aussi de leur circuit de commande sont nécessaires. La méthode la plus couramment utilisée pour caractériser les performances en régime dynamique large signal de ces composants de puissance est la méthode du double pulse [2]. L'impact de la méthode de caractérisation sur le composant testé (Device Under Test : DUT) a déjà été étudié dans [3]. Basé sur l'évaluation du stress thermique du DUT dû à la méthode de caractérisation nous proposons un banc de caractérisation spécifique pour CGG. Son architecture est un hacheur série particulier fonctionnant en mode pulsé et permettant d'évaluer indépendamment l'impact du point de fonctionnement et de la température sur les performances des CGG avec le moins d'influence possible et le maximum de flexibilité.

Pour contrebalancer l'impact de l'environnement sur un CGG nous proposons un circuit de commande spécifique à impédance de sortie adaptative. Une telle méthode a été utilisée dans des travaux antérieurs pour réduire les différences de temps de commutation entre plusieurs IGBTs en parallèles [4]. Le circuit de commande que nous présentons permet lui, d'adapter son impédance de sortie en fonction du point de fonctionnement et de la température afin de commuter les CGG dans des conditions optimales et ainsi prévenir des surtensions et des remises en conduction parasites.

La méthode de caractérisation en dynamique pour évaluer l'impact de l'environnement sur les CGG est présentée dans la section 2. Le circuit de commande à impédance de sortie programmable qui en découle sera détaillé en section 3.

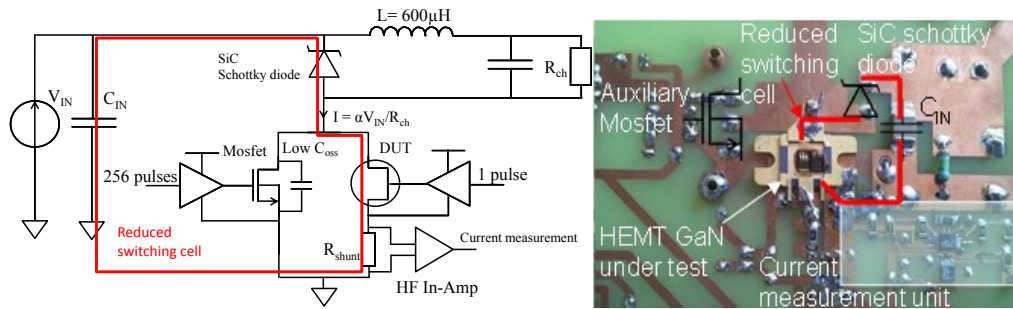


Figure 1 : Schéma et photographie du hacheur série pulsé pour la caractérisation en dynamique des composants

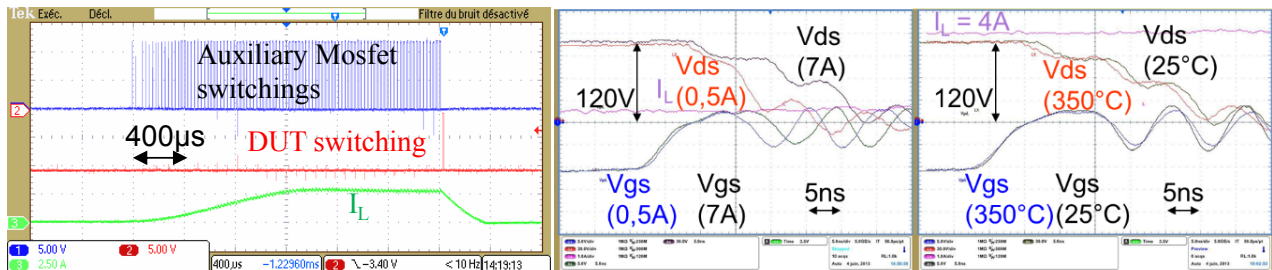


Figure 2 : Courbes des tensions et courant dans le hacheur série pulsé. Gauche : établissement du courant dans l'inductance par le Mosfet auxiliaire puis commutation du DUT. Centre : Impact du courant (0,5A et 7A) et Droite : de la température (25°C et 350°C) sur les caractéristiques du DUT pour $V_{IN}=120V$

2. Une méthode spécifique de caractérisation en dynamique pour évaluer l'impact du point de fonctionnement et de la température

2.1 La caractérisation dynamique par la méthode double pulse des composants grand gap

De part leurs caractéristiques intrinsèques les composants grand gap sont de surfaces réduites par rapport à leurs homologues silicium. Leurs capacités parasites sont donc plus petites mais aussi leur capacité thermique. Avec la méthode double pulse, le DUT doit établir le courant dans une inductance lors d'une première impulsion qui va fixer le point de fonctionnement avant de commuter une seconde fois. Pour caractériser par exemple un DUT à 100V/20A avec une inductance de 600µH, la durée de la première impulsion doit être de 156µs durant laquelle le DUT conduit la totalité du courant et s'auto-échauffe. Pour évaluer indépendamment l'impact du point de fonctionnement et de la température cette méthode n'est plus pertinente du fait des contraintes thermiques et de la difficulté à faire varier le point de fonctionnement, notamment la tension à commuter. En effet, la méthode du double pulse imposerait de modifier la valeur de l'inductance de charge si la tension continue commutée viendrait à changer, car si dans ce cas l'inductance n'était pas modifiée, les contraintes thermiques varieraient durant la caractérisation.

2.2 Une méthode spécifique de caractérisation en dynamique

La méthode que nous proposons pour évaluer indépendamment l'impact du point de fonctionnement et de la température sur les performances des CGG est basée sur l'architecture du hacheur série de la Fig. 1. L'établissement du courant dans l'inductance et les contraintes associées sont à présent supportés par un Mosfet en parallèle du DUT Fig. 2. Le circuit de caractérisation fonctionnant comme un hacheur série classique lors de l'établissement du courant par le Mosfet, le point de fonctionnement est facilement modulable. Une fois le régime permanent au niveau du convertisseur atteint, le DUT effectue une seule fois un cycle de commutation (fermeture puis ouverture). Il s'en suit une période de refroidissement où les deux composants en parallèles sont ouverts et le courant dans l'inductance s'annule. Grâce à ce fonctionnement pulsé le calibre en courant continu du Mosfet peut être drastiquement réduit, réduisant ainsi la capacité parasite ajoutée en parallèle au DUT. Une modélisation et une simulation électrothermique des deux méthodes ont été réalisées afin de comparer le stress thermique du DUT.

2.3 Résultats

Nous avons réalisé la simulation électrothermique comparative pour un DUT HEMT GaN sur Si mis en boîtier cuivre TO-220 sans radiateur. Lorsque ce DUT est caractérisé par la méthode double pulse à 400V/20A à 25°C avec une inductance 600µH, sa température de jonction T_j atteint 32°C et dépasse 70°C lorsqu'il commute 100V/20A. Alors qu'avec notre méthode de caractérisation, T_j reste dans les deux cas en dessous de 26°C. Une attention particulière a été apportée à la maille de commutation comportant le DUT Fig. 1. Le Mosfet auxiliaire choisi a un calibre en courant continu de seulement 2,5A et une faible capacité de sortie de 60pF. Un JFET SiC [5] a été caractérisé avec cette méthode sur une large gamme de point de fonctionnement et température jusqu'à 250V/20A et sous un flux d'air à

350°C. Des courbes de commutations visant à étudier l'impact de l'environnement sur les temps de commutation sont présentées Fig. 2. Le DUT commute par exemple 120V/7A en 25ns contre 17ns pour 120V/0.7A à 25°C.

3. Un driver à impédance de sortie programmable pour sécuriser le fonctionnement des composants grand gap en environnement variable

3.1 Des composants plus sensibles aux composants parasites

À cause de temps de commutation très courts [5],[6] et d'énergie d'activation plus faible, les composants grand gap demandent plus d'attention au niveau de la grille. En effet dans un convertisseur comme celui de la Fig. 3 les inductances parasites dans la cellule de commutation (en rouge) vont créer des surtensions pouvant être destructives pour les CGG de part les variations très rapides du courant. Le driver étant connecté par des inductances parasites (en bleu) au CGG, une variation trop rapide du potentiel LX peut induire une remise en conduction indésirable.

3.2 Une méthode spécifique de commande

En plus d'une réduction des inductances parasites nous proposons d'adapter la vitesse de commutation par programmation de l'impédance de sortie du driver en fonction du point de fonctionnement et de la température afin d'étendre la zone de fonctionnement du convertisseur et de se rapprocher des limites critiques de fonctionnement des CGG choisis. Comme nous pouvons le voir sur le schéma bloc Fig. 4, le circuit de commande peut faire varier son impédance à l'ouverture et à la fermeture du CGG entre deux périodes en ajustant le nombre de NMOSs et PMOSs constituant son buffer de sortie. De plus une détection de l'état du CGG est implémentée au niveau de sa grille afin d'assurer l'impédance la plus faible en dehors des périodes de commutations et ainsi limiter les remises en conduction parasites (organigramme de la Fig. 4). Cette détection étant basé sur une comparaison du potentiel de grille avec la tension du plateau Miller, cette dernière doit être renseignée au circuit de commande de l'extérieur.

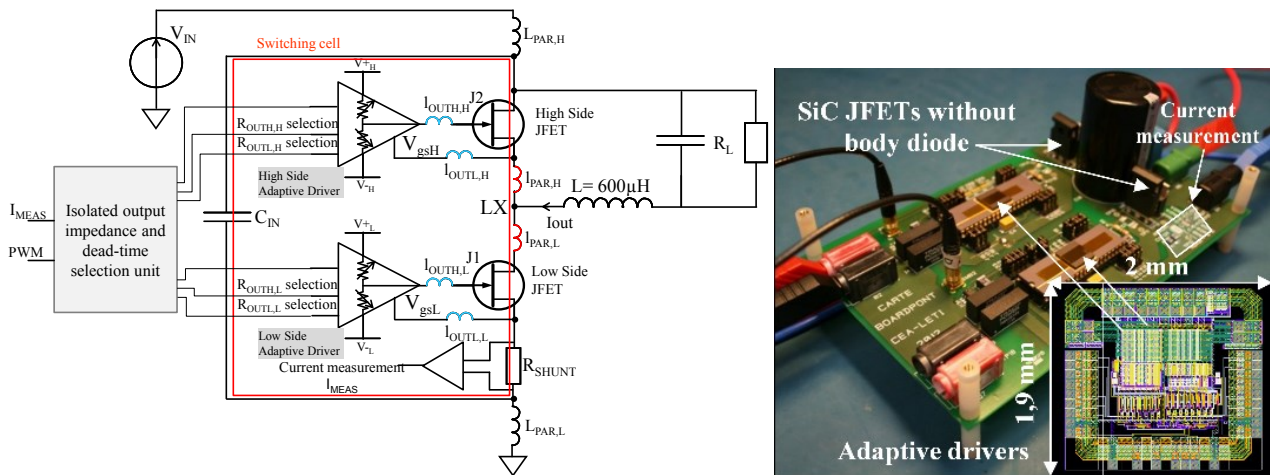


Figure 3 : Schéma et photographie du convertisseur buck à redressement synchrone basé sur des composants grand gap commandés par le driver à impédance de sortie programmable

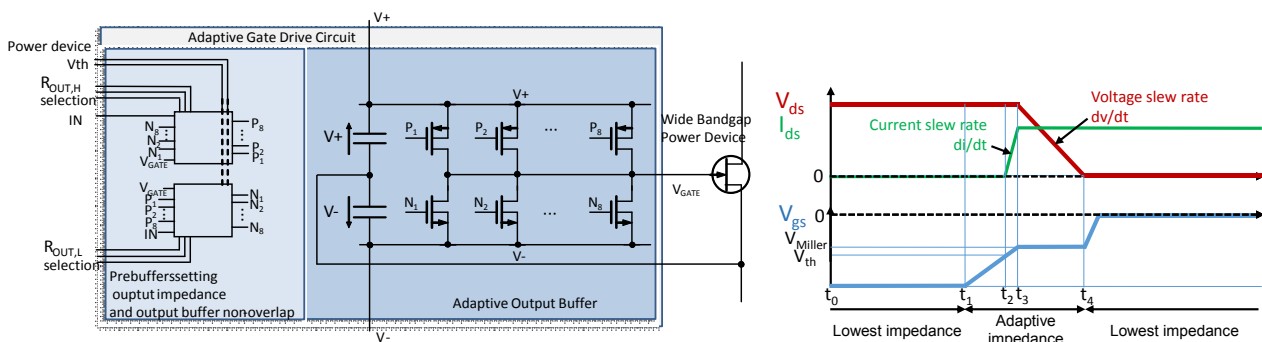


Figure 4 : Schéma bloc et chronogramme du driver à impédance de sortie adaptative

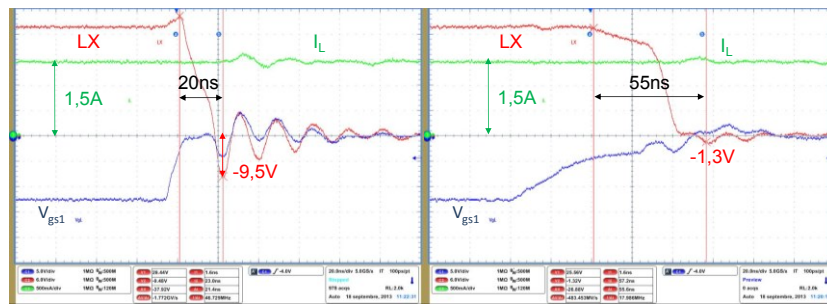


Figure 5 : Mise en conduction (fermeture) rapide (gauche) et lente (droite) d'un JFET SiC commandé par le driver avec son impédance de sortie minimale et maximale

3.3 Résultats

Une photographie du circuit de commande réalisé en AMS0.35 μ m HV est visible sur la Fig. 3. La surface de la puce est d'environ 3.8mm². Son impédance de sortie est quasiment égale à l'ouverture et à la fermeture et peut être sélectionnée entre 0.7 Ω et 12.5 Ω durant les périodes de commutations. Nous avons testé le fonctionnement du circuit de commande dans un convertisseur buck à redressement synchrone basé sur des JFETs SiC 1200V/17A. Comme nous pouvons le voir sur la Fig. 3 les deux JFETs SiC [5] et les drivers n'étant pas très proches les uns des autres, les inductances parasites sont importantes et le risque de surtensions et de remise en conduction parasite est donc maximal. La Fig. 5 présente les courbes de commutation du convertisseur lorsque le JFET du bas J1 commute seulement 12V/1.5A à deux vitesses différentes. Lorsque l'impédance de sortie du driver à la fermeture de J1 est réglée à son minimum le nœud LX est commuté en moins de 20ns. Le JFET du haut J2 voit alors une surtension de 38% à ses bornes. Tandis que lorsque l'impédance est réglée à son maximum, le nœud LX est commuté en environ 55ns et la surtension vue par J2 est de seulement 5%. En ralentissant les commutations, les JFETs sont bien protégés contre les surtensions et les mises en conduction parasites mais les pertes par commutations sont d'autant plus importantes. Pour un convertisseur et un point de fonctionnement donnés, un optimum entre protection et pertes par commutations existe et doit être connu du circuit de commande afin qu'il puisse choisir l'impédance de sortie la plus adaptée.

4. Conclusion

Une étude électrothermique de la méthode de caractérisation double pulse montre que celle-ci ne permet pas d'évaluer indépendamment l'impact du point de fonctionnement et de la température sur les caractéristiques en dynamique d'un composant grand gap. Une méthode spécifique de caractérisation basé sur un hacheur série particulier fonctionnant en mode pulsé a ainsi été présenté. Le point de fonctionnement est à présent précautionneusement établi en moins de 3ms par un Mosfet en parallèle du DUT. Une fois le régime permanent atteint le DUT commute une seule fois. Le stress thermique subit par le DUT lors de sa caractérisation est ainsi considérablement réduit. Cette méthode d'une grande flexibilité se révèle alors pertinente pour l'évaluation de l'impact de l'environnement sur les performances d'un composant grand gap. Un JFET SiC a été caractérisé jusqu'à 250V/20A sous un flux d'air à 350°C. Afin de contrebalancer les variations des caractéristiques des composants grand gaps avec son environnement nous proposons une méthode spécifique de commande. Un driver à impédance de sortie programmable basé sur cette technique a été fabriqué en AMS0.35 μ m. Il permet de précisément contrôler la vitesse de commutation d'un CGG en fonction du point de fonctionnement et de la température en adaptant son impédance de sortie de 0.7 Ω à 12.5 Ω entre deux périodes de commutation. Dans un convertisseur buck à redressement synchrone, cette méthode de commande permet de réduire jusqu'à 80% les surtensions et ainsi d'étendre la zone de fonctionnement du convertisseur plus proche des limites critiques de fonctionnement des CGG.

5. Références

- [1] N. Kaminski, « State of the art and the future of wide band-gap devices », dans European Conference on Power Electronics and Applications (EPE'09), p. 1 9, 2009.
- [2] B. Hughes, J. Lazar, S. Hulsey, D. Zehnder, D. Matic, et K. Boutros, « GaN HFET switching characteristics at 350V/20A and synchronous boost converter performance at 1MHz », dans APEC 2012, p. 2506–2508, 2012.
- [3] K.Ammous, H.Morel et A.Ammous, “Analysis of Power Switching Losses Accounting Probe Modeling”, dans IEEE Trans. On Instrumentation and Measurement, vol.59, no.12, Déc. 2010.
- [4] M. Sasaki, H. Nishio, A. Shorten, et W. T. Ng, “Current Balancing Control for Parallel Connected IGBTs Using Programmable Gate Driver Output Resistance”, dans ISPSD 2013.
- [5] “SemiSouth Normally-ON SiC-JFET 1200V/17A SJDP120R085”.
- [6] R. Chu et al., “Normally-Off GaN-on-Si transistors enabling nanosecond power switching at one kilowatt”, dans Device Research Conference (DRC), p. 199 – 200, Juin 2013.