

Transfert isolé des signaux de commande dans le contexte de l'intégration pour les composants actifs d'électronique de puissance

N. Rouger^{1,3}, R. Vafaei^{1,3}, D.N. To^{1,2,3,4}, L.T. Le^{1,3}, N. Corrao^{2,4}, J.D. Arnould^{2,4}, Y. Lembeye^{1,3}, J.C. Crébier^{1,3}

¹Univ. Grenoble Alpes, G2Elab, F38000-Grenoble

²Univ. Grenoble Alpes, IMEP-LAHC, F38000-Grenoble

³CNRS, G2Elab, F38000-Grenoble

⁴CNRS, IMEP-LAHC, F38000-Grenoble

RESUME - Cet article présente plusieurs solutions originales afin de réaliser un transfert isolé des ordres de commutation pour les semiconducteurs de puissance. Sous la contrainte de l'intégration aussi bien monolithique qu'hétérogène, trois solutions sont présentées de façons théoriques et expérimentales. Le premier mode de réalisation intégrée de l'isolation galvanique est une solution optique intégrée au composant de puissance et/ou au sein de son circuit de commande de type CMOS. Les performances statiques et dynamiques des récepteurs optiques sont tout à fait compatibles avec l'application. Enfin, plusieurs transformateurs sans noyau magnétique sont conçus, analysés et caractérisés via une réalisation CMOS, en prenant un soin particulier aux couplages hautes fréquences et éléments parasites. Ce circuit de transmission électromagnétique des ordres est intégré avec plusieurs fonctions de pilotages et le bon fonctionnement de l'ensemble du driver est démontré aussi bien pour les composants Haute Tension High Side que Low Side.

Mots-clés— *Intégration, transformateur coreless, isolation galvanique, circuits de pilotages pour transistors de puissance.*

1. INTRODUCTION

Pour piloter les semiconducteurs de puissance tels que les transistors MOS, HEMT ou IGBT, il est nécessaire d'utiliser un étage d'isolation galvanique entre le circuit externe de commande générant les ordres de commutation et la commande rapprochée contrôlant de façon optimale la charge et décharge de la capacité d'entrée du composant de puissance [1]. Ces solutions de transfert isolé d'ordres de commutation reposent aujourd'hui majoritairement sur des solutions discrètes, limitant ainsi les possibilités d'intégration dans des structures de conversion avec un nombre élevé de semiconducteurs à piloter. De plus, afin de maîtriser et de limiter les couplages électromagnétiques aux frontières de l'isolation galvanique, le tout en vue de proposer une intégration la plus collective possible, plusieurs solutions ont été retenues et analysées. Dans tous les cas, notre approche d'intégration repose sur la conception couplée de la puce de puissance et de son organe de commande rapproché associé, des fonctions intégrées pouvant éventuellement être intégrées au sein même du composant de puissance [2-5]. Ceci est présenté par exemple sur les figures 1 et 2 : une interface optique est intégrée au sein même du composant de puissance (Fig. 1). Cette interface permet la génération d'un faible

courant à partir d'une information optique. Ce courant est ensuite amplifié, détecté dans une puce CMOS reportée au plus proche de la puce de puissance. L'alimentation flottante de cette puce de commande CMOS est assurée par un système d'auto-alimentation déjà démontré [6]. Selon la compatibilité du procédé de fabrication du composant de puissance, il peut être souhaitable d'intégrer le détecteur optique au sein de la puce CMOS (Fig. 2). Plusieurs solutions de packaging et de routage de l'onde électromagnétique sont possibles (Fig 1 et Fig 2). L'intérêt de ces approches d'intégration d'un étage de réception optique est de réduire le niveau de puissance optique nécessaire pour la détection, tout en ayant une intégration optimale de l'ensemble des fonctions et un niveau d'isolation galvanique très élevé. Cette approche est clairement en rupture par rapport à d'autres solutions de contrôle optique développées dans l'état de l'art [7]. Dans notre cas, l'élément générique devient le composant de puissance autonome, conçu en couplant chaque élément le constituant du transfert d'ordre isolé jusqu'au composant de puissance alors que l'état de l'art propose des bibliothèques de composants élémentaires à sélectionner et à associer du mieux possible. De façon complémentaire, un transfert isolé des informations de commutation via un transformateur sans noyau magnétique et compatible avec un procédé standard de fabrication CMOS peut aussi être souhaitable lorsque le niveau d'isolation galvanique est de l'ordre de quelques kV à dizaines de kV [8]. L'approche retenue est alors similaire à la figure 2, avec un circuit de modulation haute fréquence à la place d'un émetteur optique. Ces différentes solutions vont être présentées en détail dans les sections suivantes.

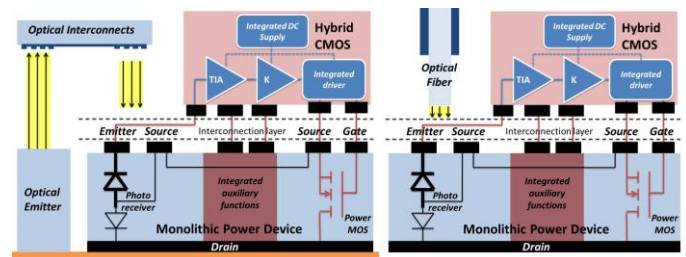


Fig 1: Intégration monolithique d'un étage de réception optique au sein de composant de puissance (ici MOS vertical de puissance). A gauche, routage de l'information optique depuis une source lumineuse à proximité. A droite, transfert de l'information optique par fibre optique.

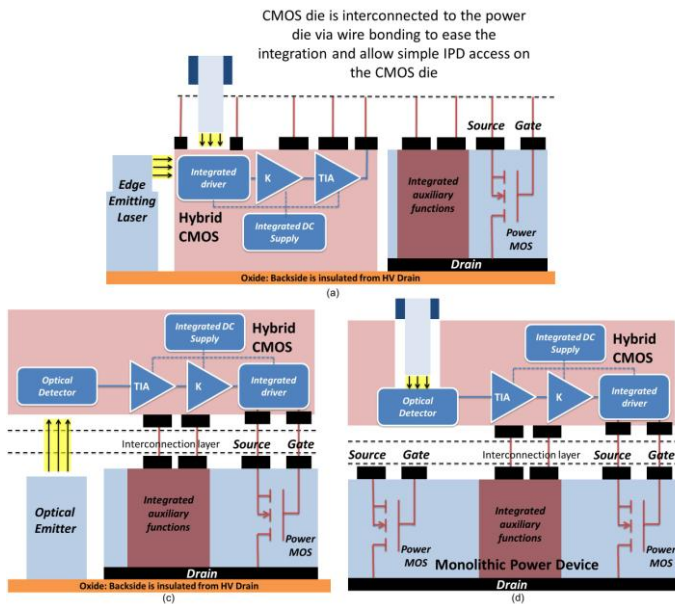


Fig 2: Intégration de l'étage de réception optique et de l'ensemble des circuits de pilotage au sein d'une puce CMOS hybridée au plus proche du composant de puissance (ici MOS vertical de puissance). a) et b) routage de l'information optique depuis une source lumineuse à proximité. c) introduction de gravure en face arrière de la puce CMOS pour maximiser le transfert optique lors d'un report flip-chip de la puce CMOS sur la puce de puissance

2. INTEGRATION MONOLITHIQUE ET HETEROGENE D'UNE ISOLATION OPTIQUE

2.1. Intégration monolithique d'un détecteur optique au sein de composant de puissance

2.1.1. Structure, simulation et conception du détecteur optique intégré

En lien avec l'approche présentée dans la figure 1, la structure du détecteur optique intégré est présentée sur la figure 3. Afin de limiter les temps de développement et de fabrication, un procédé simplifié de fabrication a été mis au point, compatible à 100% avec le procédé de fabrication de transistors MOS de puissance verticaux 600 V. Les étapes sont présentées sur la figure 4, reproduisant les étapes principales d'un composant VMOS de puissance, les étapes de création des grilles étant supprimées.

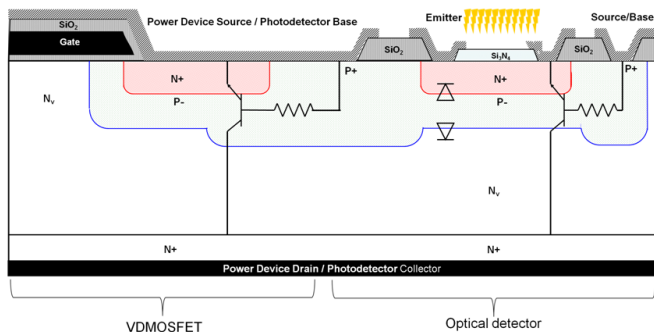


Fig 3: Composant de puissance (VDMOS, dont une demi-cellule est représentée à gauche) et détecteur optique intégré monolithiquement (à droite).

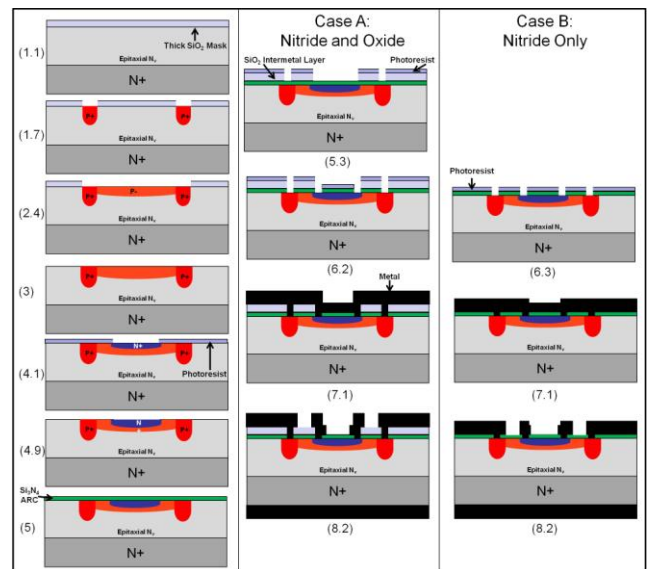


Fig 4: Etapes du procédé de fabrication simplifié permettant la réalisation de détecteurs optiques verticaux. Il est à noter que certaines variantes ont été intégrées au sein de terminaison en tension, grâce à une gravure profonde (non présentée ici). A gauche : Etapes principales. Au milieu : première variante utilisant un oxyde épais pour l'isolation électrique et un nitruure pour couche d'anti reflet. A droite, seul un nitruure fin est utilisé.

Les différentes étapes de fabrication sont optimisées pour la fabrication de composants VMOS et issues des développements précédents [2-3]. Comme présenté sur la figure 3 et dans [2-3], la jonction Emetteur – Base en face avant est utilisée comme capteur optique, isolée par la jonction Collecteur – Base, toujours polarisée en inverse. Afin de maximiser les performances statiques et dynamiques des capteurs optique Emetteur (N⁺) – Base (P-/P⁺), il est nécessaire d'étudier les couplages électro-optiques au sein de cette structure verticale, avec de nombreuses variantes de conception (géométrie des contacts, tenue au dv/dt, recombinaisons). La figure 5 représente le résultat de simulation éléments finis d'une structure typique de détecteur optique intégré tel que présenté sur la figure 3 et suivant le procédé de la figure 4.

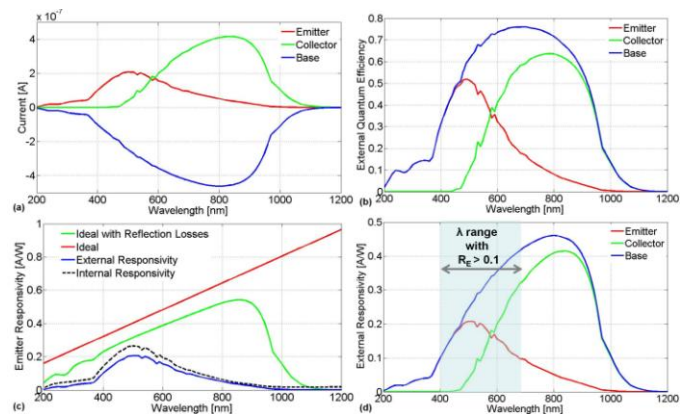


Fig 5: Simulations numériques d'une structure type. De gauche à droite et de haut en bas : Courants générés à partir de 1μW optique, efficacité quantique totale, sensibilité spectrale du détecteur (courant d'émetteur) et sensibilité spectrale des trois électrodes.

Ces simulations numériques ont été conduites sur Silvaco (ATLAS) à partir d'une résolution 3D axisymétrique dans un repère cylindrique, à l'image du travail préliminaire [2-3]. Le but de cette campagne de simulation est d'une part de quantifier les performances statiques et dynamiques du détecteur optique intégré, mais aussi les couplages entre le Collecteur / Drain en face arrière (Haute Tension) et le détecteur optique intégré. Par exemple, la figure 6 montre qu'il n'y a aucune modification du courant de fuite de l'émetteur (détecteur optique) par la polarisation du Drain / Collecteur haute tension. Au-delà de ces analyses statiques permettant un bon dimensionnement des zones de contact et validant le procédé technologique (doses – implantation – recuit des régions Emetteur et Base), il est nécessaire de considérer les phénomènes transitoires lors de la variation dynamique du potentiel Collecteur / Drain, représentant un détecteur optique intégré dans un composant de puissance qui s'ouvre ou se ferme. La figure 7 présente alors les variations de courants d'obscurité lors de l'application de dV/dt entre le Collecteur (Drain commun / Face Arrière) et la Base (Source / Masse). Ici aussi, ces simulations permettent de limiter les variations de courant du détecteur optique sous l'effet de dV/dt .

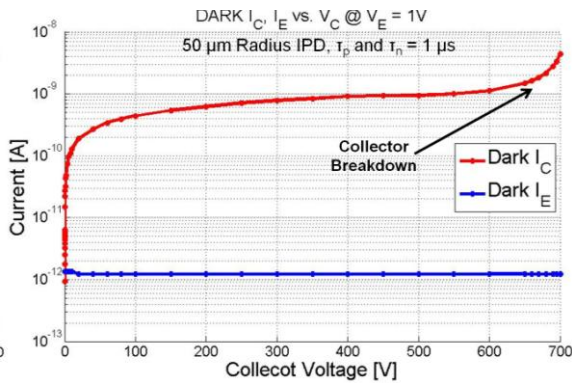


Fig 6: Simulation de l'évolution des courants de fuite, la Base étant connectée à la masse (Source) et l'émetteur à 1V. Le claquage du Collecteur est estimé à 700V et la polarisation statique du Collecteur n'influence pas le courant de fuite de l'émetteur.

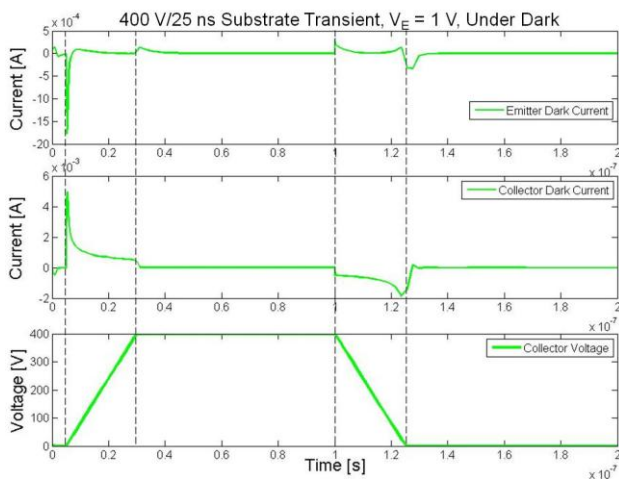


Fig 7: Analyse transitoire sans source lumineuse lors d'un dV/dt de $16kV/\mu s$ entre Collecteur (Source / Face Arrière) et Base (Masse). De haut en bas : courant du détecteur optique (Emetteur), courant de Collecteur et potentiel de Collecteur en fonction du temps.

Ces études d'immunité dynamique montrent qu'il faudra soit filtrer la partie haute fréquence du courant d'émetteur dans la partie électronique de détection, soit améliorer la géométrie et la structure du détecteur optique pour limiter la modification du courant d'émetteur sous l'effet du dV/dt Collecteur – Base (identique au dV/dt Drain – Source). D'autre part, les études dynamiques (analyses harmoniques petit signal, 3D axisymétrique, sous illumination) ont montré que les détecteurs optiques intégrés disposaient d'une bande passante au-delà de plusieurs dizaines de MHz, totalement compatible avec l'application en électronique de puissance.

2.1.2. Fabrication et caractérisation du détecteur optique intégré

Un jeu de sept masques 5'' a été conçu, avec principalement des variantes géométriques à l'échelle d'un wafer. L'ensemble des étapes technologiques a été réalisé sur la Plateforme Technologique Amont (CNRS / CEA) ainsi qu'au CIME Nanotech à Grenoble. La figure 8 présente des images des composants réalisés, la face arrière (Collecteur) étant commune pour tous les composants. Afin de maximiser le nombre de variantes testées, la plupart des détecteurs optiques ont été destinés à une mesure sous pointe basse tension, mais certains détecteurs ont été intégrés au sein d'une périphérie en tension par tranchée profonde basée sur les développements de [9-10]. Les détecteurs optiques ont été caractérisés via le banc électro-optique développé au laboratoire G2Elab et présenté dans [2, 11]. Un résultat typique est présenté sur la figure 9, où le détecteur optique présente une sensibilité spectrale maximale de $0.2 A/W$ à $500nm$ à $1V$ de différence de potentiel Emetteur – Base, sur un détecteur optique muni d'un traitement antireflet de 60 à $70nm$ de Si_3N_4 . La figure 9 montre aussi que la simulation numérique donne une bonne prédiction des performances statiques des détecteurs optiques. Cette valeur de $0.2 A/W$ permet de minimiser le plus possible le niveau de puissance optique nécessaire pour générer un courant électrique détectable simplement.

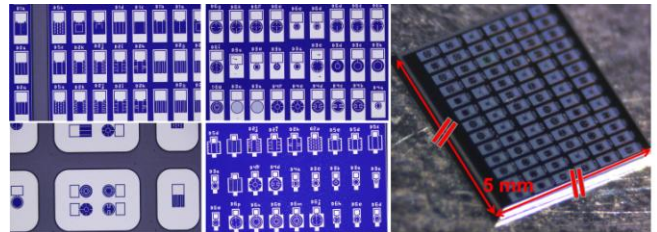


Fig 8: Images microscope optique de détecteurs optiques fabriqués, pour caractérisation basse tension ou au sein d'une protection périphérique pour Haute Tension (en bas à gauche – isolation par tranchée profonde).

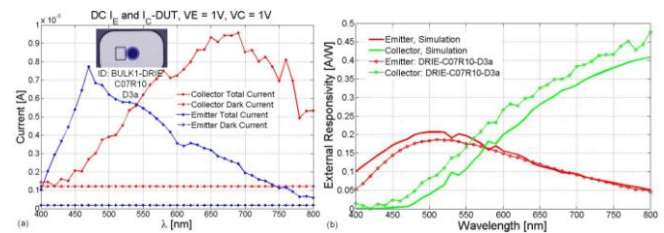


Fig 9: Caractérisation statique d'une variante avec traitement anti-reflet (Nitrure). A gauche : courants d'Emetteur et de Collecteur avec et sans éclairage. A droite : Mesure expérimentale et simulation numérique de la sensibilité spectrale pour Emetteur et Collecteur.

Quelques mesures comparatives statiques de différentes variantes sont présentées sur les figures 10 et 11. Sur la figure 10, différentes géométries de contact ont été conçues afin de maximiser le compromis taux d'ombrage – pertes électriques. La distribution spatiale de la lumière étant Gaussienne, les variantes avec contact métallique en périphérie semblent naturellement présenter le meilleur compromis ombrage – recombinaisons – pertes. D'autre part, la figure 11 présente la comparaison entre un détecteur avec ou sans couche d'antireflet. La variante sans antireflet présente une fenêtre optique où le Silicium se retrouve non passivé. Le gain statique obtenu par le traitement antireflet est une augmentation de sensibilité spectrale de l'ordre de 50%, supérieure aux 40% prévu. Ce gain supérieur pourrait s'expliquer par une meilleure passivation en surface, réduisant alors les recombinaisons en surface et augmentant la sensibilité des détecteurs passivés.

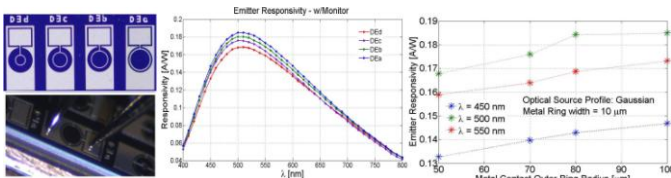


Fig 10: Caractérisation de différentes variantes de géométries de métallisation de contact d'émetteur. De gauche à droite : Images microscope optique des 4 variantes comparées, mesure de sensibilité spectrale, évolution de la sensibilité spectrale en fonction du rayon externe de la métallisation centrale d'émetteur.

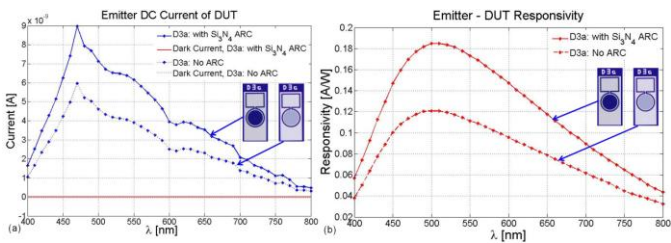


Fig 11 : Comparaison expérimentale de variantes identiques, avec ou sans couche antireflet. A gauche : mesure de courant, à droite : sensibilité spectrale.

Grâce aux variantes ayant une périphérie en tension, l'effet de la polarisation de la face arrière commune a pu être caractérisé. La figure 12 représente les mesures de sensibilité spectrale d'émetteur sous l'effet de la polarisation de la face arrière. Comme prévu par la simulation numérique, il n'y a aucune modification des performances statiques des détecteurs optiques intégrés sous l'effet de la polarisation haute tension.

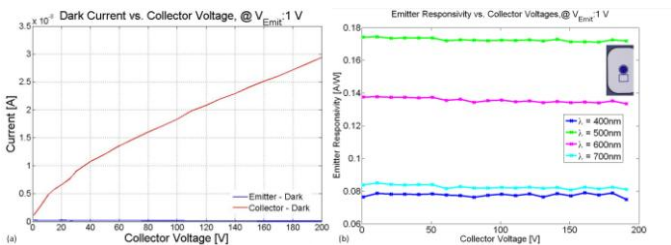


Fig 12: Caractérisation de l'effet de la polarisation en face arrière sur le détecteur intégré. A gauche : courants d'obscurité. A droite : mesure de sensibilité spectrale.

Ces mesures statiques doivent maintenant être confrontées à des études dynamiques, notamment d'immunité au dV/dt. En utilisant un circuit transimpédant externe ayant un gain de 10^3 V/A pour une bande passante de 80MHz, la réponse indicielle typique d'un détecteur optique est présentée sur la figure 13. Les performances de cette chaîne de détection présentent alors une bande passante supérieure à 10MHz, permettant un fonctionnement rapide dans le contexte de l'électronique de puissance.

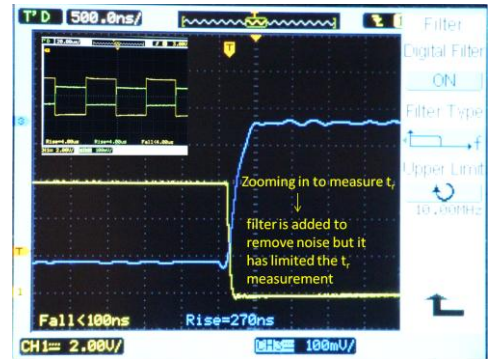


Fig 13: Réponse indicielle d'un détecteur optique intégré sous illumination à 450nm.

2.2. Intégration hybride d'un étage de détection optique et de circuits de traitement électronique

Afin de réaliser l'approche d'intégration proposée dans la figure 1 entre le détecteur optique monolithique et l'électronique de pilotage, un circuit transimpédant complet a été dimensionné et conçu dans une technologie CMOS 0.35µm (AMS C35B4C3). Dans un premier temps, le circuit réalisé est un amplificateur transimpédant (TIA) avec un produit gain bande élevé. Trois variantes ont été conçues, dans le but d'obtenir un signal électrique de quelques centaines de mV à quelques Volts, à partir d'un photocourant modulé ou non de l'ordre de quelques dizaines de nA à quelques µA. A l'image des figures 1 et 2 cette partie électronique peut être connectée soit à un détecteur optique intégré au composant de puissance (figure 1), soit à un détecteur optique intégré dans la partie CMOS (figure 2).

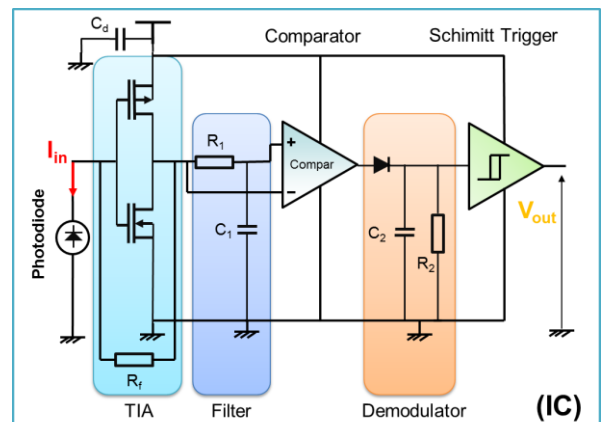


Fig 13: Schéma de principe du circuit électronique de conversion optique - électrique. Le capteur optique peut être soit intégré à la puce CMOS, soit déporté sur le composant de puissance.

Le schéma qualitatif de fonctionnement des différents éléments de la chaîne de traitement est présenté sur la figure 14. Afin de limiter les perturbations, un système simple de modulation / démodulation a été choisi : lorsque l'état passant du composant de puissance est désiré, l'émetteur optique est modulé à une fréquence élevée (par exemple quelques MHz voire la dizaine de MHz). Le courant issu du détecteur optique est converti en tension par l'étage TIA, puis l'information est mise en forme. Au-delà de la conception et du dimensionnement des étages électroniques, des détecteurs optiques CMOS ont aussi été conçus, en totale compatibilité avec le procédé technologique retenu et sans variante particulière de procédés. La figure 15 présente les structures de quelques détecteurs optiques CMOS conçus. Ces différentes structures de détecteurs optiques proposent des compromis différents entre la longueur d'onde optimale de détection (étendue et profondeur de la zone de charge d'espace) et la bande passante intrinsèque du détecteur optique (capacité surfacique et transport des porteurs générés).

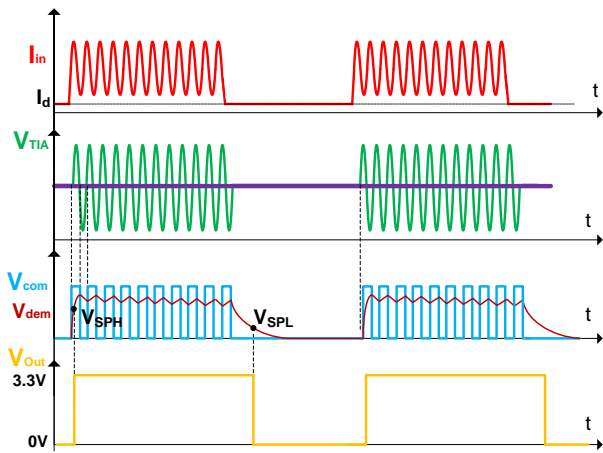


Fig 14: Principe de fonctionnement de la chaîne de traitement. De haut en bas : courant du détecteur optique, tension de l'étage transimpédant, tension du filtre et du comparateur, tension finale de sortie après détection de seuil.

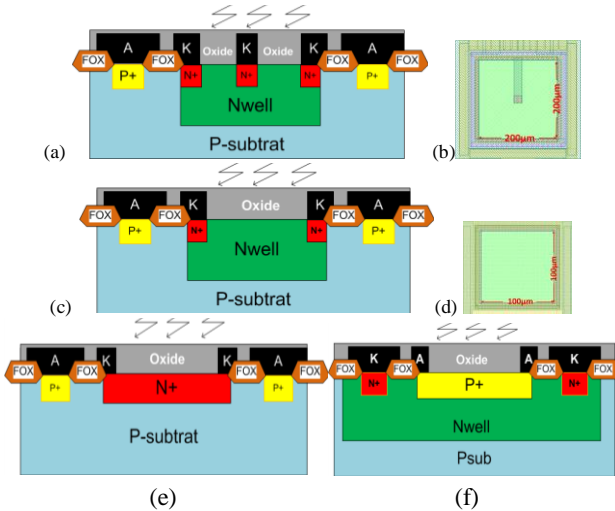


Fig 15: Schémas de principe des détecteurs optiques intégrés à la puce CMOS. Ici, seul un niveau de métallisation est présenté, mais la technologie retenue comporte 4 niveaux de métallisation et un oxyde de passivation finale.

La puce finale regroupe plusieurs variantes : détecteurs optiques seuls pour caractérisation, circuits électroniques seuls de conversion et mise en forme pour caractérisation et association avec détecteur optique CMOS ou intégré au composant de puissance, et détecteur optique CMOS connecté à l'électronique de conversion CMOS. La figure 16 présente une image de la puce fabriquée comportant l'ensemble de ces variantes. Quelques résultats de caractérisation statique des détecteurs optiques seuls sont présentés sur la figure 17, utilisant ici aussi la plateforme de caractérisation développée dans [2,11]. Les performances statiques sont tout à fait correctes, avec des sensibilités spectrales mesurées entre 0.05 A/W et 0.3 A/W, selon les variantes et les longueurs d'ondes. Il est à noter que le procédé standard CMOS ayant été utilisé (i.e. non optimisé pour la photo-détection), il reste une couche épaisse d'oxyde (supérieure à 3µm), ayant pour conséquence une faible périodicité en longueur d'onde de la réflexion optique, observable partiellement sur la figure 17.

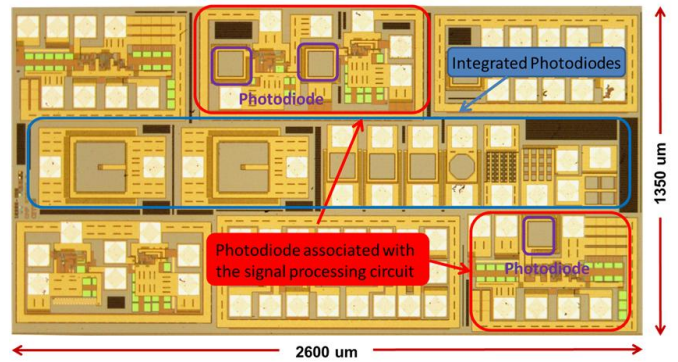


Fig 16: Image microscope optique de la puce CMOS conçue, comportant photodiodes, circuits électroniques de traitement et étages complets de commande par voie optique.

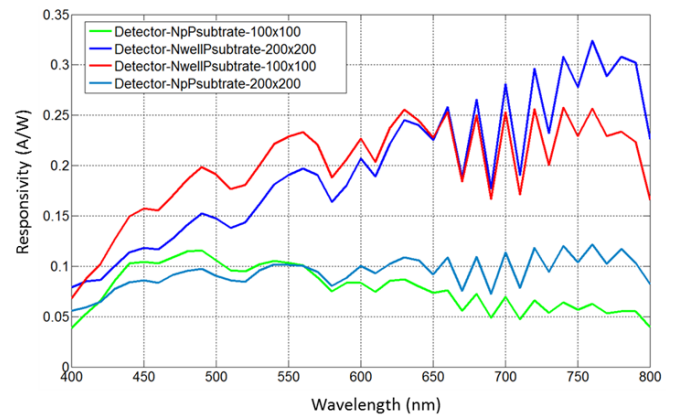


Fig 17: Caractérisation de la sensibilité spectrale de quelques variantes fabriquées.

Les performances dynamiques ont aussi été caractérisées. La figure 18 présente les résultats de simulation sur l'environnement CADENCE et les résultats expérimentaux d'une variante comprenant une photodiode CMOS intégrée et connectée directement à l'échelle de la puce CMOS à son électronique aval de traitement et de conversion électrique. Un laser bleu à modulation directe a été utilisé pour la caractérisation expérimentale et la puissance optique nécessaire est de l'ordre de 20µW crête à crête. Le temps de délai total

entre le changement d'état de la commande externe (modulation du laser) et le basculement de l'étage de sortie de la puce CMOS a été mesuré entre 100ns et 200ns, principalement à cause des constantes de temps des circuits de filtrage intégrés et des seuils de détection des étages comparateurs. Les performances globales de la chaîne complète CMOS sont tout à fait compatibles avec les applications en électronique de puissance. Plusieurs pistes d'amélioration restent encore à creuser, aussi bien sur les variantes existantes (mesures complètes bande passante – longueur d'onde optimale, fonctionnement en température) que pour les versions futures (minimisation du temps de délai entre la commande externe et le signal de sortie).

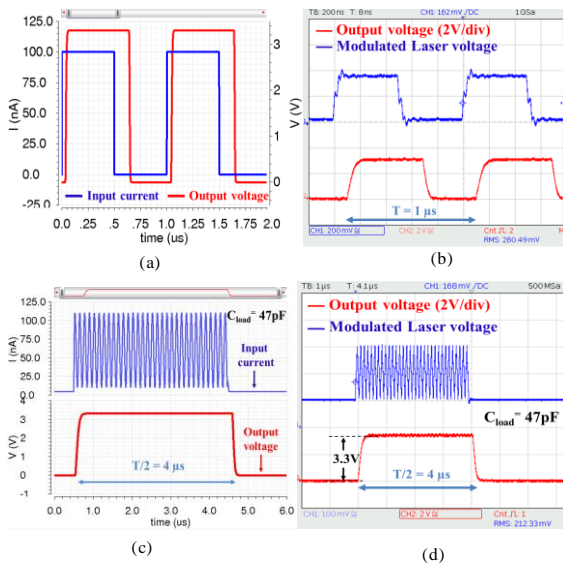


Fig 18: Simulation (a) et (c) et mesures expérimentales (b) et (d) d'un détecteur optique et de son électronique de traitement associée. a) et b) représentent une transmission en bande de base du signal de commutation (ici à 1MHz et rapport cyclique 0.5). c) et d) utilisent une porteuse à 8MHz lors de l'état haut pour une fréquence du signal de commutation de 125kHz.

3. INTEGRATION D'UNE ISOLATION PAR TRANSFORMATEUR SANS NOYAU MAGNETIQUE

En lien avec l'approche proposée à la figure 2, en remplaçant alors l'étage de réception optique par un transformateur intégré, plusieurs variantes de transformateurs sans noyau magnétique ont été simulées, conçues et caractérisées dans le but de transférer des signaux et ordres de commutation isolés pour les transistors de puissance, au sein d'une technologie CMOS [13]. La technologie retenue est une technologie 0.35μm HV, comportant quatre niveaux de métallisation dont un métal épais (AMS H35B4M3), adaptée pour la commande de grilles de composants de puissance jusqu'à 20V. Le schéma de principe du transformateur CMOS intégré est présenté sur la figure 19.

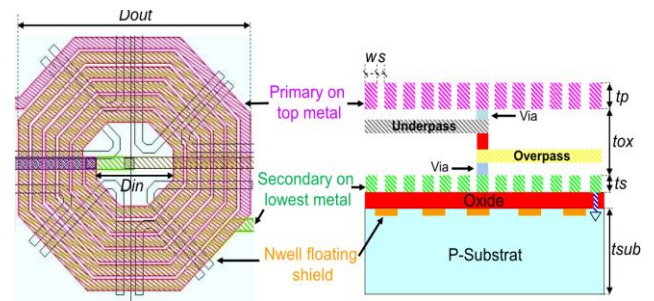


Fig 19: Schéma de principe du transformateur intégré pour la transmission des ordres isolée.

L'enroulement primaire est réalisé sur les deux couches métalliques les plus éloignées du substrat (les spires sont réalisées sur M4 et la reprise du point central se fait via M3) et l'enroulement primaire est connecté à l'étage externe de commande éloignée, modulée en fréquence. L'enroulement secondaire est réalisé avec la même géométrie que l'enroulement primaire, sur les couches métalliques les plus proches du substrat (les spires sont réalisées sur M1 et la reprise du point central se fait via M2). Malgré les règles de conception et les contraintes de la technologie retenue, il existe de nombreux degrés de liberté sur la conception de transformateurs intégrés sans noyau magnétique, en jouant sur la géométrie, la connexion avec le circuit externe et les fonctions intégrées. Afin de s'orienter vers une optimisation fiable en confrontant plusieurs modélisations électromagnétiques aux résultats expérimentaux, des motifs élémentaires de transformateurs différents ont été dessinés et caractérisés – figure 20 et table 1. Un soin particulier a été apporté à la caractérisation en mode différentiel (GSSG) de chaque variante, ainsi que à la caractérisation intrinsèque des transformateurs par la méthode de de-embedding [13-14], permettant d'extraire le comportement intrinsèque des transformateurs sans les effets et couplages induits par les pads de connexion et les pistes d'amenées (figure 20 – motifs open et short).

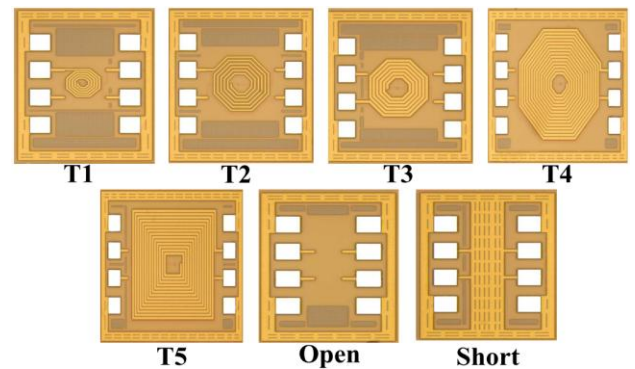


Fig 20: Images microscope optique de transformateurs élémentaires et motifs de caractérisation associés. A titre d'échelle, la taille des pads de contact est de 90μm par 90μm.

DUT	Geometric parameters					
	Area (μm^2)	Dout (μm)	Din (μm)	w (μm)	s (μm)	Winding shape
T1	150x150	150	30	8	4	Octagonal
T2	300x300	300	50	8	10	Octagonal
T3	300x300	300	50	14	4	Octagonal
T4	600x600	600	100	14	4	Octagonal
T5	600x600	600	100	14	4	Square

Table 1: Paramètres des cinq variantes considérées de transformateurs sans noyau magnétique intégré au driver CMOS.

Les transformateurs ont été simulés via le logiciel éléments finis HFSS et la comparaison des simulations avec les mesures du couplage de ces transformateurs sur la plage 10 MHz-20 GHz est présentée sur la figure 21. Les fréquences optimales d'utilisation de ces transformateurs se situent entre 520 MHz et 11 GHz. Les couplages haute fréquence entre le primaire (commande éloignée) et le secondaire (commande rapprochée) sont ainsi correctement prédits et caractérisés. La caractérisation expérimentale des transformateurs a été conduite via un analyseur de réseau vectoriel Agilent N5250A, associé à des pointes de mesures en configuration Masse-Signal-Signal-Masse (G-S-S-G), permettant une mesure différentielle [12]. Le banc de mesure utilisé permet l'extraction des paramètres S de dispositifs jusqu'à 110GHz, mais en raison des limitations des sondes utilisées, les mesures ont été effectuées sur la plage 10MHz à 20 GHz (figure 22).

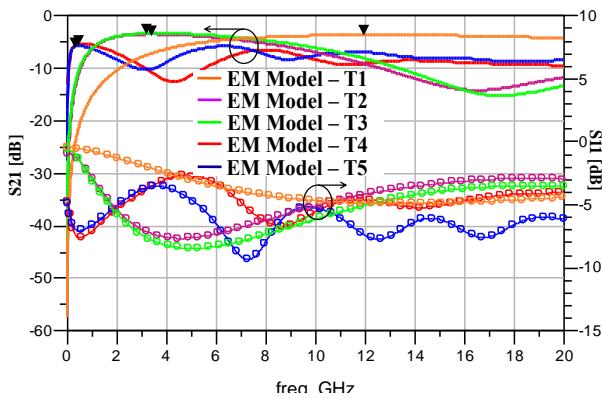


Fig 21: Paramètres S issus du modèle 3D élément fini, en fonction de la fréquence et de la géométrie des cinq transformateurs considérés.

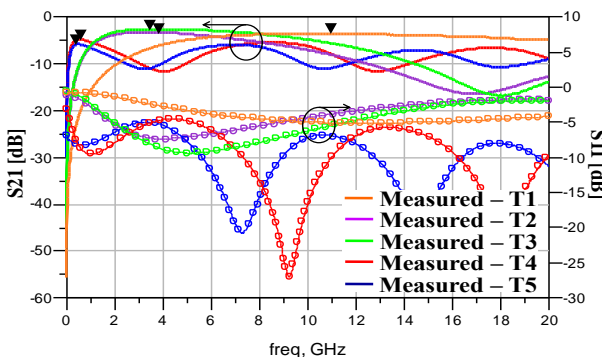


Fig 22: Paramètres S mesurés après de-embedding, en fonction de la fréquence et de la géométrie des cinq transformateurs considérés.

Le tableau 2 représente les résultats principaux de simulation et de caractérisation pour les cinq variantes considérées. Afin de maximiser le gain en tension entre le primaire et le secondaire, la variante T3 a été retenue comme la plus pertinente, présentant de plus son couplage maximal pour une fréquence de 3.3GHz.

DUT	Optimal Freq [GHz]/ Voltage Gain [dB]			Mutual Inductance [nH]			Coupling k x 100 [%]		
	2D	3D	M	2D	3D	M	2D	3D	M
T1	11.5/ -3.9	12/ -3.8	10.9/ -3.7	1.7	1.8	1.2	81	79	80
T2	3.8/ -4	3.7/ -3.5	3.9/ -3.4	5.5	5	4.8	91	89	89
T3	3.7/ -2.9	3.4/ -3	3.3/ -2.8	5.6	6.1	5	92	90	91
T4	0.69/ -5.5	0.61/ -5.4	0.65/ -4.79	31	40	33.8	98	95	98
T5	0.65/ -5.8	0.5/ -5.8	0.52/ -5.9	41	45	35.9	98	97	98

Table 2: Eléments de comparaison entre les cinq variantes considérées, pour des modèles (2D : calcul analytique des éléments du schéma équivalent électrique, 3D : simulation élément fini 3D HFSS) et la mesure (M).

Le niveau d'isolation statique des transformateurs sans noyau a été caractérisé sous vide secondaire et sous pointe. Le niveau d'isolation maximal estimé pour la technologie utilisée est de l'ordre de 3 à 4 kV, via les couches d'oxyde intermétalliques, mais la tenue en tension typique mesurée entre le secondaire et le primaire est de l'ordre de 1800V (figure 23). Cette limite résulte principalement de l'utilisation d'un seul niveau d'oxyde intermétallique entre la reprise du point milieu du secondaire (via MET3) et le point milieu du primaire (via MET2) – figure 19. Cette limite peut très simplement se repousser via une modification du routage, afin d'utiliser deux niveaux d'oxyde d'isolation au lieu d'un seul, la distribution 3D du champ électrique devant être aussi pris en compte.

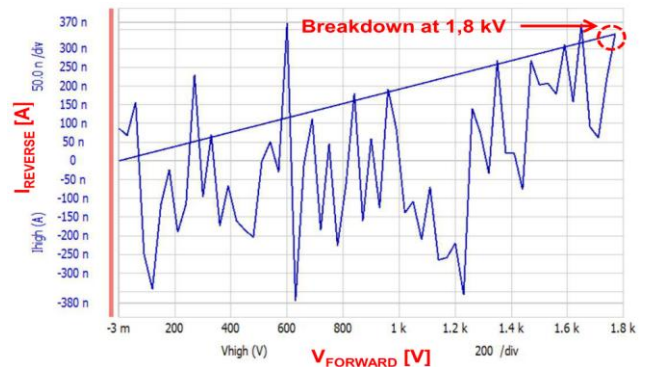


Fig 23: Mesure sous vide secondaire de la tenue en tension entre le primaire et le secondaire du transformateur.

Une des variantes de transformateur (T3) a été intégrée avec le reste des fonctions électroniques nécessaires pour le pilotage rapproché du transistor de puissance (figure 24 et 25). En utilisant un générateur de tension haute fréquence (3.3GHz) ayant la possibilité d'utiliser une modulante basse fréquence (quelques centaines de kHz), le driver a été caractérisé dans son environnement. Tout d'abord, un gain en tension de l'ordre de 0.7 a été mesuré entre le primaire et le secondaire à 3.3GHz, ainsi qu'un retard de basculement de l'ordre de 25ns (figure

26). Le gain en tension mesuré confirme les valeurs de S21 du modèle et la mesure. Le délai de changement d'état est une conséquence du dimensionnement des différents étages du driver, principalement de la démodulation et détection de seuil.

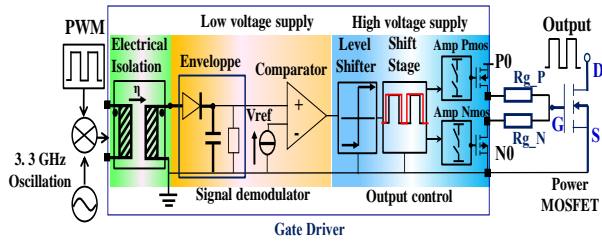


Fig 24: Schéma de principe de la chaîne complète du driver.

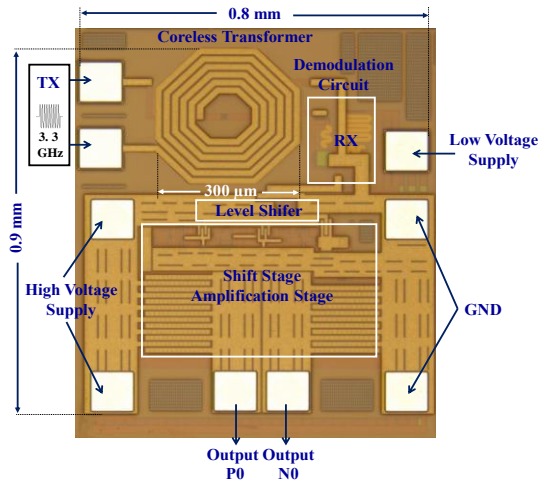


Fig 25: Image microscope optique du driver CMOS avec transformateur sans noyau magnétique.

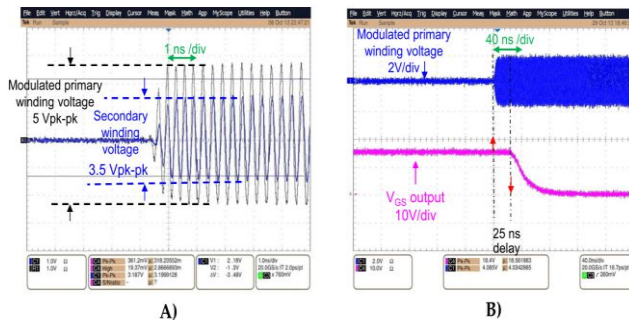


Fig 26: Mesures du gain en tension (A) et du délai de basculement entre le signal de commande externe modulé et le pilotage de grille.

La puce driver a alors été utilisée dans un hacheur série 200V, 100kHz, 2A, dans deux configurations. Dans la configuration *low side*, la source du transistor piloté et la masse du driver sont connectées à la masse du circuit de puissance. Dans la configuration *high side*, la source du transistor piloté et la masse du driver sont connectées au point milieu de puissance (flottant). Pour chacun de ces cas, le bon fonctionnement du convertisseur et du driver a été assuré, le transistor de puissance utilisé étant en Silicium avec un driver adapté. Une étude plus poussée sur les limites d'isolation dynamique entre la partie puissance et la partie commande doit être menée, notamment en fonction des niveaux de dv/dt , di/dt et des choix d'intégration associés.

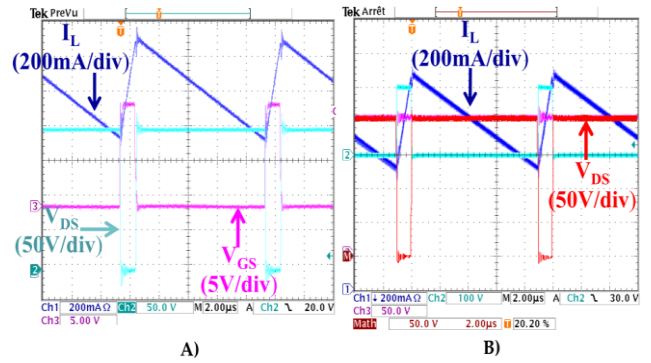


Fig 27: Formes d'ondes du transistor piloté par le driver réalisé. A) Configuration transistor low side. B) Configuration transistor high side.

4. CONCLUSION

Plusieurs solutions de transfert isolé d'ordres de commutation pour composants de puissance ont été conçues, dimensionnées, fabriquées et caractérisées, afin de réaliser une isolation galvanique performante et intégrée. Une co-intégration et un effort de conception couplée entre la partie de commande rapprochée et la puce de puissance sont proposés. Plusieurs solutions optiques et électromagnétiques hautes fréquences sont présentées et mises dans leur contexte. Les solutions optiques disposent d'une sensibilité au-delà de 0.1 à 0.2 A/W optique et d'une bande passante au-delà de 10 MHz. Un modèle fiable de transformateur sans noyau magnétique a été établi, avec un soin particulier sur les couplages aux hautes fréquences. Les fréquences de modulation sont situées entre 100 MHz et 5 GHz selon les géométries. La chaîne complète de pilotage de transistors de puissance a été démontrée dans un hacheur série 200 V fonctionnant à 100 kHz via une commande modulée à 3.3 GHz. Cette approche doit maintenant être transférée pour le pilotage de plusieurs semiconducteurs de puissance à potentiels de référence flottants, notamment via une intégration 3D poussée entre le ou les organes de générations des ordres de commutation, l'étage de réception du driver et ses fonctions associées, puis le ou les composants de puissances et les périphériques associés au convertisseur de puissance.

5. REMERCIEMENTS

L'ensemble des résultats présentés dans cet article a bénéficié des soutiens financiers des projets ANR JCJC 2010 0907 SiPowLight (Agence Nationale de la Recherche) et BQR WiSiTUDe (Grenoble-INP). Les caractérisations électriques et électro-optiques ont utilisé la plateforme CARAPACE, financée par le labex LANEF (investissements d'avenir). Nous remercions le réseau technologique RENATECH – RTB (CNRS – CEA) pour les réalisations technologiques et plus particulièrement FEMTO-ST (réalisations masques) et PTA/CIME Nanotech (étapes de fabrication). Les puces CMOS ont été réalisées par l'intermédiaire de CMP (CNRS-UGA).

6. REFERENCES

- [1] S. Lefebvre, B. Multon, "Commande des semi-conducteurs de puissance : contextes », *Techniques de l'ingénieur*, no. D3230, August. 2002.
- [2] N. Rouger, R. Vafaei, D. N. To and J.-C. Crebier, "Etude expérimentale d'un étage intégré d'isolation par voie optique pour transistors de puissance," in *Proc. Électrotechnique du Futur*, 2012.
- [3] N. Rouger, J.-C. Crebier, "Integrated photoreceiver for an isolated control signal transfer in favour of power transistors," in *Proc. IEEE International Symposium on Power Semiconductor Devices and IC's*, May 2008, pp. 213-216.
- [4] N-D. To, N. Rouger, J-D. Arnould, N. Corrao, J-C. Crebier, Y. Lembeye, "Integrated gate driver circuits with an ultra-compact design and high level of galvanic isolation for power transistors," in *Proc. IEEE International Conference on Integrated Power Electronics Systems*, Feb. 2014.
- [5] T. Simonot, J. Crebier, N. Rouger, and V. Gaude, "3D hybrid integration and functional interconnection of a power transistor and its gate driver", in *Proc. IEEE ECCE*, pp. 1268–1274, Sep. 2010.
- [6] N Rouger, JC Crebier, "Toward Generic Fully Integrated Gate Driver Power Supplies," *IEEE Transactions on Power Electronics*, vol. 23, issue 4, pp. 2106-2114, jul. 2008.
- [7] S. Mazumder, T. Sarkar, "Optically-activated gate control of power semiconductor device switching dynamics," in *Proc. IEEE International Symposium on Power Semiconductor Devices IC's*, pp. 152 – 155, 2009.
- [8] S. Nagai, T. Fukuda, N. Otsuka, D. Ueda, N. Negoro, H. Sakai, T. Ueda, T. Tanaka, "A one-chip isolated gate driver with an electromagnetic resonant coupler using a SPDT switch," in *Proc. IEEE International Symposium on Power Semiconductor Devices and ICs*, pp. 3-7, June. 2012.
- [9] Vladimirova, K.; Crebier, J-C; Schaeffer, C.; Constantin, D., "The vertical voltage termination technique — Characterizations of single die multiple 600V power devices," *Power Semiconductor Devices and ICs (ISPSD)*, 2011 IEEE 23rd International Symposium on , vol., no., pp.204,207, 23-26 May 2011
- [10] Vladimirova, K.; Crebier, J-C; Avenas, Y.; Schaeffer, C., "Single Die Multiple 600 V Power Diodes With Deep Trench Terminations and Isolation," *Power Electronics, IEEE Transactions on* , vol.26, no.11, pp.3423,3429, Nov. 2011
- [11] Vafaei, R.; Crebier, J.-C.; Rouger, N., "Performance measurements of an optical detector designed for monolithic integration with a power VDMOS," *Instrumentation and Measurement Technology Conference (I2MTC)*, 2013 IEEE International , vol., no., pp.1609,1614, 6-9 May 2013
- [12] To, N.-D.; Rouger, N.; Arnould, J.-D.; Corrao, N.; Crebier, J.-C.; Lembeye, Y., "Integrated gate driver circuits with an ultra-compact design and high level of galvanic isolation for power transistors," *Integrated Power Systems (CIPS)*, 2014 8th International Conference on , vol., no., pp.1,6, 25-27 Feb. 2014
- [13] M. C. A. M. Koolen, J. A. M. Geelen and M. P. J. G. Versleijen, "An improved de-embedding technique for on-wafer high frequency characterization," in *Proc IEEE Bipolar Circuits Technol. Meeting*, pp.188–191, 1991
- [14] K. Kang, J. Brinkhoff, J. Shi and F. Lin, "On-Chip Coupled Transmission Line Modeling for Millimeter-Wave Applications Using Four-Port Measurements," *IEEE Trans. Advanced Packaging*, vol. 33, no. 1, pp. 153–159, Feb. 2010.