

Méthode de caractérisation des capacités inter-électrodes d'un SiC-JFET "Normally-off" en régime désaturé

Ke LI, Arnaud VIDET, Nadir IDIR

Université de Lille 1, Laboratoire d'Électrotechnique et d'Électronique de Puissance (L2EP) de Lille

RESUME – Afin d'étudier les commutations du transistor SiC-JFET "Normally-off", l'évolution des capacités inter-électrodes C_{gd} et C_{ds} est présentée dans cet article quand le composant est en régime désaturé. La capacité C_{gd} est tout d'abord caractérisée par la méthode des pinces de courant (MPC) et ensuite validée par la mesure à l'aide d'analyseur d'impédance. L'évolution de C_{ds} est obtenue par la même méthode en comparant avec une caractérisation en mode pulsé. La capacité C_{ds} peut être négligée quand le transistor est bloqué ; néanmoins, elle augmente jusqu'à quelques dizaines de nF quand le composant conduit en régime désaturé. Les résultats obtenus montrent bien la validité de la méthode de caractérisation proposée qui peut être appliquée à d'autres types de composants.

MOTS-CLES – SiC-JFET "Normally-off" ; Capacités inter-électrodes ; Régime désaturé ; Méthode des pinces de courant ; Mode pulsé.

1 Introduction

Les composants semi-conducteurs à grands gaps sont devenus de plus en plus importants dans les systèmes d'électronique de puissance pour fonctionner à haute température, haut rendement et haute fréquence. Il est donc nécessaire de bien connaître leurs caractéristiques intrinsèques pour une meilleure utilisation [1, 2]. Il y a des capacités inter-électrodes dans les composants semi-conducteurs, qui sont généralement dépendantes des tensions drain-source V_{DS} et grille-source V_{GS} .

Lorsque les composants sont bloqués, l'influence de V_{DS} et V_{GS} sur l'évolution de ces capacités est présentée dans [3]. La détermination de ces capacités pour des fortes de tension V_{DS} joue un rôle important qui détermine le niveau des perturbations électromagnétiques des convertisseurs par exemple. Quand les composants sont en régime désaturé, l'influence du courant commuté sur l'évolution des capacités inter-électrodes est montrée dans [4] ; pour modéliser les composants semi-conducteurs et étudier leurs commutations, il est important de caractériser ces capacités quand le composant est en régime désaturé.

L'évolution des capacités inter-électrodes en fonction de V_{DS} et V_{GS} d'un SiC-JFET "Normally-off" est déjà étudiée par les auteurs dans [3]. Dans cet article, l'évolution des capacités C_{gd} et C_{ds} du SiC-JFET en régime désaturé est présentée. Par rapport à C_{GS} , il y a une forte non-linéarité de ces deux capacités, il est donc important de connaître leur évolution pour l'étude des commutations.

Tout d'abord, la capacité C_{gd} est caractérisée par la MPC. Ce résultat de caractérisation est comparé avec une autre mesure en utilisant l'analyseur d'impédance (IA). Ensuite, la capacité C_{ds} est déterminée en caractérisant C_{oss} ($C_{oss}=C_{gd}+C_{ds}$) par la même méthode. Ce résultat de mesure est comparé avec une autre méthode basée sur la caractérisation du composant en mode pulsé.

2 Caractérisation des capacités inter-électrodes du SiC-JFET

2.1 Caractérisation de C_{gd}

2.1.1 Méthode des pinces de courant

La capacité C_{gd} est caractérisée tout d'abord avec la MPC, qui est basée sur utilisation de trois pinces de courant. Le principe de la MPC est présenté dans [5]. La configuration de mesure est montrée dans la FIGURE 1a. Dans la boucle de courant illustrée par le fil en pointillés rouge, le courant injecté par la pince d'injection (PIC) traverse C_{gd} , et est mesuré par la pince de réception (PRC). Dans l'autre boucle de courant illustrée par le fil en pointillés vert, le courant injecté est mesuré

par l'autre PRC. Le SiC-JFET est polarisé positivement par une batterie et le transistor est alimenté par une source continue E. Une inductance externe de $43\mu\text{H}$ avec un RSIL (Réseau stabilisateur d'impédance de ligne) constituent une boucle de haute impédance en AC, ce qui garantit que tout le courant autour d'1MHz injecté par la PIC traverse le SiC-JFET.

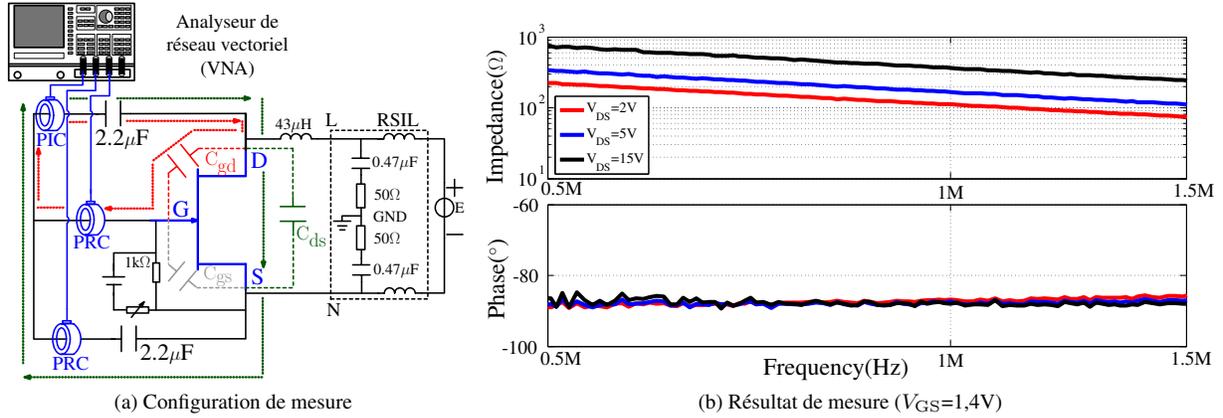


FIGURE 1 – Configuration et résultat de mesure de C_{gd} en fonction de la V_{DS} par la MPC

Quand $V_{GS}=1,4\text{V}$, le résultat de mesure de C_{gd} pour différentes valeurs de V_{DS} est représentée sur la FIGURE 1b. La phase de l'impédance mesurée est quasiment égale à -90° autour d'1MHz, ce qui permet d'obtenir la valeur de capacité directement.

2.1.2 Mesure à l'aide d'analyseur d'impédance

Pour valider la caractérisation de C_{gd} par la MPC, une autre mesure basée sur l'utilisation d'un analyseur d'impédance (IA) est présentée sur la FIGURE 2a. C_{gd} est directement caractérisée par la boucle de courant illustrée par le fil en pointillés rouge et ses valeurs sont également déterminées autour d'1MHz.

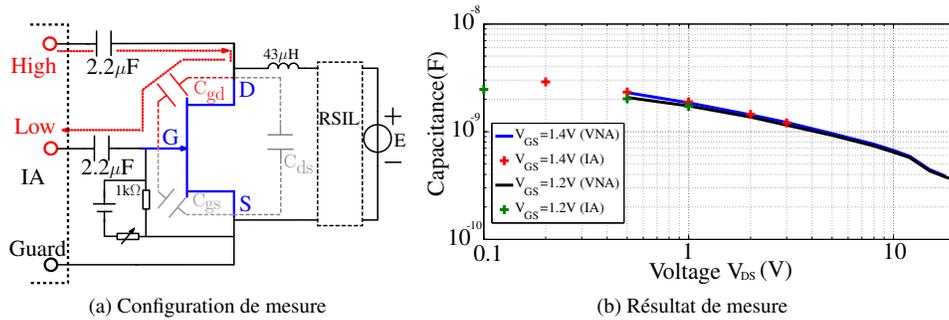


FIGURE 2 – Configuration et résultat de mesure de C_{gd} pour différente valeur de V_{DS}

Quand V_{GS} est égale à 1,2V et 1,4V, le résultat de caractérisation de C_{gd} par les deux mesures est comparé dans la FIGURE 2b. La température de jonction (T_j) du SiC-JFET est contrôlée à $30^\circ\text{C} (\pm 5^\circ)$. C_{gd} mesurée par la MPC correspond bien à celle mesurée avec l'IA pour des faibles valeurs de tensions. Ce résultat permet alors de valider la MPC pour la caractérisation de C_{gd} quand le composant est en régime désaturé. Avec l'avantage de l'isolation entre l'analyseur de réseau vectoriel (VNA) et le circuit de mesure, la MPC est plus adaptée pour la caractérisation de C_{gd} sous contrainte.

2.2 Caractérisation de C_{ds}

2.2.1 Méthode des pinces de courant

La capacité C_{ds} est tout d'abord caractérisée par la MPC en utilisant deux sondes de courant avec la configuration présentée sur la FIGURE 3a. Dans cette configuration, la capacité de sortie ($C_{oss}=C_{gd}+C_{ds}$) est mesurée. La FIGURE 3b représente le résultat de mesure, et la valeur de C_{oss} est déterminée par la méthode de fitting sur un circuit équivalent qui est présenté dans la FIGURE 4a. La FIGURE 4b représente la comparaison entre le résultat de fitting et la mesure, ce qui prouve que ce circuit correspond bien à la mesure, donc C_{oss} peut être obtenue avec la somme de C_1 et C_2 . Ensuite, C_{ds} est obtenue en soustrayant la valeur de C_{gd} obtenue dans la FIGURE 2b. Les résultats sont représentés dans la FIGURE 4c.

Lorsque le SiC-JFET est bloqué, C_{ds} peut être négligée [3]. Dans la FIGURE 4c, quand le SiC-JFET est en régime désaturé, C_{ds} augmente jusqu'à quelques dizaines de nF. Ce résultat sera ensuite validé dans la prochaine section en faisant une caractérisation en mode pulsé.

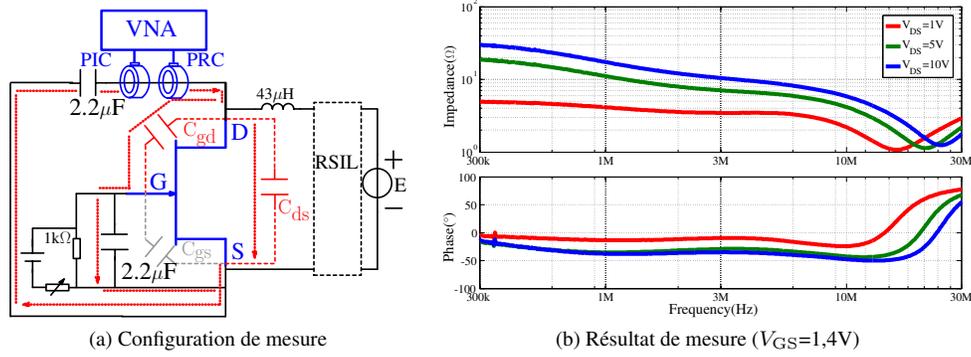


FIGURE 3 – Configuration et résultat de mesure de C_{oss} par la MCP

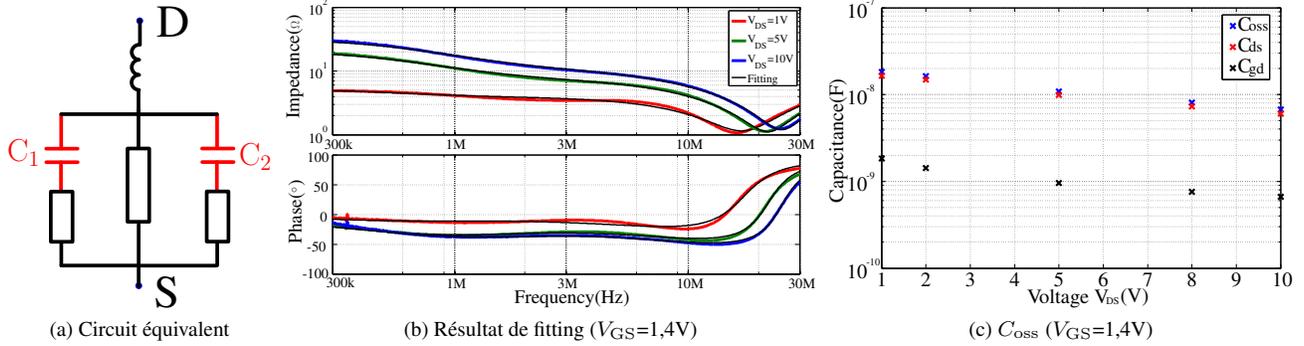


FIGURE 4 – Circuit équivalent et résultat de fitting de C_{oss}

2.2.2 Méthode Pulsée

La caractérisation en mode pulsé est présentée avec le schéma de la FIGURE 5a. La largeur de l'impulsion est contrôlée pour maîtriser T_j durant la mesure. I_D est mesuré par la sonde de courant CP030 (DC-50MHz) et V_{DS} avec la sonde de tension ADP305 (DC-100MHz) avec l'oscilloscope 12-bit (600MHz). Quand $V_{GS}=1,4V$, la FIGURE 5b représente I_D et V_{DS} durant l'impulsion. Ils sont ensuite présentés dans la FIGURE 5c. Pour une même valeur de V_{DS} , suivant que l'on se trouve sur un front montant ou descendant de la tension V_{DS} , on observe une valeur de courant I_D différente quand le SiC-JFET est en régime désaturé. Cette différence de I_D est supposée due à la charge et décharge de C_{oss} durant l'impulsion.

Pour valider cette hypothèse, C_{oss} est ensuite calculée sur la base d'un circuit RC équivalent donné à la FIGURE 6a. R représente la résistance statique de canal du SiC-JFET. Pour les point A et B de la FIGURE 5c qui représentent une valeur de V_{DS} à deux instants différents, l'équation $\frac{V_{DS}}{R} = I - C_{oss} \times \left(\frac{dV_{DS}}{dt}\right)$ peut être appliquée en utilisant $\left(\frac{dV_{DS}}{dt}\right)$ qui correspond à A et B respectivement. Quand le SiC-JFET est en régime désaturé, l'évolution de C_{oss} avec V_{DS} peut être déterminée en variant V_{DS} .

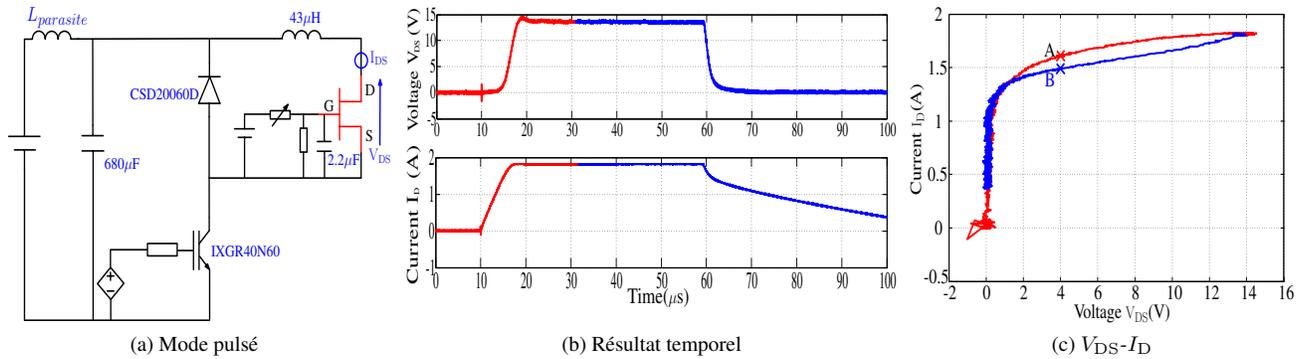


FIGURE 5 – Caractérisation en mode pulsé et résultats ($V_{GS}=1,4V$)

La FIGURE 6b représente la comparaison de C_{oss} entre le calcul et la mesure basée sur la MPC expliquée au paragraphe 2.2.1. Dans le résultat, ces deux manières de caractérisation donnent des résultats similaires, ce qui prouve l'effet d'augmentation de C_{ds} quand le SiC-JFET est en régime désaturé. Ensuite, pour valider l'effet dynamique, ce modèle RC est simulé dans le circuit présenté dans la FIGURE 5a en utilisant les valeurs de R et C calculées. Les résultats sont présentés dans la FIGURE 7,

ce qui montre que le modèle correspond bien à la mesure. Ce résultat prouve que pour une valeur de V_{GS} , le SiC-JFET peut être représenté par le modèle RC de la FIGURE 6a, dont C représente la valeur de C_{OSS} . Par rapport à la caractérisation basée sur la méthode MCP, cette méthode de calcul basée sur le mode pulsé permet de maîtriser T_j plus facilement afin de déterminer C_{OSS} sur une large zone.

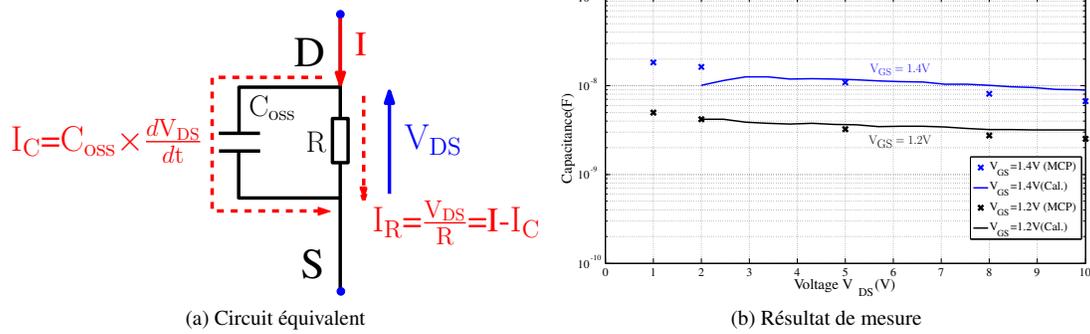


FIGURE 6 – Circuit équivalent et comparaison de mesure de C_{OSS}

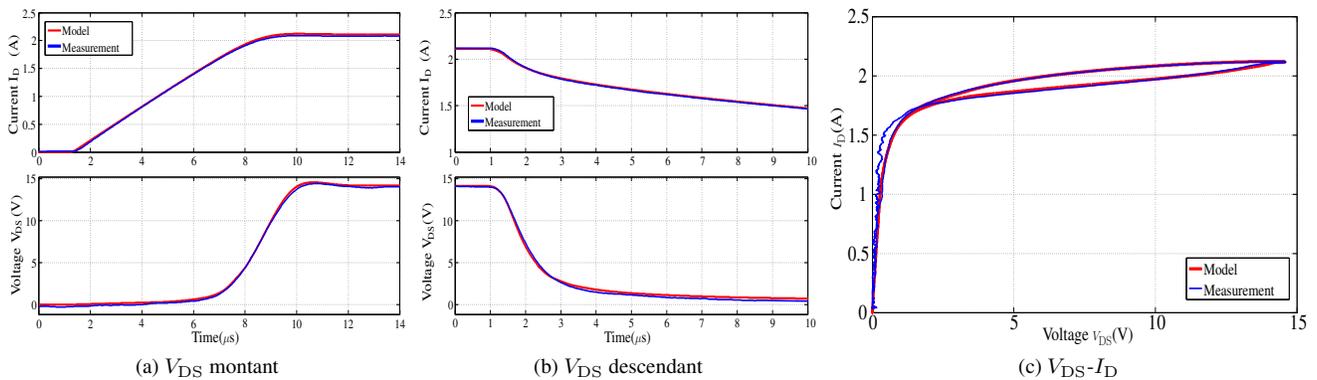


FIGURE 7 – Comparaison entre le modèle et la mesure pour l'effet dynamique ($V_{GS}=1,4V$)

3 Conclusion

Dans ce papier, différentes méthodes de mesure des capacités inter-électrodes C_{gd} et C_{ds} du SiC-JFET sont présentées quand le composant est en régime désaturé. La caractérisation de C_{gd} basée sur la méthode des pinces de courant est validée par la mesure en utilisant l'analyseur d'impédance. La détermination de C_{ds} basée sur la même méthode est comparée avec la caractérisation en mode pulsé pour valider l'évolution de C_{ds} . Quand le SiC-JFET est bloqué, C_{ds} peut-être négligée dans le modèle ; néanmoins, quand le composant est en régime désaturé, C_{ds} augmente jusqu'à quelques dizaines de nF. Ces résultats pourront ensuite servir à modéliser finement le SiC-JFET.

Références

- [1] X. Fonteneau, F. Morel, H. Morel, P. Lahaye, and E. Rondon-Pinilla, "Impact of gate driver signal on static losses for a SiC switch built with Normally-Off JFETs and a Schottky diode," in *Energy Conversion Congress and Exposition (ECCE), 2012 IEEE*, pp. 1503–1508, 2012.
- [2] Othman, S. Lefebvre, M. Berkani, Z. Khatir, A. Ibrahim, and A. Bouzourene, "Investigation of 1.2 kV investigation of SiC MOSFETs for aeronautics applications," in *Power Electronics and Applications (EPE), 2013 15th European Conference on*, pp. 1–9, 2013.
- [3] K. Li, A. Videt, and N. Idir, "SiC/GaN power semiconductor devices inter-electrode capacitances characterization based on multiple current probes," in *Power Electronics and Applications (EPE), 2013 15th European Conference on*, pp. 1–9, 2013.
- [4] L. Aubard, G. Verneau, J. Crebier, C. Schaeffer, and Y. Avenas, "Power MOSFET switching waveforms : an empirical model based on a physical analysis of charge locations," in *Power Electronics Specialists Conference, 2002. pesc 02. 2002 IEEE 33rd Annual*, vol. 3, pp. 1305 – 1310 vol.3, 2002.
- [5] K. Li, A. Videt, and N. Idir, "Multiprobe Measurement Method for Voltage-Dependent Capacitances of Power Semiconductor Devices in High Voltage," *Power Electronics, IEEE Transactions on*, vol. 28, no. 11, pp. 5414–5422, 2013.