



HAL
open science

Caractérisation des capacités inter-électrodes d'un SiC-JFET " Normally-off " en régime désaturé

Ke Li, Arnaud Videt, Nadir Idir

► To cite this version:

Ke Li, Arnaud Videt, Nadir Idir. Caractérisation des capacités inter-électrodes d'un SiC-JFET " Normally-off " en régime désaturé. Symposium de Génie Électrique 2014, Jul 2014, Cachan, France. hal-01065197

HAL Id: hal-01065197

<https://hal.science/hal-01065197v1>

Submitted on 18 Sep 2014

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Caractérisation des capacités inter-électrodes d'un SiC-JFET "Normally-off" en régime désaturé

Ke LI, Arnaud VIDET, Nadir IDIR

Université de Lille 1, Laboratoire d'Électrotechnique et d'Électronique de Puissance (L2EP) de Lille

RÉSUMÉ – Afin d'étudier les commutations du transistor SiC-JFET "Normally-off", l'évolution des capacités inter-électrodes est présentée dans ce papier lorsque le composant est en régime désaturé. La capacité de contre-réaction C_{gd} est tout d'abord caractérisée par la méthode des pinces de courant et ensuite validée par la mesure à l'aide d'un analyseur d'impédance. Ces méthodes de caractérisation sont ensuite appliquées à la mesure de la capacité de sortie C_{oss} , et montrent une forte augmentation de capacité apparente en régime désaturé. L'influence de la résistance de grille interne est alors étudiée, soulevant la problématique de mesure des capacités inter-électrodes des composants de puissance lorsque le canal conduit. Les résultats de caractérisation permettent finalement la mise en oeuvre d'un modèle comportemental dont le comportement en commutation est validé par des mesures sur un hacheur buck.

Mots-clés – SiC-JFET "Normally-off"; Capacités inter-électrodes; Régime désaturé; Méthode des pinces de courant; Mode pulsé, Résistance de grille R_g

1. INTRODUCTION

Les composants semi-conducteurs à base de matériaux semi-conducteurs à grand gap jouent un rôle très important dans le développement futur des systèmes de conversion d'énergie. Il est donc nécessaire de bien connaître leurs caractéristiques intrinsèques pour optimiser leur utilisation [1, 2]. Les capacités inter-électrodes des composants semi-conducteurs varient généralement avec les différentes grandeurs électriques du composant. Dans le cas du composant SiC-JFET, elles dépendent des tensions drain-source V_{DS} et grille-source V_{GS} .

Lorsque les composants sont bloqués, l'influence de V_{DS} et V_{GS} sur l'évolution de ces capacités est présentée dans [3]. La détermination de ces capacités pour de fortes valeurs de tension V_{DS} joue un rôle important dans la détermination du niveau des perturbations électromagnétiques des convertisseurs par exemple.

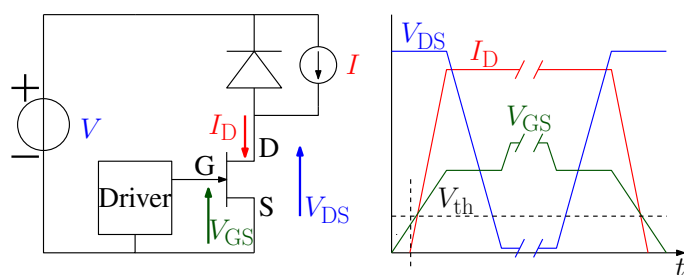


Fig. 1. Cellule de la commutation et les formes d'onde idéalisées

La Fig. 1 représente une cellule de commutation, les formes

d'onde idéalisées du courant I_D et les tensions V_{DS} et V_{GS} associées. On voit que durant la descente et la montée de V_{DS} , la tension V_{GS} est supérieure à la tension de seuil V_{th} et il y a du courant dans le canal du transistor. Pour modéliser finement les transistors, il est nécessaire de connaître l'influence de courant I_D ou des tensions V_{GS} et V_{DS} sur l'évolution des capacités inter-électrodes.

L'influence du courant commuté sur l'évolution des capacités inter-électrodes est montrée dans [4] pour un MOSFET. Dans ce papier, un transistor SiC-JFET "Normally-off" (SJEP120R063) est étudié. La structure interne, qui est présentée en Fig. 2, montre que quand le transistor est bloqué, la valeur de la capacité C_{ds} peut être négligée dans ce cas.

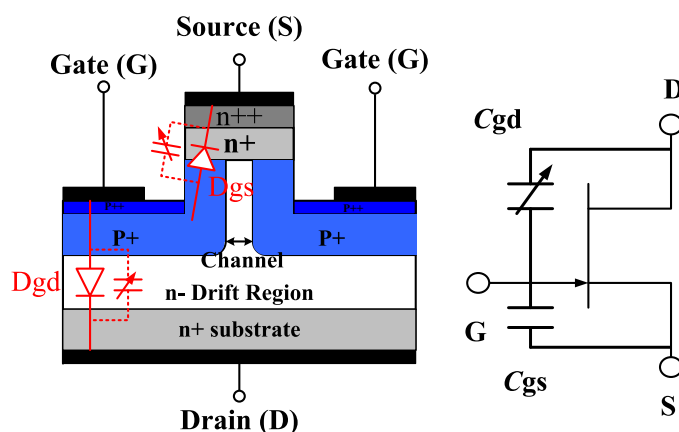


Fig. 2. Structure d'un SiC-JFET "Normally-off"

Lorsque le transistor est bloqué, l'évolution des capacités inter-électrodes en fonction de V_{DS} et V_{GS} a été étudiée par les auteurs dans [3]. Dans cet article, l'évolution des capacités inter-électrodes du SiC-JFET en régime désaturé est présentée. Afin de proposer un modèle qui permet de décrire le comportement du composant durant les commutations, il est nécessaire de déterminer l'évolution de ces capacités inter-électrodes.

Dans ce papier, dans un premier temps, la capacité C_{gd} en régime de conduction et en désaturation est caractérisée par la méthode des pinces de courant (MPC). Le résultat obtenu est comparé avec une autre mesure obtenue avec un analyseur d'impédance (AI). Ensuite, la capacité de sortie C_{oss} est caractérisée par la même méthode. Alors qu'elle se trouve égale à C_{riss} lorsque le transistor est à l'état bloqué (confirmant l'absence de capacité C_{ds} pour ce type de composant), une forte augmentation de la valeur apparente de cette capacité est observée en

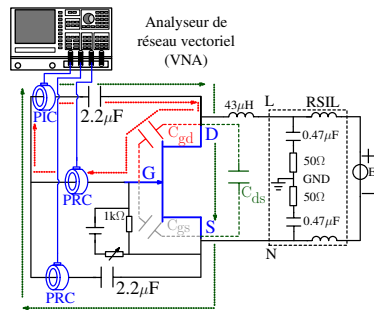
régime désaturé. Ce résultat de mesure est ensuite confirmé par une seconde méthode basée sur la caractérisation du composant en mode pulsé. La résistance de grille R_g interne du composant est prise en compte lors de la caractérisation. Son influence sur les résultats obtenus par la méthode MPC et en mode pulsé sera détaillée. Un modèle comportemental basé sur ces résultats de caractérisation est proposé. Les formes d'onde des commutations issues de la simulation sont comparées aux relevés expérimentaux. Ce papier se termine par une conclusion qui reprend les principaux résultats.

2. CARACTÉRISATION DES CAPACITÉS INTER-ÉLECTRODES DU SiC-JFET

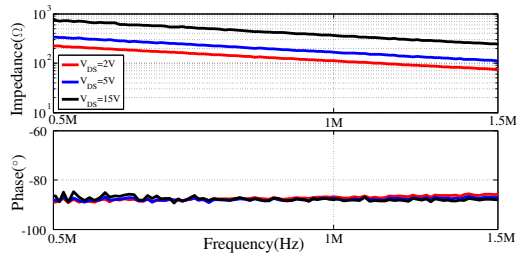
2.1. Caractérisation de la capacité C_{gd}

2.1.1. Méthode des pinces de courant (MPC)

La capacité C_{gd} du SiC-JFET en régime désaturé est caractérisée tout d'abord avec la MPC, qui est basée sur utilisation de trois pinces de courant avec un analyseur de réseau vectoriel (VNA) (E5071C, 9kHz-4.5GHz). Le principe de la MPC est présenté dans [5].



(a) Configuration de mesure



(b) Résultat de mesure de C_{gd} pour $V_{GS} = 1.4V$

Fig. 3. Configuration et résultat de mesure de C_{gd} en fonction de la V_{DS} par la MPC

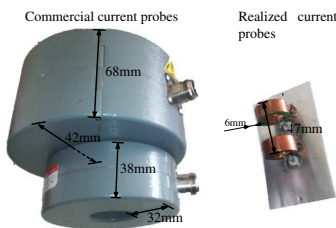


Fig. 4. Les pinces de courant commerciales et celles utilisés dans ce papier

La configuration de mesure est montrée dans la Fig. 3a. Le circuit de la grille du SiC-JFET est polarisé positivement à l'aide d'une batterie et celui de puissance est alimenté par une source de tension continue E. Deux condensateurs externes de $2.2\mu F$

sont utilisés pour bloquer la tension continue entre D et G, et entre G et S. Dans la boucle de courant illustrée par le fil en pointillés rouge, le courant injecté par la pince d'injection (PIC) traverse C_{gd} , et est mesuré par la pince de réception (PRC), donc la valeur de la C_{gd} peut être mesurée directement.

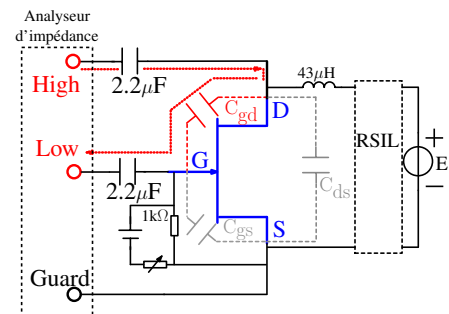
Une inductance externe de $43\mu H$ en série avec le RSIL (Réseau stabilisateur d'impédance de ligne) constitue une boucle de haute impédance en AC, ce qui garantit que tout le courant autour de 1MHz injecté par la PIC traverse le SiC-JFET.

Des pinces de courant utilisées pour la caractérisation ont été développés dans le laboratoire [6]. La Fig. 4 montre la comparaison des pinces de courant commerciales et celles utilisés dans ce papier. L'utilisation de ces petites pinces de courant permet de diminuer les dimensions de la boucle de mesure, et donc de diminuer l'impédance d'insertion de ces pinces dans le circuit. Ainsi, la précision de la mesure a été améliorée.

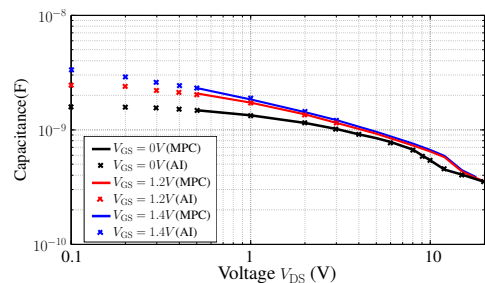
Pour cette étude, la température de la jonction T_j est maintenue à $25^\circ C$ durant la caractérisation. Le résultat de mesure de C_{gd} (obtenue à partir de $Z_{C_{gd}}$) pour différentes valeurs de V_{DS} avec $V_{GS}=1.4V$ est représentée sur la Fig. 3b. On remarque que la phase de l'impédance mesurée est quasiment égale à -90° autour de 1MHz, ce qui correspond bien à une capacité et permet d'obtenir directement la valeur de C_{gd} .

2.1.2. Mesure à l'aide d'analyseur d'impédance (AI)

Pour valider la méthode de mesure de C_{gd} obtenue à l'aide de la MPC, une autre mesure basée sur l'utilisation d'un analyseur d'impédance (AI) (HP4294A, 40Hz-110MHz) est présentée sur la Fig. 5a. Le principe de la mesure est similaire à celle donnée au paragraphe 2.1.1. Ainsi, l'évolution de C_{gd} est directement mesurée par la boucle de courant illustrée par le fil en pointillés rouge et ses valeurs sont également déterminées autour de 1MHz.



(a) Configuration de mesure à l'aide d'analyseur d'impédance



(b) Résultat de mesure

Fig. 5. Configuration et résultat de mesure de C_{gd} pour différentes valeurs de V_{DS} et V_{GS}

Quand V_{GS} est égale à 1.2V et 1.4V, le résultat de caracté-

sation de C_{gd} à l'aide des deux méthodes est comparé dans la Fig. 5b. Ce résultat montre que la valeur mesurée de C_{gd} par la MPC correspond parfaitement à celle mesurée avec l'AI pour des faibles valeurs de tensions. Ce résultat permet alors de valider la MPC pour la caractérisation de C_{gd} quand le composant est en régime désaturé. Avec l'avantage d'une isolation galvanique entre le VNA et le circuit de puissance, ce qui montre que la MPC est bien adaptée pour la caractérisation de C_{gd} sous contrainte. Il est montré dans la Fig. 5b que C_{gd} varie en fonction de V_{GS} , et donc cette caractérisation est importante pour la modélisation des commutations qui font intervenir ces points de fonctionnement.

2.2. Caractérisation de C_{oss}

2.2.1. Méthode des pinces de courant

La capacité C_{oss} est tout d'abord caractérisée par la MPC en utilisant deux pinces de courant comme présenté sur la Fig. 6a.

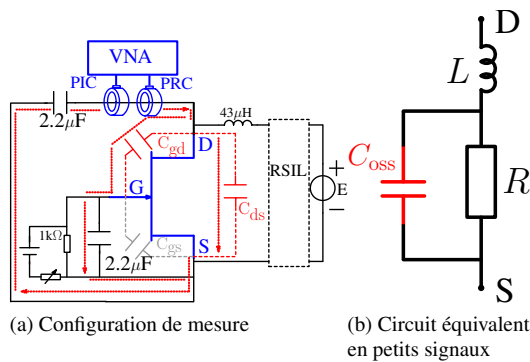


Fig. 6. Configuration et circuit équivalent de mesure de C_{oss} par la MPC

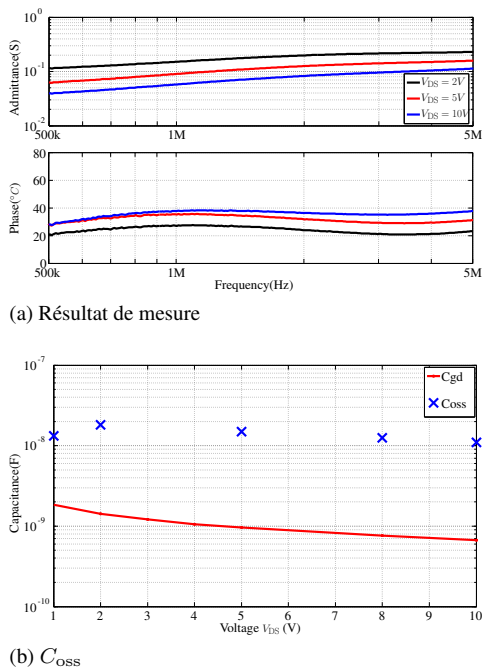


Fig. 7. Résultat de mesure et la valeur de C_{oss} ($V_{GS}=1.4V$)

Dans cette configuration de mesure, un premier condensateur de $2.2\mu F$ est utilisé pour bloquer la tension continue entre D et S, et un second condensateur de même valeur est connecté entre

G et S pour réaliser un court-circuit par rapport à l'impédance de C_{gs} autour du mégahertz. Le circuit équivalent du composant pendant la caractérisation est présenté dans la Fig. 6b, où R représente la résistance dynamique du canal. L'inductance équivalente des bondings L et l'influence du condensateur de $2.2\mu F$ entre G et S peuvent être négligées pour les fréquences inférieures à 10MHz. L'admittance mesurée peut être déterminée par la relation suivante :

$$Y_{mes} = \frac{1}{R} + jw(C_{oss}) \quad (1)$$

La capacité de sortie (C_{oss}) est finalement déterminée et sa valeur peut être obtenue en calculant la partie imaginaire de l'admittance mesurée.

La Fig. 7a représente le résultat de mesure quand $V_{GS} = 1.4V$ et une température T_j constante. La valeur de C_{oss} est déterminée autour de la fréquence de 1MHz à partir de la courbe représentée dans la Fig. 7b.

La structure interne du transistor donnée à la Fig. 2 montre que la capacité C_{ds} peut être négligée [3]. Toutefois, les résultats de mesure de la Fig. 7b montre que lorsque le SiC-JFET est en régime désaturé, C_{oss} semble augmenter jusqu'à quelques dizaines de nF. Ce résultat suggère une forte augmentation de la valeur de C_{ds} qui n'est a priori pas compatible avec la structure du composant. Afin de valider ce résultat, nous allons caractériser ce même composant en effectuant des mesures en mode pulsé.

2.2.2. Mode Pulsé

Le dispositif de caractérisation en mode pulsé est présentée sur la Fig. 8a. Il est constitué d'un hacheur série utilisant un IGBT. Le composant à caractériser (ici SiC-JFET) est connecté en série avec l'inductance de charge. La largeur de l'impulsion sera utilisée pour maintenir la température T_j constante durant la mesure. Le courant I_D est mesuré par une sonde de courant active CP030 (DC-50MHz) et la tension V_{DS} avec la sonde de tension différentielle ADP305 (DC-100MHz). Pour plus de précision, un oscilloscope 12-bit (600MHz) est utilisé. La Fig. 8b représente les formes d'onde du courant I_D et de la tension V_{DS} pour une durée d'impulsion de $50\mu s$. Ils sont ensuite représentés sur le plan $I_D - V_{DS}$ dans la Fig. 8c. Pour une valeur de tension, suivant que l'on se trouve sur un front montant ou descendant de la tension V_{DS} , on observe une valeur de courant I_D différent quand le SiC-JFET est en régime désaturé. Cette différence de valeur de courant peut être due à la charge et décharge de C_{oss} durant l'impulsion.

Pour vérifier cette justification, C_{oss} est ensuite calculée sur la base d'un circuit RC équivalent donné en Fig. 9a. La dynamique du courant I_D mesurée dans la Figure 8b est inférieure à $1A/\mu s$, donc l'influence de l'inductance interne L du boîtier peut être négligée. La résistance R représente la résistance statique de canal du SiC-JFET. Les points A et B de la Fig. 8c représentent une valeur de V_{DS} à deux instants différents, l'équation $\frac{V_{DS}}{R} = I - C_{oss} \times \left(\frac{dV_{DS}}{dt}\right)$ peut être appliquée en utilisant $\left(\frac{dV_{DS}}{dt}\right)$ correspondant aux points A et B respectivement. Quand le transistor est en régime désaturé, l'évolution de C_{oss} en fonction de V_{DS} peut être déterminée en faisant varier V_{DS} .

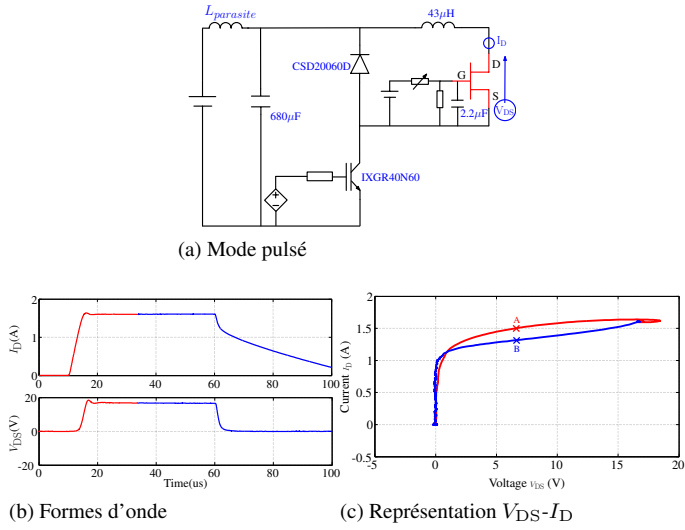


Fig. 8. Caractérisation en mode pulsé et résultats ($V_{GS}=1.4V$)

La Fig. 9b représente la comparaison de C_{OSS} entre le calcul et la mesure utilisant la MPC (paragraphe 2.2.1). Ce résultat montre que les deux méthodes de caractérisation donnent des résultats similaires, ce qui démontre bien l'effet d'augmentation apparente de C_{OSS} quand le SiC-JFET est en régime désaturé. Ensuite, pour valider l'effet dynamique, ce modèle RC est simulé dans le circuit présenté dans la Fig. 8a en utilisant les valeurs de R et C calculées. Les résultats présentés sur la Fig. 10 montrent que le modèle correspond bien à la mesure. Ce résultat suggère que pour une valeur donnée de V_{GS} , le transistor peut être représenté par le modèle RC de la Fig. 9a, où C représente la valeur de C_{OSS} . Par rapport à la MPC, cette méthode de calcul basée sur la mesure en mode pulsé permet, en maîtrisant la température, de déterminer C_{OSS} sur une large plage de variation de tension.

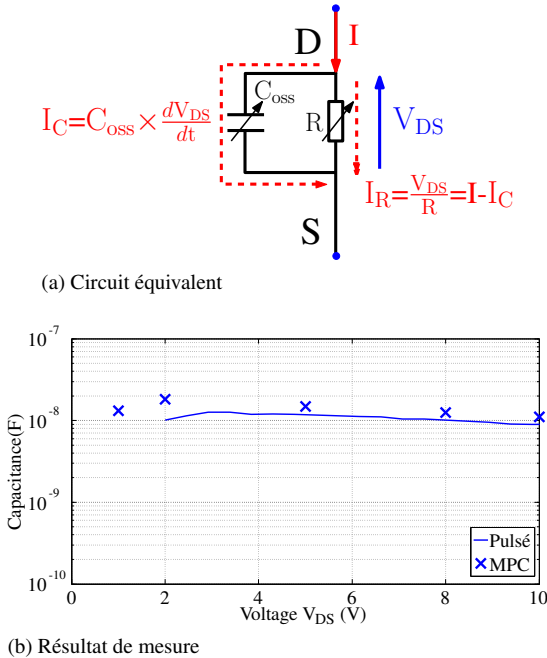


Fig. 9. Circuit équivalent et comparaison de mesure de C_{OSS}

Les résultats de cette étude montrent que, lorsque le SiC-JFET est en régime désaturé, la capacité C_{gd} augmente légèrement avec V_{GS} et que C_{OSS} semble augmenter jusqu'à quelques

dizaines nF. De plus, il est présenté par les auteurs dans [7] que le courant du canal peut augmenter la valeur de C_{ds} d'un facteur 10 pour un MOSFET. Il pourrait donc sembler cohérent qu'une forte augmentation de C_{ds} soit également à l'origine de l'évolution mesurée de C_{OSS} pour ce SiC-JFET.

Dans la datasheet du SiC-JFET, on note la présence d'une résistance de grille interne au boîtier qui ne peut pas être négligée. Selon les auteurs [8], une partie de la résistance de grille du transistor est due à la résistance d'électrode de grille. Son influence sur les résultats de caractérisations sera présentée dans la section suivante.

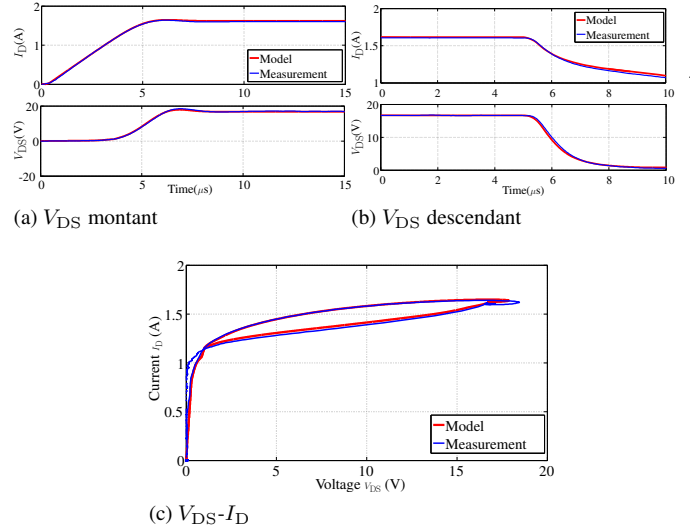


Fig. 10. Comparaison entre le modèle et la mesure pour l'effet dynamique ($V_{GS}=1.4V$)

3. INFLUENCE DE RÉSISTANCE DE GRILLE R_g INTERNE SUR LE RÉSULTAT DE CARACTÉRISATION

Afin d'étudier l'influence de R_g sur le circuit de caractérisation du SiC-JFET en régime désaturé, il est nécessaire de procéder à une modélisation plus fine du composant. La résistance de grille R_g et les résistances parasites de drain R_d et de source R_s sont à présent prises en compte dans le modèle du composant et permettent d'établir une expression analytique des impédances mesurées.

3.1. Caractérisation de SiC-JFET avec R_g interne

3.1.1. Caractérisation des capacités inter-électrodes par la méthode de pinces de courant

La Fig. 11 représente le dispositif de caractérisation par la méthode des pinces de courant du transistor en présence de la capacité C_{ds} et les résistances parasites internes quand le composant est en régime désaturé, où les électrodes physiquement accessibles du composant sont G', D', S'. L'influence des inductances parasites du boîtier sur les résultats de mesure peut être négligée pour les fréquences inférieures à 10MHz. Ce circuit de mesure en AC est valable en petit signal. Le générateur de tension v_1 est celui de l'analyseur vectoriel (VNA) dans la méthode des pinces de courant. La polarisation de V_{GS} et V_{DS} est réalisée à l'aide de tensions continues, donc elles ne sont pas représentées sur le circuit. La variation de tension v_{GS} induit un courant dans le canal $i_c = g \cdot v_{GS}$, où g représente la transconductance du transistor.

Partant du circuit de la Fig. 11, les six équations ci-dessous peuvent être obtenues :

$$\underline{V}_{DS} = \underline{V}_1 - \underline{I}_d \cdot R_d - \underline{I}_s \cdot R_s \quad (2)$$

$$\underline{V}_{DG} = \underline{V}_1 - \underline{I}_d \cdot R_d - \underline{I}_g \cdot R_g \quad (3)$$

$$\underline{V}_{GS} = \underline{I}_g \cdot R_g - \underline{I}_s \cdot R_s \quad (4)$$

$$\underline{I}_d = \underline{I}_s + \underline{I}_g \quad (5)$$

$$\underline{I}_g = \frac{\underline{V}_{DG}}{Z_{C_{gd}}} - \frac{\underline{V}_{GS}}{Z_{C_{gs}}} \quad (6)$$

$$\underline{I}_d = \frac{\underline{V}_{DG}}{Z_{C_{gd}}} + g \cdot \underline{V}_{GS} + \frac{\underline{V}_{DS}}{Z_{C_{ds}}} \quad (7)$$

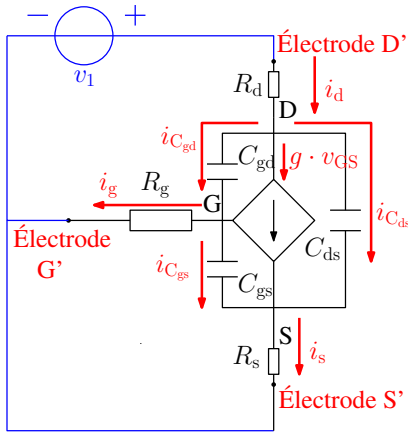


Fig. 11. Circuit de caractérisation par la méthode de pinces de courant quand le transistor est en régime désaturé

En remplaçant les relations (3) (4) et (5) dans (6), on obtient les équations ci-dessous :

$$\underline{I}_g = \frac{\underline{V}_1 - \underline{I}_d \cdot R_d - \underline{I}_g \cdot R_g}{Z_{C_{gd}}} - \frac{\underline{I}_g \cdot R_g - \underline{I}_s \cdot R_s}{Z_{C_{gs}}} \quad (8)$$

$$\underline{I}_g = \frac{\underline{V}_1}{Z_{C_{gd}}} - \left(\frac{R_g}{Z_{C_{gd}}} + \frac{R_g}{Z_{C_{gs}}} + \frac{R_s}{Z_{C_{gs}}} \right) \cdot \underline{I}_g + \left(\frac{R_s}{Z_{C_{gs}}} - \frac{R_d}{Z_{C_{gd}}} \right) \cdot \underline{I}_d \quad (9)$$

De la même manière, en remplaçant (2) (3) (4) et (5) dans (7), on obtient la relation suivante :

$$\underline{I}_d = \frac{\underline{V}_1 - \underline{I}_d \cdot R_d - \underline{I}_g \cdot R_g}{Z_{C_{gd}}} + g \cdot \frac{\underline{I}_g \cdot R_g - \underline{I}_s \cdot R_s}{Z_{C_{gs}}} + \frac{\underline{V}_1 - \underline{I}_d \cdot R_d - \underline{I}_s \cdot R_s}{Z_{C_{ds}}} \quad (10)$$

En utilisant $s = jw$ dans les relations (9) et (10), on obtient alors :

$$sC_{gd}\underline{V}_1 = (1 + sC_{gd}R_g + sC_{gs}R_g + sC_{gs}R_s) \cdot \underline{I}_g - (R_s sC_{gs} - R_d sC_{gd}) \cdot \underline{I}_d \quad (11)$$

$$(sC_{gd} + sC_{ds}) \cdot \underline{V}_1 = (R_g sC_{gd} - R_s sC_{ds} - gR_g - gR_s) \cdot \underline{I}_g + (1 + sC_{gd}R_d + sC_{ds}R_d + sC_{ds}R_s + gR_s) \cdot \underline{I}_d \quad (12)$$

Dans la datasheet du SiC-JFET, la valeur de la résistance R_g peut être de quelques ohms, R_s est inférieure à quelques dizaines milliohms. Donc, avec l'hypothèse $R_g \gg R_s$, les relations (11) et (12) peuvent encore être simplifiées sous la forme :

$$sC_{gd}\underline{V}_1 = (1 + sC_{gd}R_g + sC_{gs}R_g) \cdot \underline{I}_g - (R_s sC_{gs} - R_d sC_{gd}) \cdot \underline{I}_d \quad (13)$$

$$(sC_{gd} + sC_{ds}) \cdot \underline{V}_1 = (R_g sC_{gd} - R_s sC_{ds} - gR_g) \cdot \underline{I}_g + (1 + sC_{gd}R_d + sC_{ds}R_d + sC_{ds}R_s + gR_s) \cdot \underline{I}_d \quad (14)$$

Ainsi, pour la mesure de C_{gd} présentée au paragraphe 2.1, le résultat de mesure peut être exprimé en $\frac{\underline{V}_1}{\underline{I}_g}$. Pour cela, en multipliant (13) par $(1 + sC_{gd}R_d + sC_{ds}R_d + sC_{ds}R_s + gR_s)$ et multipliant (14) par $(R_s sC_{gs} - R_d sC_{gd})$ et ensuite en ajoutant ces deux équations, le courant \underline{I}_d peut être annulé dans (13) et (14), et l'équation ci-dessous est alors obtenue :

$$A1 \cdot \underline{I}_g = B1 \cdot \underline{V}_1 \quad (15)$$

R_d est supposée être du même ordre de grandeur que R_s , donc les hypothèses suivantes peuvent être validées :

$$R_g \gg R_s, \quad R_g \gg R_d, \quad \text{et jusqu'à } 10\text{MHz} \quad 1 \gg w^2 C_{XY} C_{XY} R_X R_Y \quad (16)$$

où X, Y sont les indices qui indiquent soit d, g ou s.

Donc $A1$ et $B1$ dans (15) peuvent être exprimés sous la forme ci-dessous :

$$A1 = 1 + gR_s + s(C_{gd}R_g + 2C_{ds}R_s + C_{gs}R_g + 2gC_{gd}R_gR_s) \quad (17)$$

$$B1 = -R_s w^2 (C_{gd} C_{gs} + C_{gd} C_{ds} + C_{ds} C_{gs}) + s(1 + gR_s) C_{gd} \quad (18)$$

Donc pour la mesure de C_{gd} , en utilisant hypothèse (16), la partie imaginaire peut être exprimée par :

$$Im \left(\frac{V_1}{I_g} \right) = \frac{1}{sC_{gd}} \quad (19)$$

Cette relation montre que lorsque le composant est en régime désaturé, la mesure de C_{gd} à l'aide des circuits présentés en Fig. 3a et Fig. 5a reste valable pour caractériser la valeur de C_{gd} . Autrement dit, la présence d'une résistance de grille interne ne perturbe pas la mesure de C_{gd} .

Pour la mesure de C_{oss} présentée au paragraphe 2.2.1, le résultat de mesure peut être exprimé en admittance par $\frac{I_d}{V_1}$, alors en multipliant (13) par $(R_g s C_{gd} - R_s s C_{ds} - gR_g)$ et multipliant (14) par $(1 + sC_{gd}R_g + sC_{gs}R_g)$ et ensuite en soustrayant ces deux équations, le courant I_g dans (13) et (14) peut être annulé, ainsi, l'équation ci-dessous est alors obtenue :

$$A2 \cdot I_d = B2 \cdot V_1 \quad (20)$$

En utilisant la même hypothèse (16), A2 et B2 dans (20) peuvent être exprimés sous la forme ci-dessous :

$$A2 = 1 + gR_s + s(C_{gd}R_g + 2C_{ds}R_s + C_{gs}R_g + 2gC_{gd}R_gR_s) \quad (21)$$

$$B2 = -R_g w^2 (C_{gd} C_{gs} + C_{gd} C_{ds} + C_{ds} C_{gs}) + s(C_{ds} + C_{gd} + gC_{gd}R_g) \quad (22)$$

Donc pour la mesure de C_{oss} , en utilisant hypothèse (16), la partie imaginaire de la mesure peut être exprimée par la relation suivante :

$$Im \left(\frac{I_d}{V_1} \right) = \frac{C_{ds} + C_{gd} + gR_g C_{gd}}{1 + gR_s} \quad (23)$$

Contrairement à la mesure de C_{gd} , cette relation montre que lorsque le composant est en régime désaturé, la mesure de C_{oss} par le circuit présenté dans la Fig. 6a ne donne plus la valeur $C_{oss} = C_{ds} + C_{gd}$. En effet, la transconductance du transistor g et sa résistance de grille R_g interne vont augmenter les valeurs de la capacité apparente à caractériser d'un facteur $g \cdot R_g \cdot C_{gd}$, ce qui montre une influence de la résistance de grille sur les résultats de mesure (il sera montré plus loin que le dénominateur de cette expression est proche de 1).

3.1.2. Caractérisation en mode pulsé

Nous avons montré au paragraphe 2.2.2, que la différence des valeurs du courant I_D pour une même valeur de V_{DS} (Fig. 8c) peut être due à la charge et décharge de C_{oss} durant l'impulsion. Sur la Fig. 12, nous avons représenté la caractérisation du SiC-JFET en mode pulsé, où R_g , R_d et R_s sont incluses dans le modèle du composant. Les courbes rouges représentent le sens de

chaque grandeur électrique pendant l'impulsion ON (correspondant à un $\frac{dV_{DS}}{dt} > 0$) pour la trajectoire indiquée dans la Fig. 8c. Cependant, les courbes bleues représentent le sens de chaque grandeur électrique pendant l'impulsion OFF (correspondant à un $\frac{dV_{DS}}{dt} < 0$) pour la trajectoire indiquée dans la Fig. 8c.

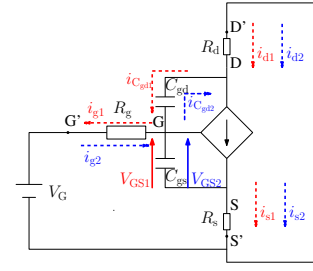


Fig. 12. La caractérisation du SiC-JFET en mode pulsé avec R_g , R_d et R_s

La Fig. 12 montre que durant l'impulsion ON, le courant qui charge C_{gd} passe par R_g , et induit une chute de tension V_{R_g} ; le courant de drain i_D passe par R_s induit une chute de tension V_{R_s} . Ainsi, durant l'impulsion ON, la tension V_{GS1} est calculée par :

$$V_{GS1} = V_G + i_{g1}R_g - i_{s1}R_s \quad (24)$$

Et durant l'impulsion OFF, la tension V_{GS2} est calculée par :

$$V_{GS2} = V_G - i_{g2}R_g - i_{s2}R_s \quad (25)$$

Les relations (24) et (25) montrent que la présence de R_g et R_s internes au boîtier modifie la tension V_{GS} durant la caractérisation. En appliquant les données de mesure dans la Fig. 8c, le terme $i_{d1}R_s$ dans eq.(24) et le terme $i_{d2}R_s$ de (25) peuvent être négligés. Donc, $V_{GS1} > V_G$ durant l'impulsion ON et $V_{GS2} < V_G$ durant l'impulsion OFF. L'écart du courant de drain de la Fig. 8c est dû principalement à l'écart de V_{GS} et non pas à l'augmentation de C_{ds} .

3.1.3. Estimation de R_g et R_s

La résistance R_g est estimée avec le circuit présenté sur la Fig. 13a par la méthode des pinces de courant [5]. Lorsque le SiC-JFET est bloqué, le composant peut être représenté par le circuit équivalent donné sur la Fig.13b. La quantité $R_g + (R_c + R_d) // R_s$ peut être déterminée, où R_c représente la résistance série (ESR) du condensateur de $2.2\mu F$ externe. Le résultat de caractérisation est présenté dans la Fig. 13c. Avec l'hypothèse $R_g \gg R_s$, la résistance interne de grille R_g du SiC-JFET est estimée à 1.3Ω .

On note également un terme $1 + gR_s$ dans le dénominateur de la relation (23) dont la valeur R_s doit être estimée. Pour cela, on utilise la méthode suivante pour en donner une borne supérieure. Tout d'abord, la transconductance du SiC-JFET peut être obtenue avec le circuit de mesure présenté sur la Fig. 8a. On mesure la tension V_{DS} et courant I_D lorsqu'ils se stabilisent, et ensuite on fait varier V_G pour obtenir différentes valeurs de I_D quand le composant est en régime désaturé. Avec le modèle du SiC-JFET présenté dans la Fig. 12 en tenant en compte de la résistance R_s , quand V_{DS} est constante durant la caractérisation, il n'y a pas de courant qui charge C_{gd} , donc $i_g = 0$ (Fig. 12). La vraie valeur de V_{GS} dans ce cas est donnée par : $V_{GS} = V_G - I_D R_s$, ce qui signifie que la courbe $I_D - V_G$ mesurée est une transconductance

apparente, la tension V_G étant altérée par le terme $I_D \cdot R_s$.

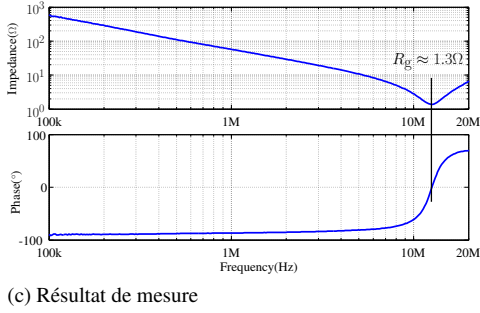
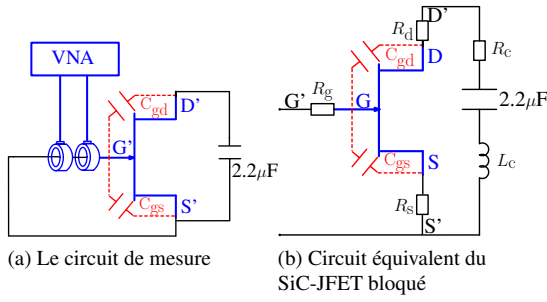


Fig. 13. Circuit de mesure pour déterminer la valeur de R_g

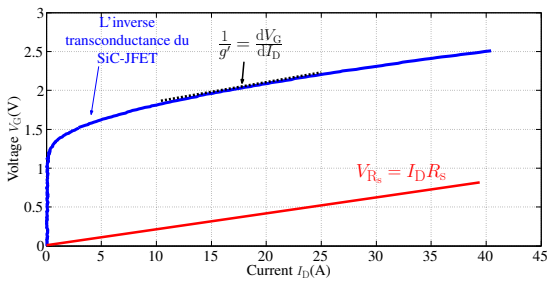


Fig. 14. La méthode pour estimer R_s du SiC-JFET

Toutefois, comme illustré dans la Fig. 14, R_s ne peut pas être supérieure à l'inverse de la transconductance apparente : $\frac{1}{g'} = \frac{dV_G}{dI_D}$. En effet, cela signifierait que la transconductance réelle du composant $g = \frac{dI_D}{dV_{GS}}$ vérifie :

$$\frac{1}{g} = \frac{dV_{GS}}{dI_D} = \frac{dV_G}{dI_D} - R_s = \frac{1}{g'} - R_s < 0,$$

c'est-à-dire une transconductance négative. Par conséquent, R_s est nécessairement inférieure à $\left(\frac{dV_G}{dI_D}\right)_{min}$, soit 14 milliohms dans notre cas.

Nous allons utiliser les informations ainsi recueillies sur les valeurs de R_g et R_s pour valider nos modèles et résultats.

3.2. Validation

Les résultats de caractérisations seront validés, en tenant compte de l'influence de R_g interne au SiC-JFET, par la méthode des pinces de courant ainsi que par le mode pulsé.

3.2.1. Méthode des pinces de courant

Comme indiqué dans (19), la présence de la résistance R_g n'influe pas sur les résultats de la capacité C_{gd} lorsque le SiC-JFET est en régime désaturé.

Avec ce résultat de C_{gd} , la relation (23) exprimant C_{oss} apparent peut être calculée et ensuite comparée avec la mesure. La valeur de R_s dans la relation (23) peut être variée entre 0Ω et sa valeur maximale $14\text{ m}\Omega$ déterminée au paragraphe précédent, ce qui donne un intervalle pour la valeur de la capacité C_{oss} apparente. Les résultats sont présentés sur la Fig. 15 pour $V_{GS} = 1.4\text{V}$. Du fait de la structure interne du SiC-JFET, nous imposons $C_{ds} = 0$ dans la relation (23).

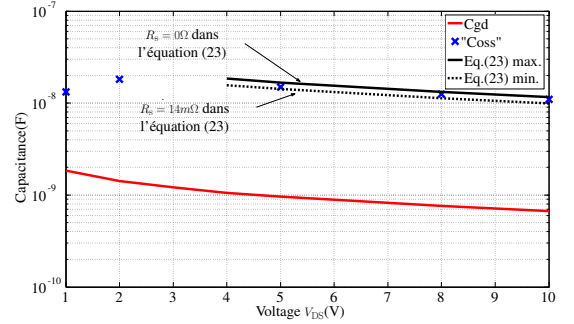
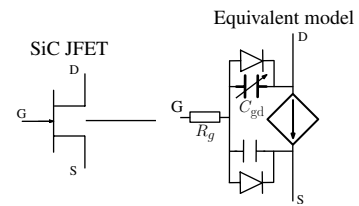


Fig. 15. Résultat de mesure de capacité "Coss" apparente en régime désaturé ($V_{GS} = 1.4\text{V}$)

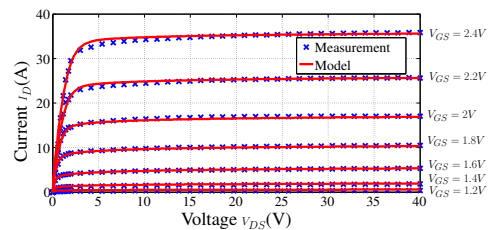
La Fig. 15 montre que le résultat de mesure de "Coss" est entre les valeurs minimales et maximales de l'eq.(23). Ainsi, l'augmentation de "Coss" quand le composant est en régime désaturé est due à l'influence de (gR_g) sur la mesure et non pas à une augmentation de la valeur de C_{ds} .

3.2.2. Mode pulsé

Pour valider l'influence de R_g sur l'écart de courant I_D observé dans la Fig. 8c, un modèle comportemental de SiC-JFET présenté dans la Fig. 16a est utilisé dans le circuit de simulation présenté dans la Fig. 8a. Le générateur de courant dans le modèle représente la caractéristique statique du composant. La capacité C_{gd} est une capacité non-linéaire fonction à la fois de V_{DS} et de V_{GS} , dont le modèle est paramétré selon les données de la Fig. 5b (complétées de valeurs supplémentaires de V_{GS} entre 0V et 2V). La comparaison entre le modèle et la mesure pour le générateur de courant est présentée sur la Fig. 16. Dans la simulation, le SiC-JFET est polarisé avec une tension de $V_{GS} = 1.4\text{V}$.



(a) Modèle du SiC-JFET



(b) Caractéristique statique ($T_j = 25^\circ\text{C}$)

Fig. 16. Comparaison entre le modèle et la mesure du SiC-JFET

La Fig. 17 montre que le modèle présenté dans la Fig. 16a reproduit presque le même écart de courant ΔI_D pour une même valeur de V_{DS} suivant son front montant ou descendant. Les différences entre le modèle et la mesure pour ΔI_D proviennent des erreurs dues au fitting de la caractéristique statique du modèle par rapport aux mesures. En effet, les imprécisions sur la valeur de la transconductance, qui varie légèrement avec V_{DS} , se répercutent directement sur ΔI_D .

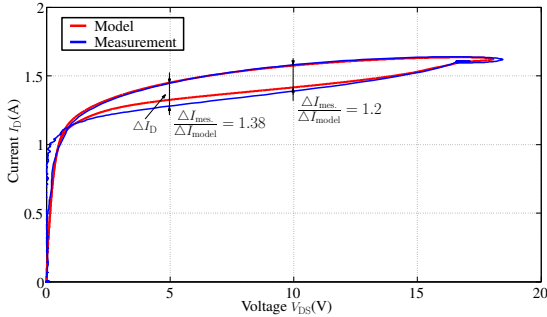


Fig. 17. Résultat de caractérisation en mode pulsé pour $V_{GS} = 1.4V$ ($T_j = 25^\circ C$)

Ces résultats montrent bien l'influence de la valeur de la résistance R_g sur les résultats de caractérisation en mode pulsé. Cette étude montre que l'augmentation de la capacité C_{oss} quand le composant est en régime désaturé est due à la présence de la résistance R_g . Cette résistance peut faire varier la tension V_{GS} durant les caractérisations et donc augmenter la valeur apparente des capacités inter-électrodes. Le modèle du SiC-JFET en incluant la variation de C_{gd} mesurée, et en considérant $C_{ds} = 0$ est ensuite comparé avec la mesure en commutation dans le paragraphe suivant.

4. VALIDATION DU MODÈLE DU SiC-JFET EN COMMUTATION

Le dispositif expérimental qui est utilisé dans cette étude est constitué d'un hacheur utilisant le transistor SiC-JFET étudié associé à une SiC-diode (CSD20060D). Le transistor est commandé par un circuit de commande de grille (driver) basé sur le circuit présenté dans [9]. La réalisation du convertisseur est montrée sur la Fig. 18.

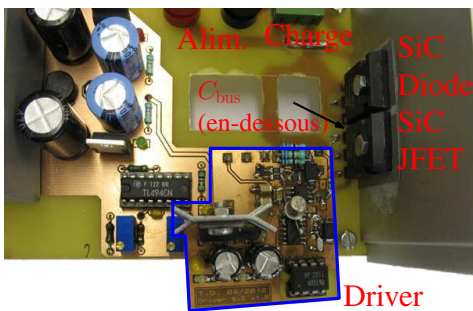
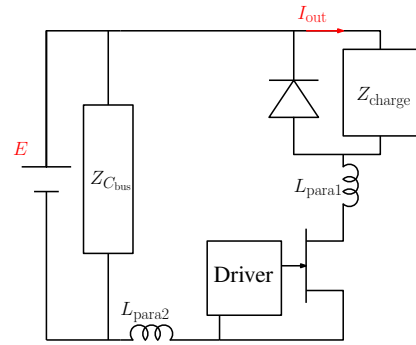
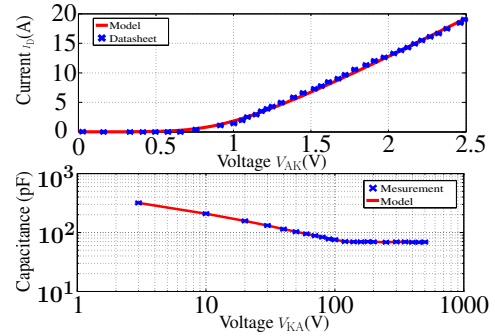


Fig. 18. Photo du hacheur SiC

Les conditions de mesure sont : $E = 120V$ et $I_{out} = 10A$. La tension V_{DS} est mesurée par une sonde de tension passive PPE4kV (4kV, 400MHz). Le courant I_D est mesuré par une pince de surface de courant FCC F-96 (1MHz-450MHz). L'utilisation de cette pince de surface de courant est présentée dans [10].

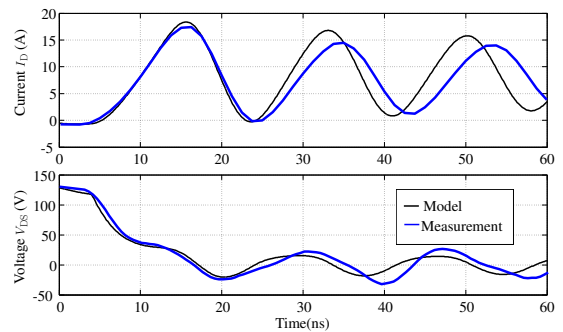


(a) Circuit de simulation

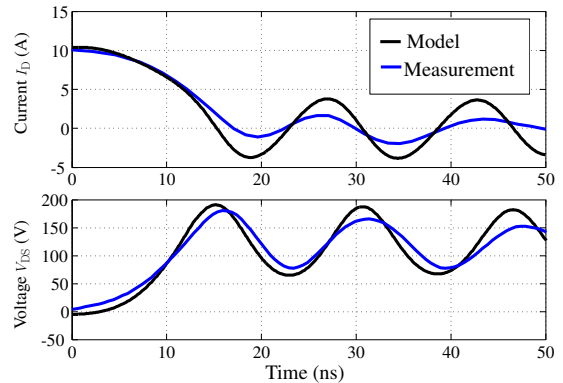


(b) Validation du modèle de la diode SiC

Fig. 19. Circuit de simulation du convertisseur et modèle de la diode SiC



(a) Commutation à la mise en conduction



(b) Commutation au blocage

Fig. 20. Les formes d'onde de commutation entre le modèle et la mesure ($R_{driver} = 1\Omega$)

Le circuit de simulation sous PSPICE est présenté sur la Fig. 19a. La condensateur de bus continu C_{bus} et la charge ont été caractérisés à l'aide de l'analyseur d'impédance et un circuit équivalent valable jusque 110MHz a été établi. La carac-

téristique statique de la diode SiC est modélisée par un générateur de courant et sa caractéristique dynamique est modélisée par l'évolution de sa capacité de jonction (Fig. 19b). Les inductances parasites de la maille de commutation ont pour valeur : $L_{\text{para}1} = 25\text{nH}$ et $L_{\text{para}2} = 15\text{nH}$. Le modèle du transistor est représenté avec son circuit équivalent sur la Fig. 16a.

La comparaison des formes d'onde durant les commutations (mesure et simulation) lorsque la résistance de grille du driver " R_{driver} " est égale à 1Ω est présentée dans la Fig. 20.

Cette figure montre que les temps de mise en conduction et du blocage sont d'environ 20ns. Le modèle du transistor représente correctement les di/dt et dv/dt durant les commutations et également les fréquences de résonance en fin de commutation.

5. CONCLUSION

Dans ce papier, pour modéliser finement le composant semi-conducteur, les capacités inter-électrodes d'un transistor SiC-JFET "normally-off" sont caractérisées quand le composant est en régime désaturé. La caractérisation de C_{gd} basée sur la méthode des pinces de courant est validée par la mesure en utilisant l'analyseur d'impédance. La détermination de C_{oss} basée sur la même méthode est comparée à la méthode de caractérisation en mode pulsé. Les résultats de mesure montrent que lorsque le SiC-JFET est bloqué, C_{oss} est égale à C_{rss} , confirmant ainsi l'absence de capacité C_{ds} . Néanmoins, lorsque le composant est en régime désaturé, La mesure de C_{oss} donne une valeur apparente pouvant atteindre quelques dizaines de nanofarads.

Cette étude montre que l'existence d'une résistance de grille (R_{g}) interne au boîtier du SiC-JFET peut influencer les résultats de caractérisation. En effet, R_{g} peut faire varier la tension V_{GS} durant les caractérisations, et donc varier les capacités inter-électrodes apparentes.

Un modèle du transistor basé sur les résultats de caractérisation a été élaboré. Les résultats de simulation des formes d'ondes durant les commutations sont comparés avec les mesures. Ils montrent que le modèle comportemental du transistor représente convenablement les di/dt et dv/dt durant les commutations et également les fréquences de résonance en fin des commutations.

Les résultats de caractérisation des capacités inter-électrodes du SiC-JFET sont validés en présence d'une résistance R_{g} interne du composant. Les méthodes présentées dans ce papier peuvent être appliquées à des composants semi-conducteurs de différentes technologies, sachant que la caractérisation en régime désaturé de composants présentant une capacité C_{ds} non négligeable nécessite une attention particulière.

6. RÉFÉRENCES

[1] X. Fonteneau, F. Morel, H. Morel, P. Lahaye, and E. Rondon-Pinilla, "Impact of gate driver signal on static losses for a SiC switch built with Normally-Off JFETs and a Schottky diode," in *Energy Conversion Congress and Exposition (ECCE), 2012 IEEE*, pp. 1503–1508, 2012.

[2] Othman, S. Lefebvre, M. Berkani, Z. Khatir, A. Ibrahim, and A. Bouzourene, "Investigation of 1.2 kV investigation of SiC MOSFETs for aeronautics applications," in *Power Electronics and Applications (EPE), 2013 15th European Conference on*, pp. 1–9, 2013.

[3] K. Li, A. Videt, and N. Idir, "SiC/GaN power semiconductor devices inter-electrode capacitances characterization based on multiple current probes," in *Power Electronics and Applications (EPE), 2013 15th European Conference on*, pp. 1–9, 2013.

[4] L. Aubard, G. Verneau, J. Crebier, C. Schaeffer, and Y. Avenas, "Power MOSFET switching waveforms : an empirical model based on a physical analysis of charge locations," in *Power Electronics Specialists Conference, 2002. pesc 02. 2002 IEEE 33rd Annual*, vol. 3, pp. 1305 – 1310 vol.3, 2002.

[5] K. Li, A. Videt, and N. Idir, "Multiprobe Measurement Method for Voltage-Dependent Capacitances of Power Semiconductor Devices in High Voltage," *Power Electronics, IEEE Transactions on*, vol. 28, no. 11, pp. 5414–5422, 2013.

[6] C. Cuellar, N. Idir, A. Benabou, and X. Margueron, "High frequency current probes for common-mode impedance measurements of power converters under operating conditions," in *Power Electronics and Applications, 2013. EPE '13. 15th European Conference on*, pp. 1–8, 2013.

[7] V. Hoch, J. Petzoldt, A. Schlogl, H. Jacobs, and G. Deboy, "Dynamic characterization of high voltage power MOSFETs for behavior simulation models," in *Power Electronics and Applications, 2009. EPE '09. 13th European Conference on*, pp. 1–10, sept. 2009.

[8] M. Kang, I. M. Kang, Y. H. Jung, and H. Shin, "Separate Extraction of Gate Resistance Components in RF MOSFETs," *Electron Devices, IEEE Transactions on*, vol. 54, pp. 1459–1463, June 2007.

[9] R. Kelley, A. Ritenour, D. Sheridan, and J. Casady, "Improved two-stage DC-coupled gate driver for enhancement-mode SiC JFET," in *Applied Power Electronics Conference and Exposition (APEC), 2010 Twenty-Fifth Annual IEEE*, pp. 1838 –1841, feb. 2010.

[10] K. Li, A. Videt, and N. Idir, "GaN-HEMT Fast Switching Current Measurement Method Based on Current Surface Probe (accepted and to be published)," in *Power Electronics and Applications (EPE), 2014 16th European Conference on*, 2014.