

Étude du comportement thermique d'un composant GaN de puissance

Cyrille GAUTIER, Lionel HOFFMANN, Stéphane LEFEBVRE, François COSTA
SATIE, ENS Cachan, CNRS, UniverSud, 61 av. du President Wilson, 94 230 Cachan, France

RESUMÉ - Nous nous intéressons dans cet article au comportement thermique des transistors GaN de puissance fabriqués par EPC (eGaN FET) afin de pouvoir estimer précisément leurs pertes par commutation. Après avoir présenté l'évolution des caractéristiques statiques en fonction de la température, nous détaillons la méthode calorimétrique, associée à de la simulation par éléments finis, que nous avons utilisée pour estimer ces pertes et le modèle thermique simplifié que nous avons validé. Nous avons utilisé ces résultats pour enrichir le modèle de simulation circuit du transistor eGaN FET afin d'accéder efficacement à l'évolution de la température de jonction en simulation.

GaN FET, Convertisseur de puissance, Modèle thermique

1. INTRODUCTION

Les composants GaN de puissance possèdent théoriquement le potentiel de fonctionner à une température de jonction plus élevée que les composants silicium. En raison de la difficulté de réaliser des substrats GaN massifs, les composants GaN de puissance disponibles aujourd'hui sont principalement réalisés par hétéro-épitaxie sur du silicium (figure 1) [1]. Dans ce cas, le désaccord de maille cristalline entre le silicium et le GaN ainsi que la différence des coefficients de dilatation entraînent des contraintes mécaniques qui limitent l'utilisation de ces composants à des températures élevées (tableau 1). Cependant, cette limite n'est pas clairement définie aujourd'hui ; les températures de jonction maximales indiquées par EPC sont de 150°C pour les composants 40V et de 125°C pour les transistors ayant une tenue en tension plus élevées. Nous nous intéressons dans cet article au comportement thermique des composants GaN ©EPC, et en particulier au modèle 200V - 12A (EPC 2010). Les dimensions des boîtiers de ces composants sont très petites (EPC 2010 : $3,554 \times 1,632 \times 0,685$ mm), comparées à celles des boîtiers classiques, ce qui permet de réduire au maximum les inductances de connexion et d'obtenir une densité de puissance très élevée. Cependant, ces dimensions limitent également les échanges thermiques et l'évacuation de la chaleur, et la température de fonctionnement effective reste limitée. De ce fait, la maîtrise du comportement thermique de ces composants est essentielle pour définir et mettre en œuvre une solution de refroidissement, afin d'exploiter au mieux leur potentiel. D'autre part, ces composants sont également présentés comme ayant un facteur de mérite $R_{DS(ON)} \times Q_G$ de cinq à dix fois meilleur que les transistors Mos Silicium. L'utilisation du modèle thermique associé à une mesure calorimétrique va également nous permettre d'évaluer précisément les pertes par commutation de ces transistors pour une configuration donnée.

Nous avons choisi de travailler avec deux transistors en confi-

guration bras de pont, d'une part car c'est une des configurations que l'on rencontre le plus souvent dans les applications industrielles, et d'autre dans le but de détailler le problème de la gestion du temps mort, qui est spécifique à ces transistors du fait de leur comportement en conduction inverse.

Nous nous sommes intéressés dans une première partie à la variation des caractéristiques statiques ($I_{DS} = f(V_{DS})$) en fonction de la température pour différentes valeurs de V_{GS} . A partir de mesures calorimétriques et de simulations par éléments finis (2D et 3D), nous avons ensuite défini et validé un modèle thermique que nous allons présenter dans une deuxième partie. Enfin nous avons retranscrit en VHDL-AMS le modèle de simulation Spice fourni par EPC et nous l'avons complété afin d'obtenir un modèle électro-thermique. Nous présenterons ce modèle dans la troisième partie, ainsi que la comparaison des résultats obtenus pour l'évaluation des pertes par commutation,

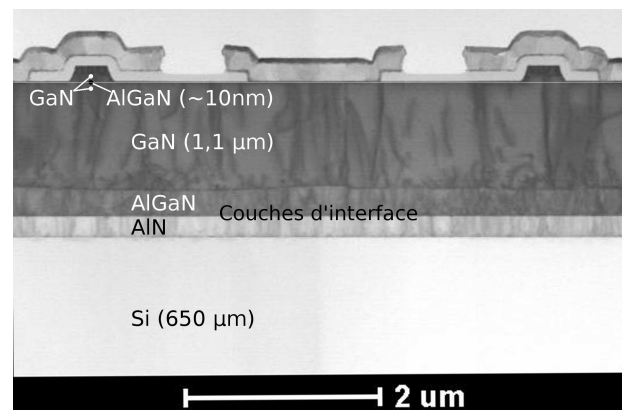


Fig. 1. Exemple de structure interne d'un transistor GaN sur Si

Tableau 1. Propriétés électriques et thermiques

	Unités	Si	GaN	AlN
Mobilité e^-	$\text{m}^2 \text{V}^{-1} \text{s}^{-1}$	1450	2000 (2DEG)	
Tension de claquage	MV m^{-1}	30	300	120
CTE	$\text{ppm } ^{\circ}\text{K}^{-1}$	2.6	4.5	4.5
Conductivité thermique	$\text{W m}^{-1} \text{ } ^{\circ}\text{K}^{-1}$	130	130	160
Température max de jonction	$^{\circ}\text{C}$	125	600	

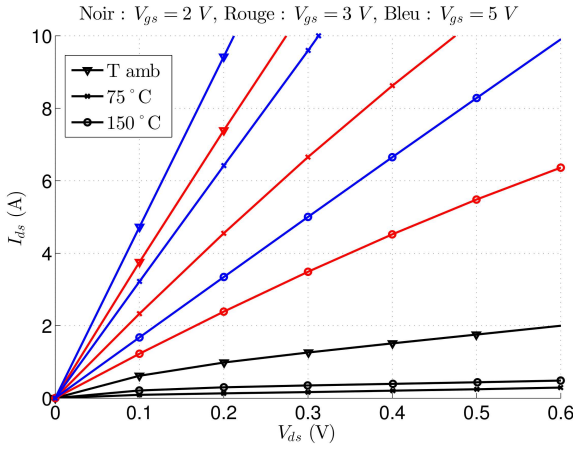


Fig. 2. Ids fonction de Vds, conduction directe

en mesure et en simulation, dans le cas d'un bras de pont constitué de deux transistors GaN EPC 2010.

2. CARACTÉRISTIQUES STATIQUES

Les mesures de caractéristiques statiques ont été effectuées à l'aide d'un traceur de caractéristique Agilent B1505 pour différentes températures ambiantes stabilisées (entre 20°C et 150°C) et différentes valeurs de V_{GS} , en conduction directe (figure 2) et en conduction inverse (figure 4 et figure 5).

2.1. Conduction directe

En conduction directe, on peut voir sur la figure 2 que la résistance à l'état passant $R_{DS(ON)}$ augmente avec la température, comme dans le cas d'un transistor Mos Silicium, mais qu'elle reste cependant très faible (comprise entre 20 mΩ et 60 mΩ). La charge de grille donnée pour le transistor EPC 2010 est $Q_G = 7,5nC$. En comparaison avec un transistor silicium de même calibre, et de charge de grille comparable (Infineon BSC12DN20NS3 : $R_{DS(ON)} \simeq 125m\Omega$, $Q_G = 9nC$), la résistance à l'état passant mesurée reste nettement plus faible. Après calibration, la mesure de la résistance $R_{DS(ON)}$ peut constituer un bon moyen pour évaluer la température de jonction du transistor.

2.2. Conduction inverse

En conduction inverse, le comportement du transistor GaN est plus complexe. En effet, il n'existe pas de diode de structure à proprement parler, et l'on peut voir sur la figure 3 que la conduction inverse dépend fortement de la tension V_{GS} appliquée. Ce comportement est provoqué par la symétrie entre drain et source du composant, qui devient passant quand la tension grille source devient supérieure à la tension de seuil $V_{GS(TH)}$, mais également lorsque la tension grille drain V_{GD} devient supérieure à une tension de seuil $V_{DS(TH)}$ équivalente, comprise entre 1,5V et 2,5V. Ainsi, pour une tension $V_{GS} = 0V$, le seuil de la conduction inverse se situe aux environs de $V_{DS} = -1,8V$, et pour $V_{GS} = -5V$, ce seuil se décale à $V_{DS} = -6,4V$, soit une variation légèrement inférieure à $-5V$.

Si nous nous intéressons maintenant à la variation de cette caractéristique en fonction de la température pour une tension V_{GS} fixée, ce qui est représenté par les courbes des figures 4 et 5, on voit que la pente de la caractéristique dans la zone de conduction inverse diminue lorsque la température augmente.

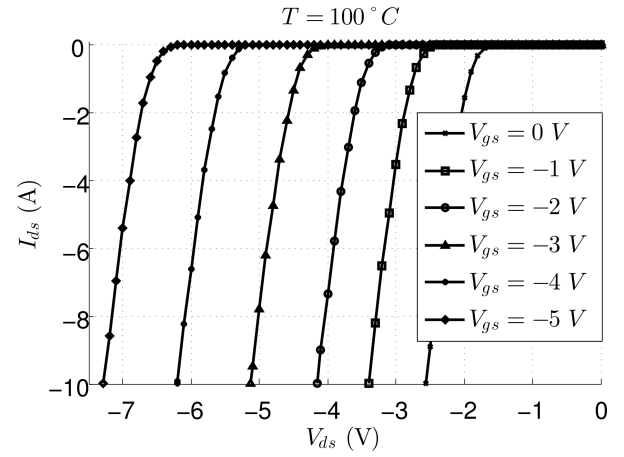


Fig. 3. Ids fonction de Vds, conduction inverse, pour $V_{GS}[V] \in [0, -5]$.

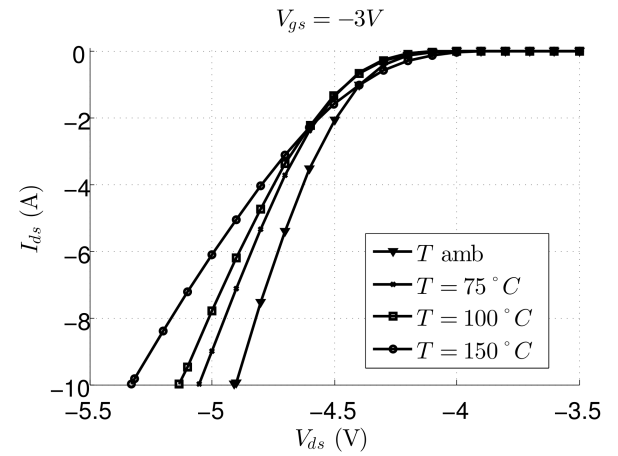


Fig. 4. Ids fonction de Vds, $V_{gs} = -3V$, conduction inverse

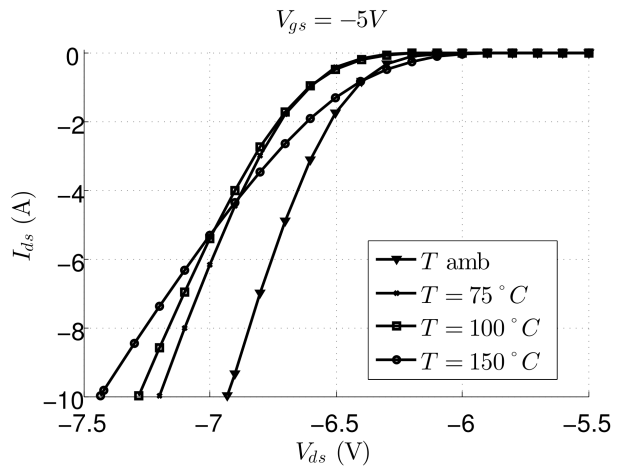


Fig. 5. Ids fonction de Vds, $V_{gs} = -5V$, conduction inverse

Ce comportement peut faire apparaître des tensions inverses en fonctionnement, en particulier, dans le cas d'un bras de pont, pendant les phases de temps mort. Ces tensions, comprises entre $-0,8V$ et $-8V$, suivant la tension de commande V_{GS} appliquée et la température, sont alors à l'origine de pertes supplémentaires.

Le choix de la tension de commande V_{GS} appliquée pour assurer le blocage des transistors résulte donc d'un compromis entre l'immunité de la commande et les pertes liées à la tension V_{DS} en conduction inverse. Dans le cas d'une commande à $V_{GS} = 0V$, la marge d'immunité est égale à la tension de seuil, dont la valeur typique est $V_{GS(TH)} = 2,2V$. Cette marge est faible, et il y a donc un risque élevé de re-commutation provoqué par des perturbations ; en contrepartie, la tension inverse se situe aux alentours de $-2V$. Si on choisit maintenant une commande $V_{GS} = -5V$, la marge d'immunité augmente à environ $7,2V$, ce qui est plus acceptable, mais la tension inverse est alors proche de $-7V$.

3. COMPORTEMENT THERMIQUE

3.1. Méthode calorimétrique

Les composants eGaN FET sont présentés comme ayant des pertes par commutation très faibles comparés aux composants Silicium, du fait d'une résistance à l'état passant $R_{ds(on)}$ très faible et d'une charge de grille q_c également très faible. Le calcul des pertes par mesure du courant $i_{ds}(t)$ et de la tension $v_{ds}(t)$ nécessite une synchronisation très précise des deux mesures et reste très délicate pendant les phases de commutation. Nous avons donc choisi d'utiliser une méthode calorimétrique, basée sur la mesure de l'élévation de température dans un cylindre métallique placé au dessus de deux transistors GaN FET montés en bras de pont. Une fine couche de carbone a été placée entre les transistors et le cylindre afin d'assurer un bon contact thermique. En limitant le temps de fonctionnement du bras de pont et donc l'élévation de température, nous pouvons négliger en première approximation les effets de convection le long du cylindre et travailler avec un modèle thermique simplifié. Le choix d'une géométrie cylindrique permet de limiter les effets tri-dimensionnels et d'utiliser une modélisation par éléments finis en deux dimensions axi-symétrique, rapide (figure 6). Ce modèle a été utilisé dans un premier temps afin d'optimiser le rapport hauteur sur diamètre du cylindre et de définir plus précisément les conditions (Puissance injectée P_{inj} , durée d'injection) à respecter pour que les effets de convection restent au second ordre.

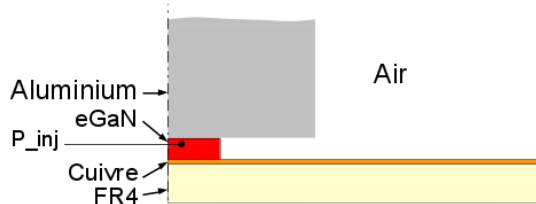


Fig. 6. Configuration de la simulation 2D axi-symétrique

3.2. Simulation par éléments finis

Afin de valider la méthode calorimétrique, nous avons comparé les résultats obtenus en simulation par éléments finis en deux dimensions avec les résultats de mesure en utilisant une résistance comme source de puissance. Pour des puissances injectées inférieures à 1W, les résultats présentés figure 7 montrent d'une part que les effets de la convection restent négligeables comparés aux effets de conduction et d'autre part que la méthode donne des résultats précis. Pour une puissance injectée de 2W, l'élévation de température est trop rapide et l'effet de la convection ne peut plus être négligé.

Cependant, dans le cas d'un cylindre vertical, cet effet de

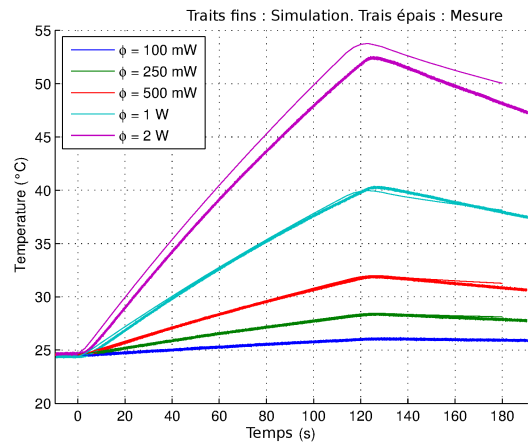


Fig. 7. Comparaison entre les résultats de simulation et de mesure

convection peut être introduit dans la simulation par éléments finis en 2D ou en 3D pour augmenter la plage de validité de la méthode dans le cas de puissances dissipées plus importantes. La répartition de la température dans l'ensemble pour une injection de puissance (P_{inj}) de 1W pendant 120s est représenté figure 8. On voit sur cette simulation que la majorité de la chaleur est évacuée par le cylindre malgré le plan de cuivre situé au dessus du PCB. En effet, la résistance thermique du transistor GaN FET $R_{th(jb)}$ entre la jonction et le PCB est dix fois supérieure à la résistance thermique $R_{th(jc)}$ entre la jonction et la surface supérieure du transistor (tableau 2), qui correspond pourtant en majorité à la résistance du substrat en Silicium (épaisseur $\approx 650\mu m$), comme cela est montré figure 9.

À l'issue de cette phase de calibration, nous avons finale-

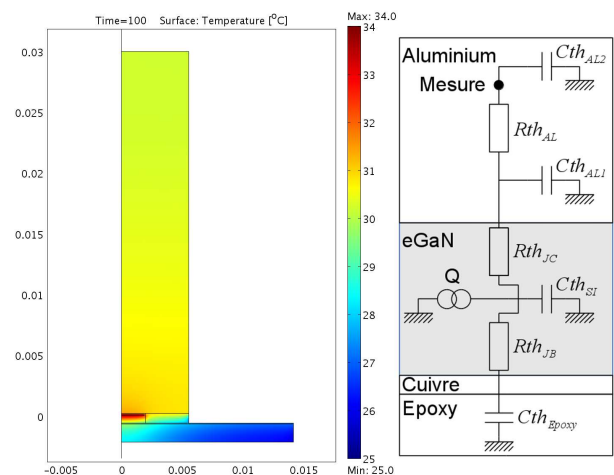


Fig. 8. Répartition de la température et modèle thermique simplifié (1W, 120s)

Tableau 2. Modèle thermique

Flux de chaleur (Q)	1,00	W			
$R_{th(jb)}$	15,0	K/W	$C_{th_{Epoxy}}$	1,29	J/K
$R_{th(jc)}$	1,8	K/W	$C_{th_{Al1}}$	4,12	J/K
$R_{th_{Al}}$	1,3	K/W	$C_{th_{Al2}}$	1,54	J/K

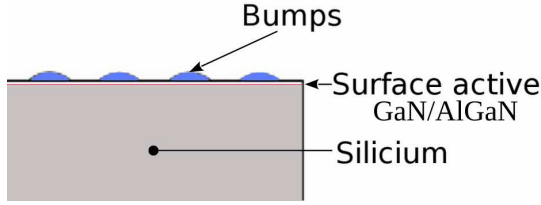


Fig. 9. Position de la surface active dans le transistor GaN sur Si

ment opté pour un cylindre de rayon $r = 5mm$ et de hauteur $h = 15mm$, avec une mesure située à 75% de la hauteur du cylindre. Les résultats de simulation justifient que, dans le modèle thermique simplifié présenté figure 8, la convection du plan de cuivre ne soit pas prise en compte ; l'ensemble des valeurs utilisées pour ce modèle sont présentées dans le tableau 2. Afin de limiter la montée en température, nous avons également décidé de travailler sur des temps de mesure de 30s. Dans ces conditions, nous avons déterminé lors de la calibration un facteur $k_p = 0.285 \text{ W K}^{-1}$ entre l'élévation de température mesurée ΔT et la puissance moyenne injectée pendant 30s.

4. MODÈLE ÉLECTRO-THERMIQUE

4.1. Modèle pour la simulation

Le comportement en température du transistor est pris en compte dans les équations du modèle de simulation par un coefficient ki_θ pour le courant i_{ds} et par un coefficient kr_θ pour les résistance en série avec le drain R_d et avec la source R_s . Le comportement du courant $i_{ds} = f(v_{gs}, v_{ds}, T)$ est modélisé par l'équation 1 lorsque $v_{ds} \geq 0$.

$$i_{ds} = A(T) * \log \left(1 + \exp \left(\frac{v_{gs} - v_{gs_th}}{0.16} \right) \right) * B(v_{ds}) \quad (1)$$

$$A(T) = 15.5 * (1.0 - ki_\theta * (T - T_{ref})) \quad (2)$$

$$B(v_{ds}) = \frac{v_{ds}}{1 + |v_{ds}| * \max(0.31 + 2.55 * v_{gs}, 0.2)} \quad (3)$$

avec $ki_\theta = 1.9 \times 10^{-3}$, $T_{ref} = 25^\circ C$ et $v_{gs_th} = 2.2V$.

La résistance de drain R_d et celle de source R_s sont calculées en fonction de leur valeur à la température de référence ($25^\circ C$) par l'équation 4.

$$R = R(T_{ref}) * (1 - kr_\theta * (T - T_{ref})) \quad (4)$$

avec $kr_\theta = -7.2 \times 10^{-3}$.

Le flux thermique φ_{th} de chaque transistor est calculé directement à partir des pertes en utilisant l'équation 5, et la température de jonction de chaque transistor est alors déterminée par le biais du modèle thermique représenté figure 10.

$$\varphi_{th} = v_{ds} * i_{ds} \quad (5)$$

4.2. Configuration utilisée en mesure

Notre objectif est de quantifier les pertes par commutation du bras de pont en fonction de la fréquence et des temps morts. Dans la suite, T_l désigne le transistor du bas et T_h le transistor du haut. Nous avons choisi de travailler avec une tension de bus de 100V et une fréquence de découpage comprise entre 200kHz et

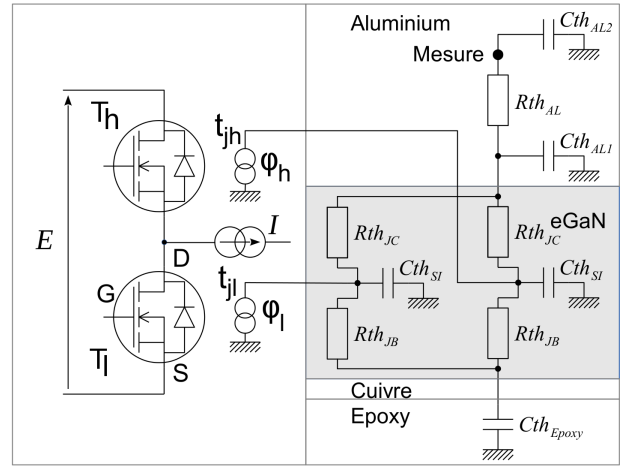


Fig. 10. Modèle électro-thermique du bras de pont - Transistors eGaN FET

1,5MHz. La mesure de la tension v_{ds} du transistor du bas pour un courant de charge de 1A, une fréquence de 1MHz et un rapport cyclique $\alpha = 50\%$ est représentée figure 11. La tension de commande v_{gs} était de 0V / +5V et les temps morts entre les commandes des deux transistors, dt_1 et dt_2 , sont indiqués sur la figure. Une des limites à l'utilisation des transistors eGaN en remplacement direct des transistors silicium est d'une part l'absence de diodes GaN aussi performantes que ces transistors sur le marché, et d'autre part l'absence d'une véritable diode de structure (avec une tension inverse faible) dans ces composants. C'est aussi une raison du choix de la structure en bras de pont sans diodes extérieures, qui semble une base appropriée pour utiliser au mieux ces composants.

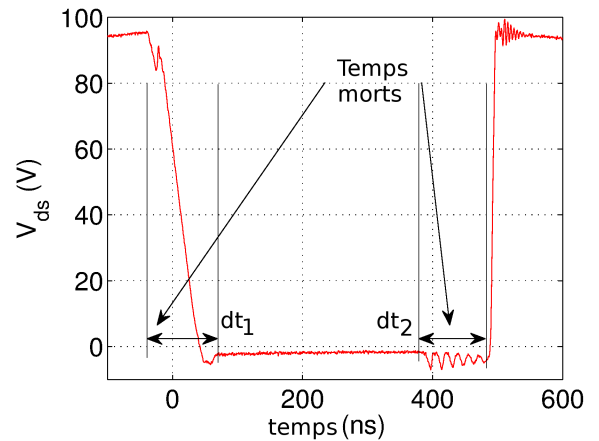


Fig. 11. Tension V_{ds} pour $E = 100V$, $I = 1A$. Temps morts dt_1 et dt_2 .

4.3. Commutation $T_h - T_l$

Dans cette configuration d'essais, la pente de la tension v_{ds} pendant la décroissance dépend du courant de charge. En effet, au début du temps mort dt_1 , le transistor T_l est bloqué et on commande au blocage le transistor T_h . La commande à l'amorçage de T_l n'est appliquée qu'à la fin du temps mort dt_1 . La décharge de la capacité C_{ds} du transistor T_h est donc assurée uniquement par le courant de charge I pendant ce temps mort. Cette commutation peut être accélérée en réduisant le temps dt_1 , au prix l'augmentation des pertes par commutation comme nous

allons le montrer dans la suite. Une fois la capacité déchargée, le transistor T_l conduit en inverse avec une tension $v_{ds} < 0$. Comme le montre la figure 3, l'amplitude de la tension inverse dépend de la tension v_{gs} utilisée pour bloquer le transistor et du courant de charge I . Sur la figure 11, la tension inverse est à peu près $v_{ds} \simeq -2V$ ce qui est cohérent avec la tension $v_{gs} = 0V$ et le courant $I = 1A$. Cependant l'amplitude de cette tension inverse peut être beaucoup plus grande (de l'ordre de $v_{ds} \simeq -6.5V$) dans le cas d'une commande avec $v_{gs} = -5V$. Le choix de la tension de commande v_{gs} au blocage et la durée de cette phase de conduction inverse, liée à la durée du temps mort dt_1 , vont donc également déterminer les pertes par commutation.

4.4. Commutation $T_l - T_h$

Cette commutation est plus simple ; le transistor du bas T_l est commandé au blocage et il passe en conduction inverse pendant le temps mort dt_2 . Lorsque le transistor T_h est commandé à l'amorçage, la tension v_{ds} repasse très rapidement de $0V$ à $100V$, la pente étant uniquement limitée par la vitesse de commutation du transistor eGaN.

5. ÉVALUATION DES PERTES

Nous avons d'une part utilisé la méthode calorimétrique pour déterminer les pertes dans le bras de pont eGaN en fonction de différents paramètres, et nous avons d'autre part comparé les résultats obtenus en mesure avec ceux obtenus en simulation pour valider le modèle électro-thermique présenté au paragraphe précédent.

5.1. Pertes en fonction de la fréquence

La première étape a consisté à étudier l'évolution des pertes estimées par la méthode calorimétrique en fonction de la fréquence de commutation f_{dec} . Les mesures présentées figure 12 ont été obtenues pour un courant de charge $I = 1A$ et des temps morts dt_1 et dt_2 réglés à $125ns$. Dans ces conditions, les commutations sont comparables à celles présentées sur la figure 11. Les mesures de température ont été faites pour une durée de fonctionnement de $30s$ ce qui permet de limiter l'élévation de température à $20^\circ C$ dans le cas de la plus forte variation, obtenue pour une fréquence de découpage de $1.5MHz$.

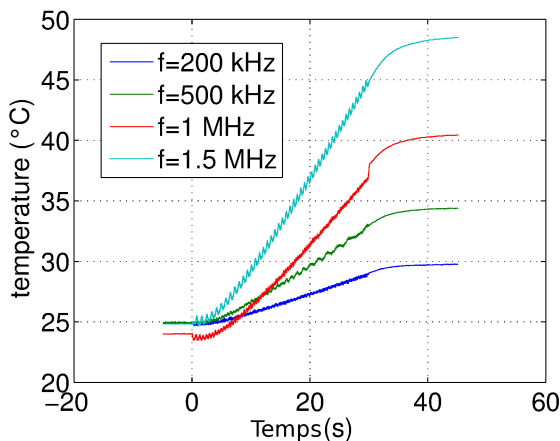


Fig. 12. Mesures calorimétriques en fonction de la fréquence.

Conformément à ce qui était attendu, la figure 13 montre que la variation des pertes en fonction de la fréquence est linéaire.

En effet, du fait du très faible $R_{DS(ON)}$ de ces transistors, les pertes moyenne par conduction sont au maximum de 60 mW pour $1A$, elles restent donc négligeables devant les pertes par commutation pour ces fréquences de découpage. Ces conditions sont donc optimales pour étudier les effets des temps morts et du choix de la tension de commande sur les pertes.

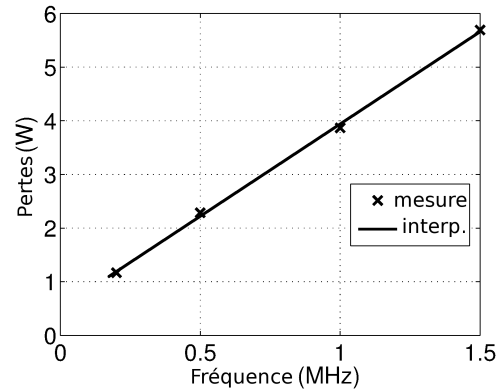


Fig. 13. Pertes mesurées en fonction de la fréquence.

5.2. Pertes en fonction du réglage des temps morts

Dans un premier temps, nous avons choisi d'étudier l'effet du réglage des temps morts pour une fréquence de découpage $f_{dec} = 500kHz$ et une tension de commande v_{gs} de $0V / +5V$. Nous avons d'abord fixé dt_2 à 125 ns et fait varier dt_1 entre 25 ns et 200 ns par pas de 25 ns . Les résultats obtenus en mesure et en simulation sont représentés figure 14.

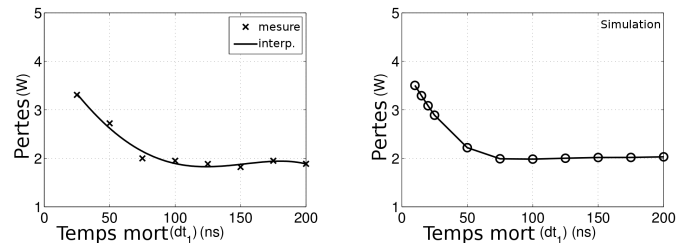


Fig. 14. Pertes mesurées en fonction de dt_1 , avec $dt_2 \simeq 125ns$.

La comparaison entre les deux figures permet de voir que les résultats de simulation sont cohérents et par conséquent que le modèle électro-thermique utilisé est pertinent. Si on analyse maintenant ces résultats, on voit que le réglage de temps morts trop faibles (inférieurs à 75 ns) entraîne une augmentation des pertes par commutation. Cela correspond à la remise en conduction du transistor du bas avant que la capacité C_{ds} du transistor du haut ne soit complètement déchargée. Comme nous l'avons expliqué dans le paragraphe 4.2, le temps de décharge de cette capacité dépend du courant de charge. L'utilisation d'un temps mort dt_1 fixe n'est donc pas dans ce cas une solution optimale.

Une fois l'étude en fonction de dt_1 réalisée, nous avons choisi de fixer $dt_1 = 100\text{ ns}$ et d'évaluer l'évolution des pertes en fonction de dt_2 . La figure 15 regroupe les résultats obtenus par la mesure et ceux obtenus en simulation. Encore une fois, les résultats sont proches et permettent d'envisager d'utiliser le modèle proposé en simulation pour optimiser les timings des commandes. Ces résultats mettent en évidence une valeur minimale

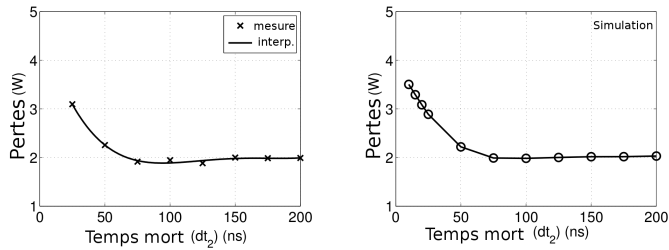


Fig. 15. Pertes mesurées en fonction de dt_2 , avec $dt_1 \approx 100\text{ns}$.

des temps morts à respecter mais ne font pas apparaître d'augmentation des pertes quand ceux-ci augmentent.

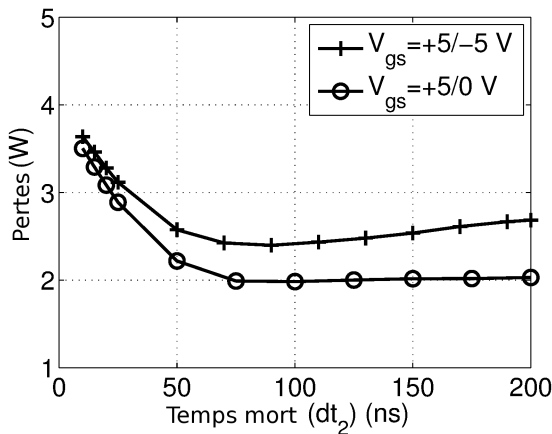


Fig. 16. Pertes mesurées en fonction de V_{gs} .

Outre la limite haute fixée par la fréquence de découpage et la dynamique de rapport cyclique, la tension de commande utilisée pour le blocage du transistor influe aussi sur les pertes lorsque les temps morts augmentent. La figure 16 permet de comparer les pertes en fonction de dt_2 , toujours avec $dt_1 = 100\text{ ns}$ pour une tension de commande au blocage de -5 V et de 0 V . Du fait de la tension inverse inférieure à -6 V pendant le temps mort pour la commande $v_{gs} = -5\text{ V}$, on voit sur cette figure d'une part que les pertes sont plus importantes que pour la commande $v_{gs} = 0\text{ V}$ et d'autre part qu'elles passent par un minimum pour un temps mort compris entre 75 ns et 100 ns . Ces résultats permettent de fixer la limite haute des temps morts pour se placer dans des conditions optimales.

La variation des pertes en fonction de la tension v_{gs} appliquée au blocage pour deux temps morts dt_2 fixés à 125 ns et à 200 ns est présentée sur la figure 17. Même si la commande au blocage avec une tension $v_{gs} = 0\text{ V}$ est toujours celle qui entraîne le moins de pertes, il peut être nécessaire d'assurer une immunité plus importante aux risques de remise en conduction (la tension de seuil se situant aux alentours de $v_{gsth} = 2.2\text{ V}$). Ces résultats permettent de faire le meilleur compromis en ayant une connaissance précise des paramètres qui provoquent les pertes pendant les phases de commutation et de temps mort ainsi qu'une estimation précise de ces pertes.

6. CONCLUSION

L'intérêt de la méthode calorimétrique utilisée et de pouvoir accéder à une estimation précise des pertes dans les transistors

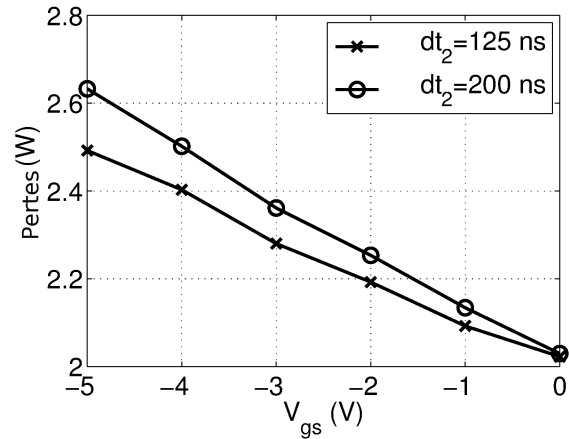


Fig. 17. Pertes mesurées en fonction de V_{gs} .

GaN en fonctionnement pour une configuration précise. La limite réside dans l'impossibilité de laisser passer un régime transitoire puisque la durée de fonctionnement doit rester très limitée dans le temps. Nous l'avons par exemple utilisée pour déterminer l'effet de la variation du temps mort dans un bras de pont en GaN sur les pertes. Le modèle électro-thermique utilisé en simulation permet d'estimer l'évolution de la température de jonction en fonction du mode de fonctionnement et ainsi de comparer a priori les rendements entre différentes structures. Ce modèle permet également de tester différents modes de commande et différents réglages de temps morts et d'évaluer l'impact sur les pertes. Il peut également servir de base pour simuler le fonctionnement de structures plus complexes, telles que des onduleurs triphasés ou des convertisseurs multicellulaires parallèles.

- [1] J.W. Chung, K. Ryu, B. Lu and Tomas Palacio, "GaN-on-Si technology, a new approach for advanced devices in energy and communications", *Solid-State Device Research Conference*, 2010 IEEE, pp. 52-56.
- [2] T. Imada, M. Kanamura and T. Kikkawa, "Enhancement-mode GaN MIS-HEMTs for power supplies", *Power Electronics Conference*, 2010 IEEE, pp. 1027-1033.
- [3] Milisav Danilovic, Zheng Chen, Ruxi Wang, Fang Luo, Dushan Boroyevich and Paolo Mattavelli, "Evaluation of the Switching Characteristics of a Gallium-Nitride Transistor", *Energy Conversion Congress and Exposition*, 2011 IEEE, pp. 2681-2688.
- [4] Shu Ji, David Reusch and Fred C. Lee, *High Frequency High Power Density 3D Integrated Gallium Nitride Based Point of Load Module*, *Energy Conversion Congress and Exposition (ECCE)*, 2012 IEEE, pp. 4267-4273.
- [5] Hirokatsu Umegami, Masayoshi Yamamoto, Yu Nozaki and Osamu Machida, "A Novel High Efficiency Gate Drive Circuit for Normally Off Type GaN-FET", *Energy Conversion Congress and Exposition (ECCE)*, 2012 IEEE, pp. 2954-2960.
- [6] Thomas LaBella, Ben York, Chris Hutchens and Jih-Shen Lai, "Dead Time Optimization through Loss Analysis of an Active-Clamp Flyback Converter Utilizing GaN Devices", *Energy Conversion Congress and Exposition (ECCE)*, 2012 IEEE, pp. 3882-3889.
- [7] Stéphane Lefebvre, François Costa and Francis Miserey, *Influence of the Gate Internal Impedance on Losses in a Power MOS Transistor Switching at a High Frequency in the ZVS Mode*, *Power Electronics*, 2002, IEEE Transactions on, pp. 33-39.