



Banc de test de transistors MOSFET de puissance sous irradiation par ions lourds

Jean-Jacques Huselstein, François Forest, Mickaël Petit, Aymeric Privat,
Antoine Touboul

► To cite this version:

Jean-Jacques Huselstein, François Forest, Mickaël Petit, Aymeric Privat, Antoine Touboul. Banc de test de transistors MOSFET de puissance sous irradiation par ions lourds. Symposium de Génie Électrique 2014, Jul 2014, Cachan, France. hal-01065186

HAL Id: hal-01065186

<https://hal.science/hal-01065186>

Submitted on 18 Sep 2014

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Banc de test de transistors MOSFET de puissance sous irradiation par ions lourds

Jean-Jacques HUSELSTEIN, François FOREST, Mickael PETIT, Aymeric PRIVAT, Antoine TOUBOUL
IES/Université Montpellier 2

RÉSUMÉ – Cet article présente un banc de vieillissement sous irradiation de transistors MOSFETs de puissance destiné à être utilisé au GANIL (Grand Accélérateur National d'Ions Lourds). L'originalité de ce banc est d'assurer un fonctionnement par découpage haute fréquence des MOSFETs pendant la phase d'irradiation avec la possibilité de choisir de nombreux paramètres de fonctionnement. Un dispositif de mesure automatique de courant de fuite de grille pendant l'irradiation est incorporé au système. Ce banc est conçu pour faire travailler simultanément 6 transistors MOSFETs devant la fenêtre d'irradiation. Pour chaque transistor en test la structure de puissance est constituée par deux hacheurs en opposition (dont un est constitué avec le MOSFET sous irradiation) avec une régulation de courant et une régulation de température de jonction. Une première série de test sous irradiation réalisée GANIL en mai 2014 a permis d'obtenir des résultats brièvement présentés dans l'article.

Mots-clés – Ions lourds, Défauts latents, Power MOSFET, SEGR, Opposition, Grille, LabVIEW, FPGA.

1. INTRODUCTION

Ce travail s'intègre dans le projet ANR PiGS (Stress électrique post irradiation des transistors MOS de puissance pour les systèmes embarqués spatiaux). Les transistors MOSFET sous soumis à un bombardement d'ions lourds par un accélérateur de particules pour produire des endommagements similaires à ceux rencontrés lors de mission en environnement spatial. Ces tests seront réalisés au GANIL à Caen pour la mise en évidence des défauts de grille SEGR (Single Event Gate Rupture).

Les transistors MOS de puissance sont sensibles aux radiations dans leur état bloqué (i.e. tension de grille nulle et tension drain-source à la tension de l'application). Pour cette raison, les standards de test spatiaux préconisent d'irradier les MOSFETs sous test en mode statique bloqué. Le dispositif présenté ici présente l'originalité de faire fonctionner les composants en commutation durant l'irradiation ce qui de part la difficulté que pose l'intégration de ce type de système n'est que rarement réalisée. Les conditions de l'essai se rapprochent ainsi beaucoup plus de ce que ces composants ont à supporter dans un convertisseur d'alimentation de satellite. Le système réalisé permet de choisir par programmation les paramètres de fonctionnement : courant commuté, tensions de grille négative à l'état bloqué ainsi que la température de jonction qui est contrôlée par régulation.

2. PRESENTATION DU BANC DE TEST REALISE

2.1. Contraintes imposée par l'expérience et par l'installation sur le site du GANIL

Des contraintes dimensionnelles fortes sont imposées à la conception du dispositif par les conditions de site au GANIL. Dans le hall G4 le faisceau ionisant, par l'action de systèmes de divergence et de balayage, à une dimension d'environ 20mm x 260mm lorsqu'il arrive sur la cible. Il passe du vide à l'air ambiant par une fenêtre (film acier inox de 10 μ m d'épaisseur) de 40mm x 260mm. La taille du dispositif supportant les composants sous test ne doit pas dépasser de 260mm x 260mm (il peut être fixé sur un support avec déplacement vertical motorisé). Les puces des MOSFETs doivent être placées à une distance précise (100mm ici) de la fenêtre pour permettre le calcul de l'énergie résiduelle lors de l'impact sur les composants.

Pour obtenir une fluence totale de 10⁵ions/cm² avec une intensité de flux de 5.10²cm⁻².s⁻¹ (exemple correspondant à plusieurs de nos expériences) la durée d'irradiation est d'environ 600 secondes ce qui est relativement rapide. Cependant, dans le temps total disponible pour une campagne (4h ou 8h avec un coût d'environ 800€/heure) il faut aussi prévoir les temps de remplacement des échantillons irradiés par de nouveaux échantillons. Ces opérations sont très chronophages car elles demandent l'arrêt du faisceau et l'attente de l'autorisation d'ouverture du sas d'accès (deux portes, plusieurs contrôles accès + obstruction par un bloc de béton d'un mètre d'épaisseur pendant la présence faisceau). Ensuite, après remplacement des échantillons et évacuation de la salle d'expérience, il faut attendre le rétablissement du faisceau. donc, pour irradier un nombre d'échantillons suffisant pendant une campagne, il est nécessaire de placer le plus de composants possible devant la fenêtre d'irradiation, de réduire au strict minimum les temps de manipulations et les temps de mises en température.

2.2. Projet de banc à 30 échantillons

Le projet initial prévoyait la construction d'un dispositif pouvant recevoir simultanément 30 échantillons en boîtier TO3. Ces échantillons devant ensuite être irradié en fonctionnement par rangées de 6 à la fois. Un système de déplacement vertical motorisé commandé à distance permettant de passer d'une ligne à la suite sans nécessiter un accès humain

dans la salle d'expérience. Les images de construction 3D des figures suivantes montrent ce dispositif.

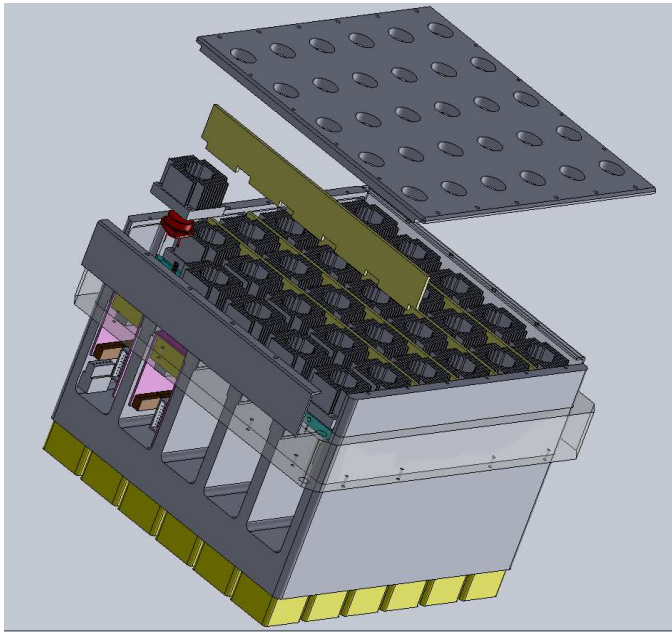


Fig.1 Système avec 30 échantillons. Vue éclatée.

Le dispositif de refroidissement prévu permet de ventiler indépendamment le refroidisseur de chaque échantillon d'une rangée sans faire circuler d'air dans les refroidisseurs des autres rangées afin de permettre une préchauffage pour les essais à températures élevée (110°C). Il y a 6 rangées de 6 ventilateurs, chaque composant étant refroidi par deux ventilateurs simultanément, l'un soufflant, l'autre aspirant. Ceci permet d'éviter la circulation d'air dans l'orifice nécessaire devant la fenêtre d'irradiation.

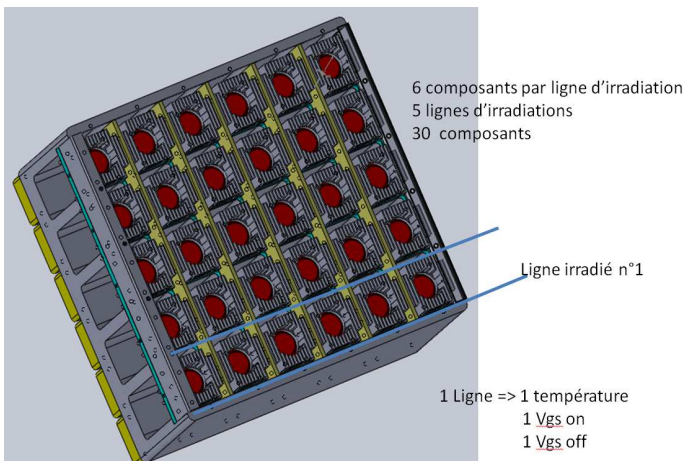


Fig.2 Système avec 30 échantillons. Support des composants sous test et système de refroidissement

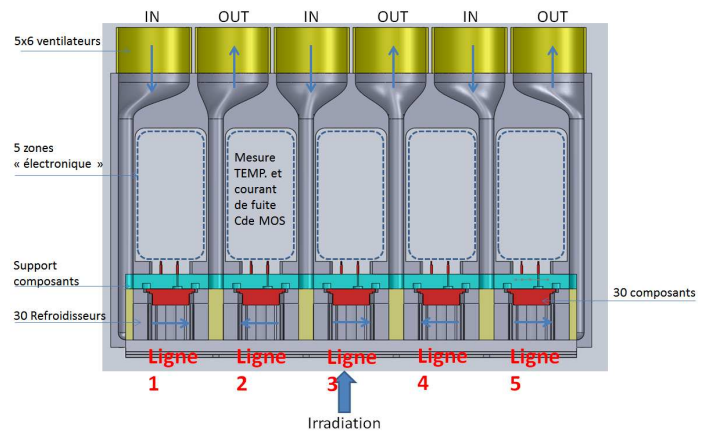


Fig.3 Système avec 30 échantillons. Coupe montrant les chemins des flux d'air de refroidissement et les espaces pour placer l'électronique.

2.3. Composants sous test et Conditions des tests

Les composants testés sont des MOSFETs durcis de type "Rad-Hard" de référence STRH100N10. $V_{DS} = 100V$, $I_{Dmax} = 30A @ 100^{\circ}C$, boîtier métalliques TO3 (capot facile à retirer, aucun obstacle autre que de l'air ne doit être dans le trajet du faisceau).

Il est prévu d'irradier ces composants avec les combinaisons de paramètres suivants :

- deux températures de jonction : $30^{\circ}C$ et $110^{\circ}C$
- trois valeurs de tensions de grille : V_{GS} positif = +15V, V_{GS} négatif = 0V puis -6V puis -12V
- trois rapports cycliques de conduction α : 0,2 0,5 et 0,8

La tension d'alimentation est maintenue à 60V. Fréquence de découpage $F_{dec} = 100kHz$.

2.4. Banc à 6 voies réalisé

En raison des contraintes très fortes de dimensions et des impératifs de contrôle thermique la conception et la réalisation de ce dispositif ne sont pas des tâches faciles. En raison des délais imposés pour la construction un premier système a été réalisé en se limitant à une seule rangée de 6 composants. Le principe de fonctionnement correspondant à un système de 5 rangées ayant été conservé excepté le système de commutation nécessaire pour passer d'une rangée à une autre. Les figures suivantes montrent le système à une rangée de 6 MOSFETs réalisé.



Fig.4 Système à 6 voies réalisé et testé. Sur la photo on voit 4 échantillons en place sur les 6 possibles. Les radiateurs ont été temporairement retirés.

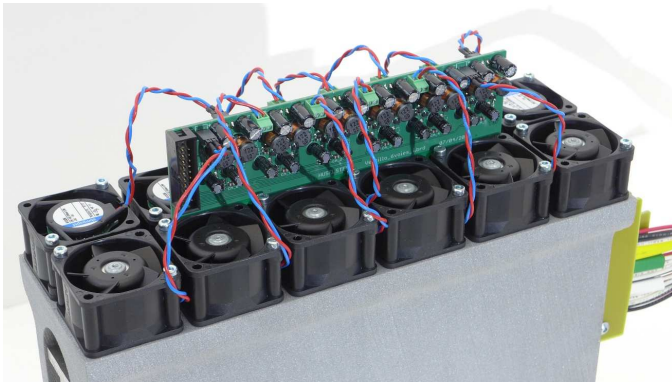


Fig.5 Système de refroidissement pour 6 voies avec la carte hacheurs de ventilateurs commandés par le FPGA.

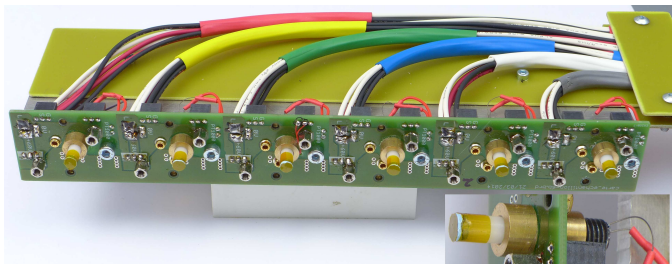


Fig.6 Carte hacheur 6 voies et support des MOSFET à irradier. Les capteurs de température sont visibles avec la vue d'un capteur grossi en bas à droite.

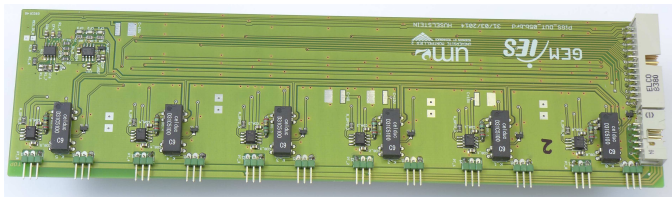


Fig.7 Carte de commande de grille et de mesure de courants de grille à 6 voies. On distingue pour chaque voie le circuit driver et le relais REED de commutation pour la mesure i_G . En haut à gauche le circuit électronique de mesure des courant de fuite de grille.



Fig.8 Assemblage carte hacheur 6 voies et support des MOSFET à irradier avec la carte drivers et mesure de courant de fuite de grille (composants sur la face cachée).

3. STRUCTURE DE PUISSANCE

Pour chaque MOSFET sous irradiation une structure de deux hacheurs (unidirectionnels en courant) montés en opposition est utilisée (Fig. 9). Cette méthode permet de faire fonctionner les transistors MOSFET dans des conditions de fonctionnement choisies sans nécessiter de charge et avec un réglage libre du courant. La consommation est limitée aux seules pertes. La valeur de l'inductance de lissage L est très fortement réduite pour une même amplitude d'ondulation de courant par rapport à un hacheur classique. L'amplitude de cette ondulation de courant est ici proportionnelle aux pertes par conduction de l'ensemble des deux hacheurs en opposition (plus les pertes dans l'inductance de lissage et la câbles de connexion).

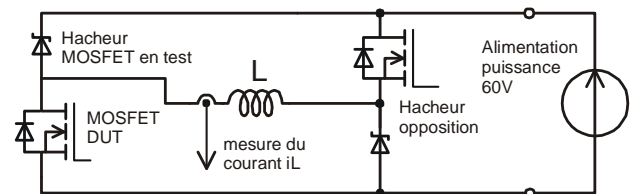


Fig.9 Structure de puissance pour une voie : deux hacheurs unidirectionnels en courant en opposition

Le rapport cyclique de commande α_1 du MOSFET DUT à irradier est fixé par les conditions de test souhaitées. Le rapport cyclique de commande α_2 du MOSFET d'opposition est ajusté par la régulation de courant (régulateur PI numérique intégré dans le FPGA). Le rapport cyclique α_2 sera légèrement supérieur rapport cyclique α_1 , l'écart rapport cyclique est sensiblement proportionnel aux pertes dans le dispositif.

Comme le vieillissement sous irradiation est effectué simultanément sur 6 MOSFETs 6 couples de hacheurs en opposition fonctionnent simultanément. Afin de réduire le dimensionnement des filtres passifs (condensateurs de découplage) les commandes de 6 hacheurs sont entrelacées par des décalages de $1/6$ de période. La fréquence de découpage peut être librement choisie dans une plage de 15kHz à 150kHz.

4. STRUCTURE GENERALE DU DISPOSITIF

4.1. Association circuits de puissance, commande FGPA, carte d'acquisition et LabVIEW

Le pilotage de la manipulation, le traitement et l'enregistrement des mesures sont programmés sous LabVIEW. Une carte d'acquisition NI PCIe-6351 est utilisée pour les mesures et la communication avec la manip. Cette carte comporte 16 entrées analogiques 16bits avec une fréquence d'échantillonnage totale maximale de 1Méch/s. Elle comporte aussi 2 sorties analogiques avec cadencement matériel (600kHz maxi) et 24 lignes d'entrées-sorties numériques dont 8 avec cadencement matériel (10MHz maxi).

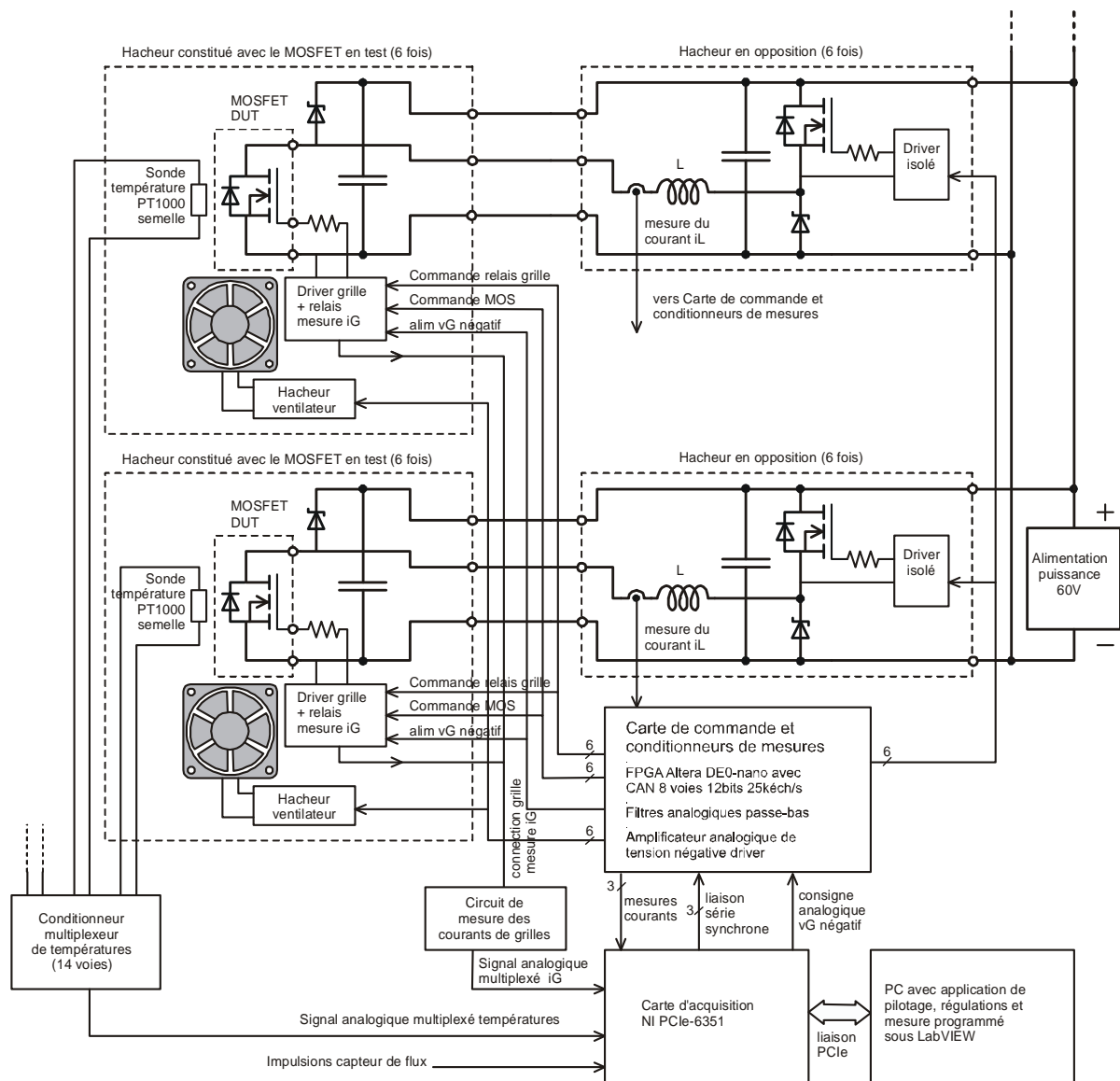


Fig.10 Organisation générale du dispositif (seulement deux voies ont été représentées)

Le bloc "hacheur opposition" regroupe 6 hacheurs d'opposition, leurs inductances de lissage et leurs capteurs de courant à effet Hall. Les mesures de signaux analogiques (courant i_L dans les inductances) passent par un filtre passe bas (5kHz) et sont numérisés par un convertisseur analogique-numérique 12 bit à 25kéch/s piloté par le FPGA. La régulation de courant est intégrée au FPGA (un correcteur PI numérique par voie). Des comparateurs rapide permettent, en association avec le FPGA et pour chacune des voies une fonction de disjonction et en cas de dépassement d'un seuil de courant maximal fixé à 30A. Les signaux de mesure de courants sont également envoyés vers la carte d'acquisition pour la supervision et l'enregistrement des expériences par le programme LabVIEW.

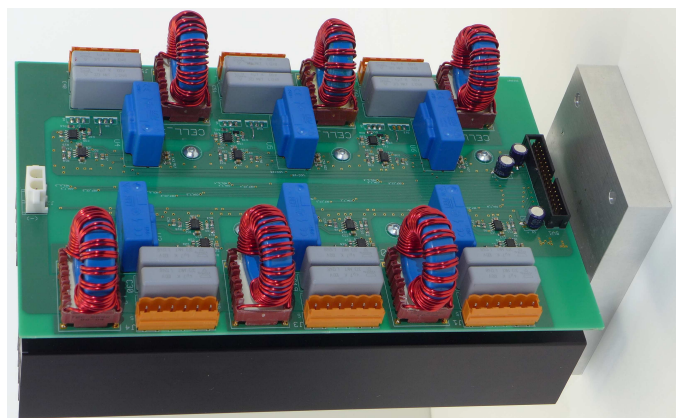


Fig.11 Bloc hacheur opposition 6 voies avec inductances de lissage et capteurs de courant à effet Hall. Liaison avec la carte de commande par nappe et liaisons avec chacun des hacheurs DUT (MOSFETs irradiés) par 3 conducteurs (+60V, 0V et tension commutée).

Le FPGA pilote également les hacheurs de ventilateurs de refroidissement en fonction de la consigne envoyée par le programme LabVIEW via la carte d'acquisition.

Toutes les consignes élaborées par l'application LabVIEW sont transmises au FPGA par une liaison série synchrone rapide via les sorties numériques avec cadencement matériel de la carte d'acquisition. Il s'agit des consignes de fréquence de découpage, de rapport cycliques, des 6 consignes de courant, 6 consignes de vitesses de ventilateurs, des commandes de mesures de courants de fuite de grilles. Tous ces paramètres sont transmis avec une période de rafraîchissement de 1ms.

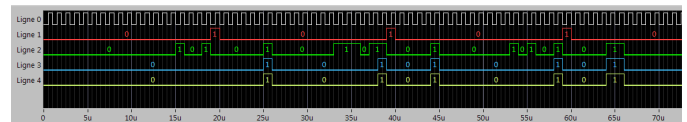


Fig.12 Illustration de la communication série utilisée pour la transmission des paramètres entre le programme LabVIEW (carte d'acquisition) et le FPGA. Les paramètres sont transmis à une cadence de 1000 jeux de valeurs par seconde sur signaux complémentaires (suppression des défauts de transmission du au mode commun).

4.2.

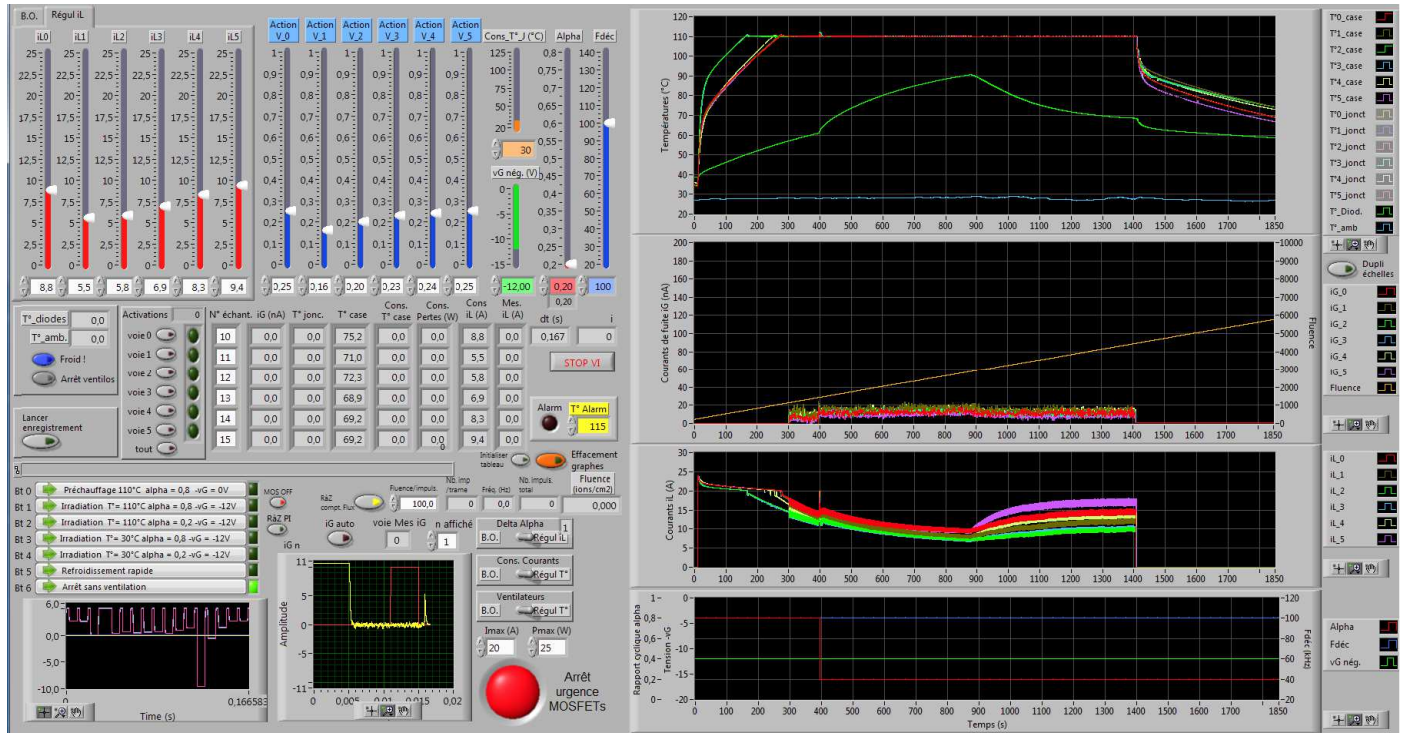


Fig.13 Face avant de l'application de pilotage et de mesure. Ici exemple de test (hors irradiation) avec consigne de température à 110°C. Les traces épaisses des mesures de courant sont du aux interruptions lors des phases de mesures de courant de fuites de grille (1 mesures/s pour chaque composant). Ici à l'instant $t = 1400s$ tous les MOSFETs ont été volontairement bloqués.

4.3. Régulation de température

La source de chaleur est constituée par les pertes (conduction et commutation) des MOFET en test. Les pertes par conductions sont proportionnelles à $R_{DS(on)} \cdot I_D^2 \cdot \alpha$ et les pertes par commutation sont sensiblement proportionnelles à I_D et F_{dec} . Le cahier des charges impose un temps de préchauffe court (afin réduire la durée totale des tests), puis une régulation de la température à la valeur de consigne. Le préchauffage est effectué avec un courant maximal de 30A et un rapport cyclique $\alpha = 0,9$.

La régulation de la température est assurée par l'application LabVIEW qui transmet ses consignes à la carte FPGA. Ceci permet de développer assez facilement une loi de régulation complexe. La régulation se fait à la fois par action sur le refroidissement par réglage de la vitesse des ventilateurs et par action sur le courant commuté. Par exemple, lorsque le dispositif est difficile à refroidir (fonctionnement à 30°C) la

régulation se fait par régulation de courant avec les ventilateurs au fonctionnant au maximum.

Le système de régulation utilise un correcteur PI programmé dans LabVIEW. La consigne de sortie de ce correcteur est une puissance (pertes à obtenir). Le courant correspond à ces perte est calculé en "temps réel" à partir des caractéristiques des MOSFETs et des paramètres de fonctionnement (rapport cyclique α , fréquence de découpage F_{dec} et température de jonction pour tenir compte de l'augmentation de $R_{DS(on)}$).

4.4. Capteurs de température

Les mesures de température doivent être performantes en termes de précision et de rapidité. C'est pour cela qu'il a été choisi d'utiliser des thermorésistances au platine de type PT1000 directement pressées (avec isolation électrique) sur les boîtiers des MOSFET au droit de la puce de silicium.

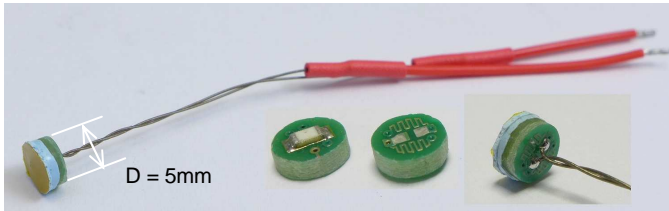


Fig.14 Sonde de température PT1000. Assemblage avec fils de liaison et détails construction : thermorésistance platine PT1000 montée sur support FR4 avec isolation électrique (coté boîtier MOSFET) par film Kapton 25 μ m avec comblage par colle de transfert thermique (1W/mK).

Ces capteurs sont plaqués sur le boîtier par une pièce en plastique (POM) et un ressort logés dans une pièce de guidage en laiton (Fig. 6). Ceci assure un excellent contact thermique et permet un démontage et remontage rapide des échantillons entre les irradiations.

5. MESURE AUTOMATIQUE DU COURANT DE FUITE DE GRILLE

Le suivi de l'évolution du courant de fuite de grille en "continu" en fonction de la fluence reçue par le MOSFET est un point essentiel de la campagne de test. Un dispositif de mesure automatique a été mis en place avec une période d'échantillonnage d'une seconde pendant toute la durée d'irradiation qui est d'environ 5 minutes. Pour chaque échantillon le fonctionnement en découpage est brièvement arrêté pour un cycle de mesure de courant de fuite de grille d'une durée totale inférieure à 20ms. L'impact thermique est ainsi négligeable sur l'expérience et le courant de fuite est mesuré à une température de jonction très proche de la température de boîtier régulée.

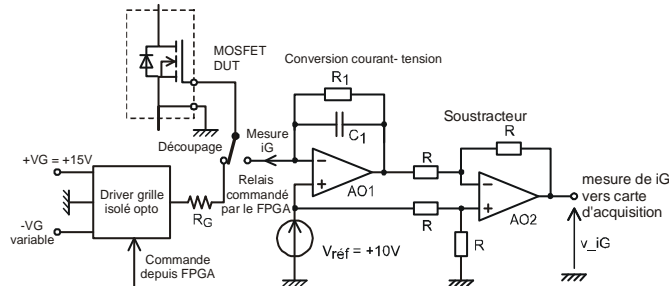


Fig.15 Dispositif de mesure automatique du courant de fuite de grille

Cette mesure du courant de fuite de grille i_{Gfuite} est faite sous une polarisation $v_{GS} = +10V$. La pleine échelle de mesure a été fixée à +500nA. L'erreur de mesure obtenue est inférieure à 1% ou 2nA en l'absence de l'alimentation de puissance. Avec l'alimentation de puissance les commutations des 5 autres MOSFET engendrent un niveau de bruit sur la mesure de i_G de l'ordre de 10nA. Il est envisagé de couper les commutation des 6 MOSFET lors de la mesure de i_G sur un MOSFET afin de remédier à ceci. Pour donner un ordre de grandeur de courants pouvant être mesurés, les normes (MIL et JEDEC) imposent une valeur maximale de 100nA pour les composants durcis. Le schéma du dispositif mis en place est représenté à la fig. 15.

Un cycle de mesure de courant de fuite de grille i_{Gfuite} est déclenché toutes les secondes pour chacune des 6 voies (donc 6 mesures par secondes en tout). Chaque cycle de mesure du courant i_{Gfuite} se déroule de la manière suivante.

C'est le programme LabVIEW qui déclenche le début de la mesure (signal transmis avec la trame de liaison série synchrone de paramètres transmise toutes les millisecondes). Ensuite c'est le FPGA qui contrôle les opérations. D'abord le transistor du hacheur d'opposition est bloqué, la grille du MOSFET sous test est maintenue à un état haut et le relais est commandé pour commuter et passer la connexion de grille depuis la sortie du driver vers le circuit de mesure. La fermeture du relais REED se fait avec un retard d'environ 300 μ s. Le circuit convertisseur courant tension construit autour de l'amplificateur opérationnel AO₁ tente d'imposer la tension de référence de +10V à la grille du MOSFET. La saturation de la sortie de AO₁ et la valeur élevée de la résistance de contre réaction R_1 (3M Ω) limite le courant de décharge de grille ce qui conduit à une décroissance lente de la tension v_{GS} de +14V (son niveau haut) vers +10V (tension de référence) en environ 2ms. ensuite AO₁ retrouve un fonctionnement linéaire et le circuit courant-tension retrouve sa fonctionnalité. La chute de tension aux bornes de la résistance de contre réaction R_1 devient égale à $i_{Gfuite} \cdot R_1$.

Ce montage est suivi par un montage soustracteur avec la tension de référence qui permet d'obtenir une tension de sortie directement proportionnelle à la chute de tension aux bornes de R_1 , donc proportionnelle à i_{Gfuite} .

Le condensateur aux bornes de R_1 permet de filtrer les bruits inévitables aux bornes d'une résistance de valeur élevée. La constante de temps doit cependant rester suffisamment faible pour ne pas nécessiter une augmentation importante de la durée du cycle de mesure.

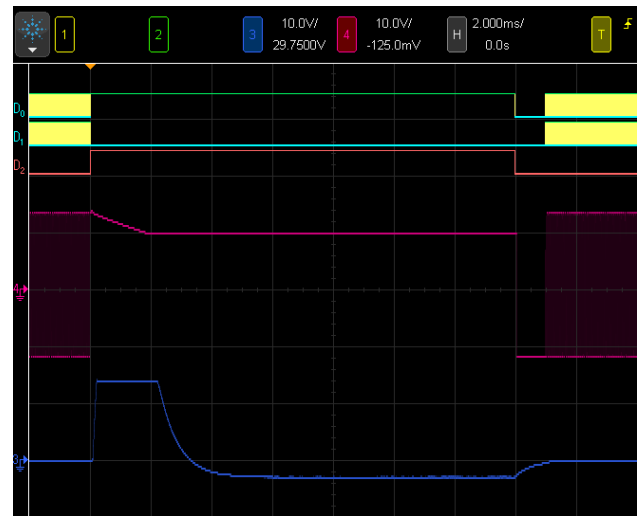


Fig.16 Mesure automatique du courant de fuite de grille. Oscillogramme représentant les ordres de commandes des deux transistors (D0 : MOSFET DUT et D1 : MOSFET opposition), la commande de relais REED de commutation entre mesure de courant de fuite de grille et commande de grille, la tension v_{GS} et le signal de sortie du convertisseur courant-tension envoyé vers la carte d'acquisition.

Au bout d'une temporisation (ici de 14ms) les commandes du driver du MOSFET en test et du relais repassent à zéro. Après une temporisation de 1ms (temps de commutation du relais plus rebonds plus marge de sécurité) les commandes des deux MOSFETs reprennent leur fonctionnement normal.

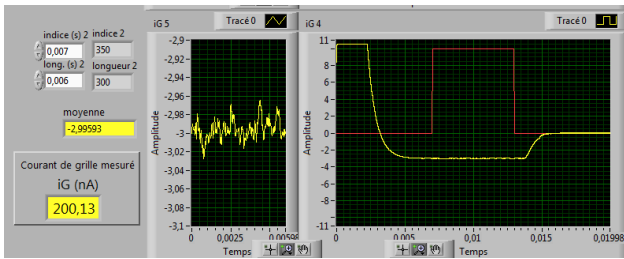


Fig.17 Mesure automatique du courant de fuite de grille, traitement dans l'application LabVIEW. A droite en jaune le signal provenant de l'électronique de mesure et en rouge la fenêtre temporelle visualisant l'intervalle d'intégration. A gauche le signal fenêtré (avec un zoom vertical pour visualiser le bruit de fond) sur lequel sera effectué la moyenne numérique. Ici la mesure a été testée avec le courant de fuite de grille généré par la résistance d'entrée de 50M Ω d'une sonde d'oscilloscope 100x. $R = 50,4\text{M}\Omega$ (multimètre Agilent 34405A). La tension de polarisation V_{GS} est égale à +10V.

La tension de sortie de l'amplificateur AO₂ est envoyée à la carte d'acquisition. Le signal de commande du relais est également envoyé sur une autre voie de la carte d'acquisition pour déclencher le début de la phase de mesure dans LabVIEW. Une double temporisation permet de placer une fenêtre d'intégration sur le signal reçu pour sélectionner un intervalle de temps pendant lequel ce signal est constant.

6. CARACTERISTIQUES DE COMMUTATION

Le dispositif réalisé permet aussi de relever aisément et rapidement les caractéristiques de commutation des échantillons avant et après irradiation avec des paramètres de fonctionnement identiques grâce aux régulations de courant et de température. La mesure du courant de drain est effectuée sans intrusion par une sonde Rogowsky placée sur la source et la grille du MOSFET. Les mesures des tensions V_{DS} et V_{GS} sont effectuées avec des sondes d'oscilloscope classiques, aucune isolation n'étant nécessaire.

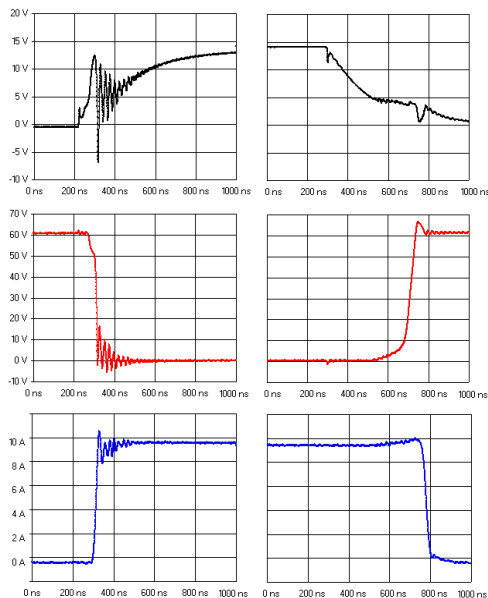


Fig.18 Caractéristiques de commutation relevées sur le banc avant irradiation. A gauche mise en conduction, à droite blocage. $R_G = 15\Omega$, $T^{\circ}\text{J} = 70^{\circ}\text{C}$.

Tous les composants irradiés sont ainsi caractérisés systématiquement pour analyser les évolutions des caractéristiques dynamiques pour les composants encore fonctionnel après irradiation mais qui ont pu présenter une forte augmentation du courant de fuite de grille. Malheureusement les mesures après irradiation n'ont pas pu être effectuées avant clôture du dépôt des articles SGE2014 car les composants irradiés ne peuvent quitter le Ganil qu'après une procédure prenant plusieurs jours.

7. FONCTIONNEMENT SOUS FAISCEAU

7.1. Conditions des essais

La date des essais au Ganil ne précédait que d'un jour de la deadline de la conférence ce qui ne permettait pas de présenter correctement les résultats. Donc voici à titre d'exemple un enregistrement des mesures automatiques durant un des cycles d'irradiation.

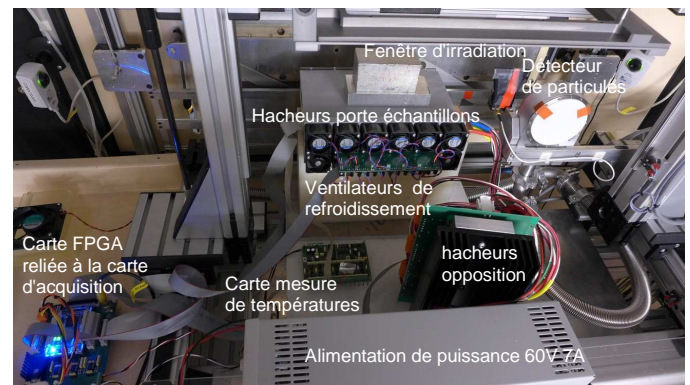


Fig.19 Système installé devant la fenêtre d'irradiation (occultée sur la photo).

7.2. Caractéristiques du faisceau

Les composants sous test ont été irradiés au GANIL (Grand Accélérateur National d'Ions Lourds) par un faisceau d'ions ^{136}Xe d'énergie 50 MeV/u.m.a. (MeV par unité de masse atomique) correspondant à une énergie de 6.8 GeV. La perte d'énergie correspondante a été calculée à partir du logiciel SRIM [4] et vaut $26\text{ MeV}\cdot\text{cm}^2\cdot\text{mg}^{-1}$ à la surface du composant. Les irradiations ont été effectuées en incidence normale (faisceau orthogonal à la surface impactée) à un flux moyen de $500\text{ ions cm}^{-2}\cdot\text{s}^{-1}$. Cette valeur de flux permet d'éviter d'avoir plus d'un impact simultané au sein d'une même cellule. L'irradiation d'un composant est arrêtée lorsque l'on atteint la fluence de $3\cdot 10^5\text{ ions cm}^{-2}$, ce qui correspond à la valeur préconisée par les standards de test spatiaux [5].



Fig.20 Dispositif amenant le faisceau jusqu'à l'aire d'expérience (au fond).

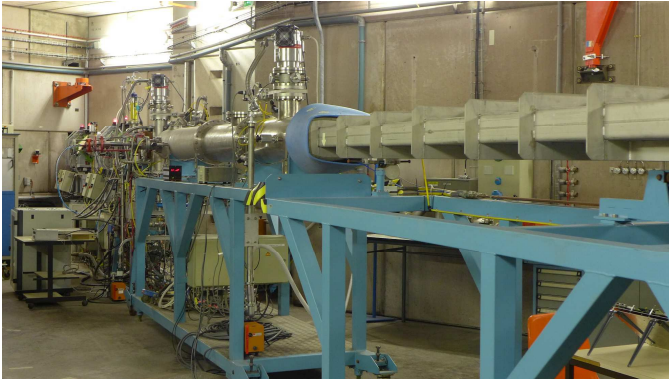


Fig.21 Arrivée du faisceau dans la salle et système de balayage horizontal.

7.3. Résultats observés pendant une des phase d'irradiation

Energie $E_{ion} = 6\text{GeV}$ (ou 44MeV/u).

Intensité de flux $\phi = 5.10^2\text{cm}^{-2}.\text{s}^{-1}$

Fluence totale $\Phi = 3.10^5\text{cm}^{-2}$

$T_{jonction} = 30^\circ\text{C}$ $V_{Gnégative} = -6\text{V}$ $\alpha = 0,20$

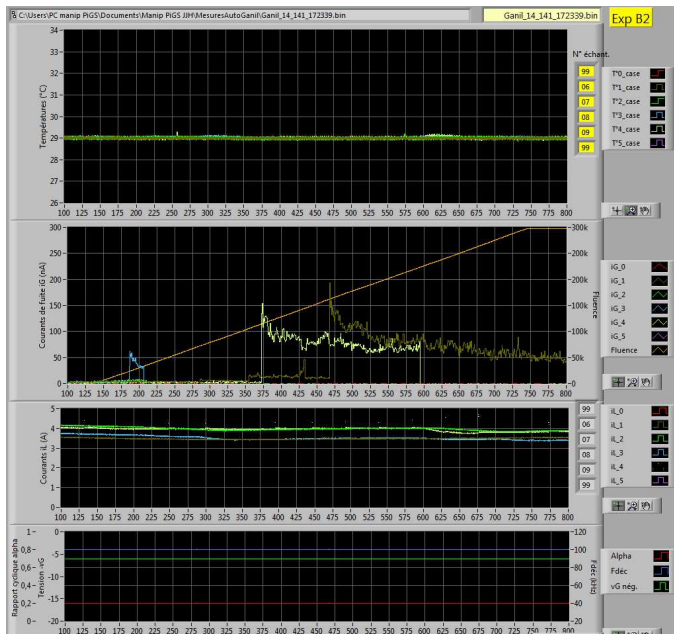


Fig.22 Enregistrement pour lors d'un des essais sous irradiation. Claquages partiels de grilles visibles sur l'enregistrement des courant de fuite de grille mais les composants sont restés fonctionnels pendant tout le test.

Des claquages partiels de grilles sont visibles sur l'enregistrement des courants de fuite de grille mais les composants sont restés fonctionnels pendant toute la durée du test.

Pour deux échantillons l'enregistrement du courant de grille repasse à zéro à partir d'une certaine fluence, ceci est du à une sortie de gamme du système de mesure (saturation amplificateur opérationnel). Pour éviter ceci à l'avenir il est envisageable d'augmenter la gamme de mesure de i_G qui était limitée de 0 à $+500\text{nA}$.

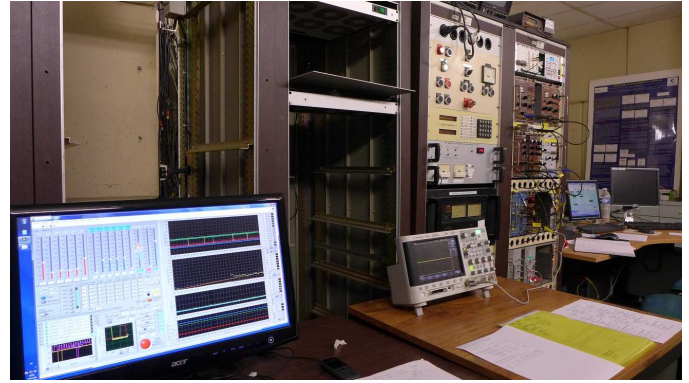


Fig.23 Salle de contrôle, à droite installations du Ganil, à gauche écran déporté de pilotage et de mesure de notre système (le PC est dans la salle d'expérience).

8. CONCLUSIONS

Ce banc de vieillissement original permet de faire fonctionner des composants MOSFET de puissance en commutation lors de leur irradiation aux ions lourds sous accélérateur de particules dans des conditions similaires à leur utilisation dans une alimentation à découpage embarquée dans un satellite. Actuellement le banc fonctionne complètement dans sa version à 6 échantillons. Ses performances électriques et thermiques (montées rapides en température et régulation) ont pu être vérifiées. La fonctionnalité de mesure de courant de fuite de grille a également été vérifiée. Une première utilisation sous irradiation au Ganil (créneau d'une durée totale de 4 heures seulement) a été effectuée avec des résultats très concluants. Du point de vue améliorations il est prévu d'augmenter la gamme de mesure du courant de fuites. Aussi des retours d'informations supplémentaires vers le système de contrôle lors de défauts de composants pourront aussi être utiles pour mieux connaître les défauts de composants pour les quels la protection en court circuit s'est activées ($i > 30\text{A}$).

9. REMERCIEMENTS

Ces travaux sont réalisés dans le cadre du projet PiGS (ANR 2010 BLANC 031401) financé par l'Agence Nationale de la Recherche.

10. REFERENCES

- [1] L. Scheick, L. Edmonds, L. Selva, et Y. Chen, « Current leakage evolution in partially gate ruptured power MOSFETs », Nuclear Science, IEEE Transactions on, vol. 55, no 4, p. 2366–2375, 2008.
- [2] A. Privat, A. Touboul, M. Petit, J.-J. Huselstein, F. Wrobel, J. Vaille, S. Bourdarie, R. Arinero, N. Chatry, G. Chaumont, E. Lorfèvre, F. Saigné, « Impact of Single Event Gate Rupture and latent defects on Power MOSFETs switching operation », RADECS 2013, Oxford (UK).
- [3] V. Ferlet-Cavrois, C. Binois, A. Carvalho, N. Ikeda, M. Inoue, B. Eisener, S. Gamerith, G. Chaumont, F. Pintacuda, et A. Javanainen, « Statistical Analysis of Heavy-Ion Induced Gate Rupture in Power MOSFETs—Methodology for Radiation Hardness Assurance », 2012.
- [4] J. Ziegler, J. Biersack, and M. Ziegler, SRIM-2008 Software Package, « Disponible sur www.srim.org ».
- [5] Single-event burnout and single-event gate rupture, « MIL-STD-750E, method 1080 ».