HAL
open science

Modélisation Electrothermique distribuée d'une puce IGBT : Application aux effets du vieillissement de la métallisation sur les régimes de court-circuit

Jeff Moussodji Moussodji, Thierry Kociniewski, Zoubir Khatir

▶ **To cite this version:**

Jeff Moussodji Moussodji, Thierry Kociniewski, Zoubir Khatir. Modélisation Electrothermique distribuée d'une puce IGBT : Application aux effets du vieillissement de la métallisation sur les régimes de court-circuit. Symposium de Génie Électrique 2014, Jul 2014, Cachan, France. hal-01065181

HAL Id: hal-01065181

https://hal.science/hal-01065181v1

Submitted on 18 Sep 2014

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Modélisation Electrothermique distribuée d'une puce IGBT : Application aux effets du vieillissement de la métallisation sur les régimes de court-circuit

Jeff MOUSSODJI[a], Thierry. KOCINIEWSKI[a,b], Zoubir KHATIR[a]
[a]LTN, Laboratoire des Technologies Nouvelles de l'IFSTTAR.
25 allée des Marronniers, 78000 Versailles Satory, France.
[b]Groupe d'Etude de la Matière Condensée (CNRS et Université de Versailles St Quentin),
45 avenue des Etats-Unis, 78035 Versailles cedex, France

Tel.: +33 (0)1 30844006.
Fax: +33(0)130844001.
E-Mail: jeff.moussodji@ifsttar.fr

RESUME -Un modèle électrothermique distribué d'une puce IGBT a été développé afin de mettre en évidence par simulation le phénomène de latch-up dynamique observé expérimentalement lors de la coupure d'un courant de court-circuit sur ces composants. Ce modèle est basé sur un couplage d'un réseau thermique de Cauer 3D et d'un réseau de macro-cellules IGBT, chacune sur la base du modèle électro-thermique IGBT de Hefner, représentant la puce discrétisée spatialement. Le modèle d'IGBT de Hefner a été modifié pour pouvoir prendre en compte l'effet du latch-up. Le couplage est direct et fonctionne sous l'environnement Simplorer en VHDL-AMS. Le modèle a été utilisé pour rendre compte de l'impact du vieillissement de la métallisation d'émetteur de la puce sur la redistribution des températures et des courants entre macro-cellules lors du phénomène de court-circuit. Il a également été utilisé pour montrer l'influence éventuelle de ce même vieillissement sur le phénomène de latch-up dynamique.

Mots-clés—Modèle électrothermique, IGBT, Court-circuit, Vieillissement de la métallisation, Latch-up dynamique.

1. INTRODUCTION

Les composants de puissance (IGBT, MOSFET, diode…), largement utilisés dans l'industrie de l'électronique de puissance pour les applications de traction, souffrent de limitations liées à leur fiabilité. De plus, une exigence de robustesse est de plus en plus demandée dans tous les domaines d'application de ces composants. Parmi les moyens mis en place pour pallier ces problèmes, on note d'une part, les méthodes empiriques d'optimisation, souvent très coûteuses et nécessitant d'énormes moyens techniques. D'autre part, les méthodes numériques, beaucoup plus souples et basées sur des modélisations et simulations. L'approche par modélisation occupe naturellement une place prépondérante en raison d'une part de leurs faibles coûts, mais aussi du fait que leur utilisation réduit de façon significative le nombre d'expériences. Par ailleurs, une analyse fine des phénomènes liés aux défaillances peut aider à une maîtrise de la fiabilité de ces dispositifs. Toutefois, ces phénomènes impliquent des couplages entre des effets électriques et thermiques et/ou mécaniques, qui rendent leur étude très complexe, notamment dans les puces IGBT au sein desquelles les phénomènes électriques qui sont conditionnés par la topologie interne de la puce, sont largement affectés par la température. La température résulte de la dissipation de puissance dans les puces mais aussi de l'environnement de la puce. A ce jour, des grandes difficultés demeurent quant à la caractérisation expérimentale des distributions de courant à la surface de la puce, ainsi le recours à la modélisation multi-physique est alors d'un grand secours. En effet, l'approche numérique reste le seul moyen capable d'analyser ces phénomènes multiphysiques et prédire la répartition de température et de flux de courant dans la puce de puissance. Ainsi, les outils de simulation s'orientent de plus en plus vers la création de modèles électrothermiques efficaces de composants de puissance ayant recours aux simulateurs tels que Simplorer, Pspice ou Eldo, …, [2,3]. Une gestion efficiente de la thermique dans les composants électroniques de puissance est incontournable pour minimiser les contraintes électrothermiques et thermomécaniques engendrées en fonctionnement. Ces modèles, qui rendent compte de la répartition de la température et de flux de courant, représentent pour la plupart, le composant dans son ensemble [4,5]. Cependant, certains travaux montrent que ces modèles peuvent être adaptés pour élaborer des modèles de puce multicellulaire afin de rendre compte de l'interaction électrothermique à l'intérieur d'une même puce [6,7]. Dans cette optique, notre étude vise à mettre en œuvre un modèle électrothermique distribué de puces IGBT afin de déterminer la façon dont la température et les courants se distribuent spatialement dans la puce, avec une investigation sur les effets du nombre de bonding, de leur position sur les pads d'émetteurs, du vieillissement de la métallisation et du contact bonding/métallisation.

Dans un premier temps, nous présentons une description du modèle électro-thermique développé, basé sur un réseau thermique de Cauer 3Det de cellules électro-thermiques d'IGBT basées sur le modèle de Hefner [1].

Dans un deuxième temps, nous montrons comment le modèle a été utilisé pour mettre en évidence un phénomène de latch-up

dynamique observé expérimentalement lors de la coupure de courants de court-circuit sur ces composants après vieillissement. Le modèle Hefner a été préalablement modifié pour pouvoir prendre en compte l'effet du latch-up. Nous montrons également l'impact du vieillissement de la métallisation de la puce sur la redistribution des températures et des courants entre macro-cellules lors du phénomène de court-circuit et l'influence éventuelle de ce même vieillissement sur le phénomène de latch-up dynamique.

2. STRATEGIE DE MODELISATION

Le comportement électrique des dispositifs électroniques à semi-conducteurs est intimement lié à la température des composants et réciproquement. Notre approche consiste à traiter les deux aspects dans un environnement unique de résolution de circuit (Simplorer), afin de résoudre le problème de façon homogène et simultané. Cette démarche s'inscrit dans la méthodologie de modélisation électrothermique directe par couplage de la composante électrique avec la composante thermique

2.1. Composante thermique

La Composante thermique est un modèle distribué de type nodal satisfaisant aux exigences des simulateurs de types circuit. Il est basé sur les méthodes de modélisation thermique ayant recours à l'analogie entre la théorie de la conduction électrique et celle de la conduction thermique. La correspondance thermique utilisée est celle du réseau distribué de Cauer RC 3D ou T-réseau, où chaque nœud du réseau correspond à un point physique d'un élément de volume de l'assemblage comme montré en figure 1. Nous nous sommes ainsi inspirés de la discrétisation du réseau de Cauer à trois dimensions pour élaborer un modèle thermique simplifié. Cette approche consiste à représenter l'assemblage à l'aide d'un réseau RC dans les trois dimensions de l'espace.

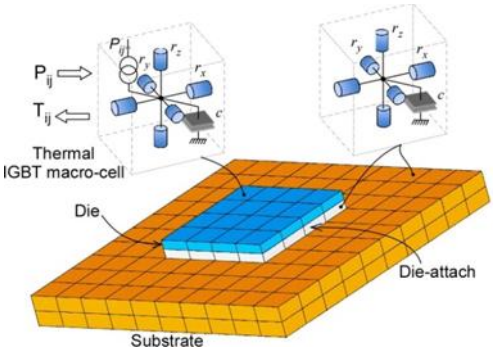

Fig.1 Composante thermique

Le composant est un modèle thermique simplifié et assimilé à un empilement de trois couches de matériaux différents dont les propriétés et les dimensions sont indiquées dans le tableau (1)

La couche de silicium (puce semi-conductrice IGBT) et ses couches voisines (brasure et semelle) ont ainsi été subdivisées en éléments de volume, afin de développer un modèle thermique nodal distribué en volume de l'assemblage. Ces cellules thermiques RC-3D obtenues comprennent six résistances thermiques (Rth) suivant les trois directions de l'espace et une capacité thermique (Cth) placée au nœud central de chaque cellule. Les cellules RC-3D assurent ainsi les transferts thermiques latéraux entre cellules adjacentes et le passage du flux thermique d'une couche à l'autre. Ces éléments de volume, de structures parallélépipédiques, représentent les briques élémentaires de notre modèle thermique et leurs centres constituent les nœuds centraux du réseau RC.

Tab.1 Propriétés et dimensions des matériaux utilisés

Couche	Puce	Brasure	Substrat
Matériaux	Silicium (Si)	SnAg	Cuivre (Cu)
Dimensions (cm × cm × µm)	1 × 1× 100	1 × 1× 100	4 × 4× 2000
Conductivité thermique (T_0)(W. m^{-1}. K^{-1})	150	53	400
Chaleur spécifique (T_0)(J. kg^{-1}. K^{-1})	703	213	385
Densité	2340	7280	8960

2.2. Composante électrique

La composante électrique est un modèle électrique de l'IGBT à structure verticale. Ce modèle s'inspire du modèle de Hefner de l'IGBT [1]. A l'instar de la composante thermique, la composante électrique est un modèle distribué afin de pouvoir réaliser le couplage des deux entités. A chaque nœud central de la couche de la puce, correspond un modèle électrique IGBT élémentaire de Hefner. Les émetteurs du réseau d'IGBT élémentaires sont reliés au réseau de résistances représentant la couche de métallisation supérieure d'émetteur, alors que, les collecteurs sont reliés les uns aux autres comme illustré en figure 2. Chaque macrocellule est définie par le modèle d'IGBT de Hefner dans lequel les paramètres électriques sont fonction de la température. La puce active est ainsi discrétisée en position (x, y) et le problème est également résolu en temporel.

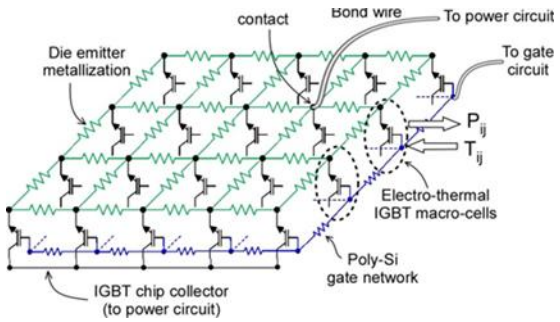

Fig.2 Composante électrique

Dans cette étude, nous avons utilisé un seul contact bonding, afin d'amplifier les effets liés à non seulement la position mais aussi, au nombre de contact de fils de bonding.

3. PRISE EN COMPTE DE LATCH-UP

Pour prendre en compte le phénomène du latch-up résultant de la mise en conduction du transistor parasite NPN, figure 3, le modèle de Hefner a été modifié en introduisant une source supplémentaire de courant (Ilatch) issue du modèle de transistor bipolaire NPN de Ebers et Moll, comme indiqué en figure 4.

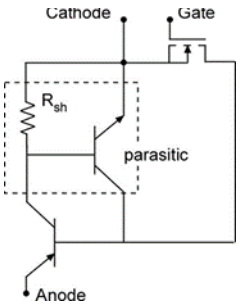

Fig.3 Transistor bipolaire NPN parasite

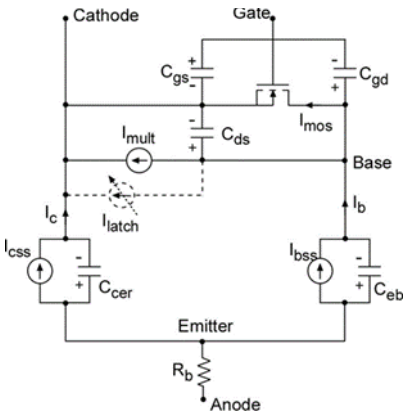

Fig.4 Inclusion du courant de latch-up

Cette source est contrôlée par la chute de tension aux bornes de la résistance de shunt R_{sh} dans le p-body. La résistance de Shunt a été estimée à environ 6 mΩ au niveau d'une macro-cellule pour une puce d'environ 90000 cellules en parallèle qui a été discrétisée en 4 × 4 macro-cellules pour cette étude.

4. Effet du vieillissement de la metallisation

Dans cette étude, le composant IGBT modélisé est un IGBT NPT (30A-600V) validé en VHDL-AMS dans [7].

Le circuit électrique utilisé pour les simulations est construit autour d'une tension de source qui a été fixée à 450 V, les éléments parasites, R_p = 5 mΩ et L_p = 10 nH, comme montré en figure 5.

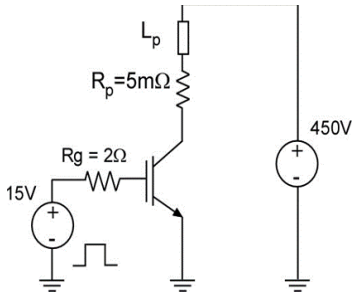

Fig.5 Schéma électrique

Le circuit de grille est simplifié à l'aide d'une résistance de grille (R_g = 2 Ω) et d'une source de tension de grille (E_g).

Pour des raisons de convergence numérique, dans une première phase, entre t = 0 et 18 µs, la tension V_{CE} est augmentée de façon linéaire pour atteindre la valeur souhaitée pour la phase de court-circuit (450 V). A cet instant, l'IGBT supporte à ses bornes une tension d'alimentation et est bloqué. A l'instant t = 20 µs, un ordre de commande de fermeture est donné avec l'application d'une tension de grille de 15 V, enclenchant ainsi le régime de court-circuit. Le courant atteint rapidement un maximum avant de diminuer à cause de la température croissante qui réduit les mobilités des porteurs. Un ordre de blocage sur la grille est donné au bout de 30 µs, à partir duquel nous pouvons observer la chute brutale du courant collecteur et un courant de trainée due à la charge restant encore stockée dans le composant et à la température atteinte à cet instant.

Les formes d'ondes de l'IGBT en court-circuit sont présentées en figure 6.

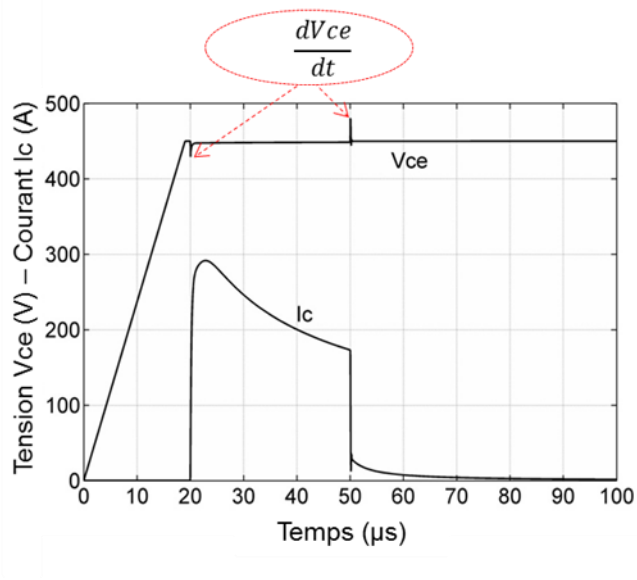

Fig.6 Formes d'ondes de court-circuit

Une surtension, due à la présence d'une faible inductance parasite (L_p), est produite pendant les commutations. Nous verrons aussi comment influe la valeur de cette inductance parasite sur le déclenchement possible du thyristor parasite contenu dans la structure interne de l'IGBT

Pour mettre en évidence les effets du vieillissement de la couche de métallisation de la puce IGBT considérée, nous avons utilisé le modèle électrothermique d'IGBT. Dans un premiers temps, le composant IGBT est considéré avec une couche de métallisation non vieillie et de conductivité électrique σ0.

Dans un second temps, le vieillissement est considéré à travers la détérioration de sa conductivité (σ0 / 2). En effet, de précédents travaux ont démontré que la conductivité électrique de la couche de métallisation supérieure peut être réduite d'un facteur supérieur à 2 après vieillissement du composant IGBT en régimes extrêmes de court-circuit répétitif [8, 9]. Cette métallisation d'émetteur, assimilée à une couche d'aluminium de 3 µm d'épaisseur avec une aire égale à celle de la partie active de la puce de silicium présente à l'état initial (avant le vieillissement), une conductivité électrique de σ0 = 38×106S m^{-1}. Après vieillissement, la conductivité électrique de la couche de métallisation a été prise à 19×106 S m^{-1} pour se rapprocher des observations expérimentales. Pour des raisons de simplification, le vieillissement de la métallisation est supposé

uniforme. En fait, le vieillissement de cette couche devrait dépendre des variations de température locale et donc être non uniforme.

4.1. Effet du vieillissement sur les formes d'ondes de courant total de court-circuit.

Le niveau de courant de court-circuit de l'IGBT ici, est la somme des composantes des courants de court-circuit traversés par chaque macro-cellule. Le niveau de courant de court-circuit dans l'IGBT doté d'une métallisation "vieillie", est comparé au niveau de courant de court-circuit qui traverse l'IGBT doté d'une métallisation "non vieillie" voir figure 7.

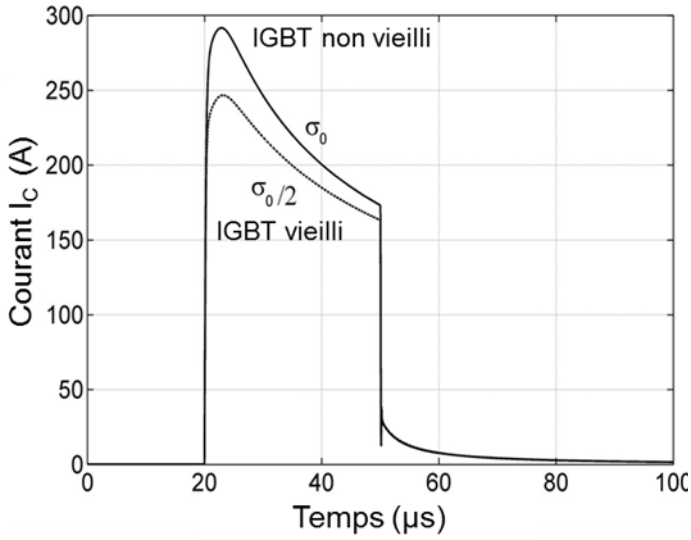

Fig.7Effet du vieillissement sur les formes d'ondes de courant de court-circuit

La diminution de la résistivité de la métallisation, représentant son vieillissement, entraine une réduction significative du niveau de courant de court-circuit par rapport à la situation non vieillie. Ainsi comme cela avait déjà été observé expérimentalement dans [10], nos résultats confirment le fait que les niveaux de courant de court-circuit ont tendance à baisser avec le vieillissement de la couche de métallisation.

4.2. Effet du vieillissement sur les distributions de courant

Le graphique du haut de la figure 8, illustre les formes d'ondes de courant d'Anode dans le cas d'un IGBT "non vieilli", alors que, celui du bas montre les mêmes formes d'ondes, pour un IGBT dit "vieilli", dans lequel seule la couche de métallisation supérieure est considérée endommagée. Les observations des résultats révèlent que la macro-cellule la plus proche du contact de bonding voit un niveau courant de court-circuit plus élevé comparé au courant traversant les macro-cellules les plus éloignées de ce contact.

Les résultats montrent également que le niveau de courant de court-circuit passant dans les macro-cellules diminue progressivement avec la distance par rapport à la position du contact de fil de bonding sur la métallisation. Avec le vieillissement, cet effet est amplifié, comme on peut aisément l'observer dans le graphique du bas de la figure 8.

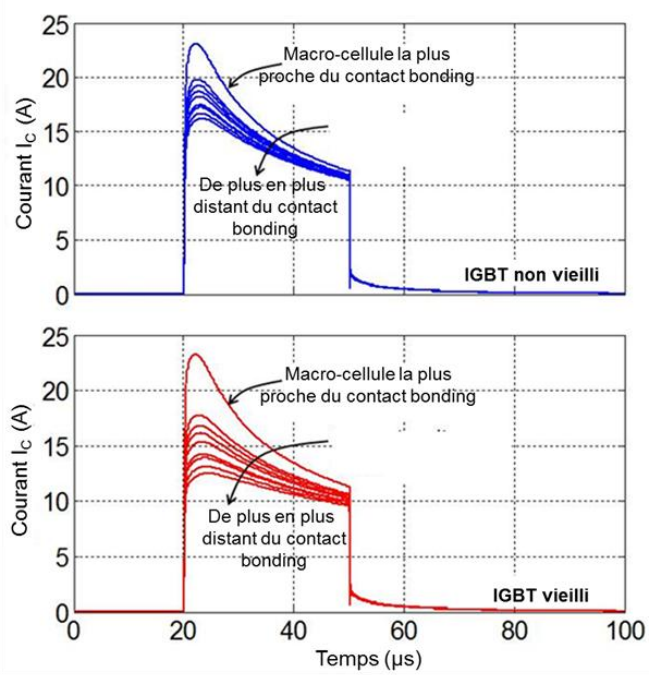

Fig.8 Distribution de courant d'anode

4.3. Effets sur les distributions de température

Les distributions de température suivent naturellement celles des courants. Ainsi comme dans le cas des formes d'ondes de courant, les formes d'ondes de température se comportent de la même façon. A la fin du court-circuit, on note que durant l'opération, la température s'élève de 20°C (valeur initiale) jusqu'à 180°C à 215°C suivant la distance des macro-cellules au contact de bonding. La cellule la plus proche du contact de bonding est la plus chaude et les niveaux de température diminuent avec l'éloignement de ce contact

Il est à noter que ces observations montrent que le vieillissement de la métallisation n'a pas d'effets sur la macro-cellule la plus proche du contact bonding. En effet, le niveau de courant de court-circuit est quasi identique dans les deux cas de figure (IGBT vieilli et non vieilli), alors qu'avec l'éloignement du contact, la dispersion des niveaux de courant s'agrandit.

Le vieillissement accentue la répartition de température en augmentant le gradient de température, donc les inhomogénéités sur la puce entre la cellule la plus chaude (proche du contact) et celle la plus froide (la plus éloignée du contact), conformément aux niveaux de courant correspondants.

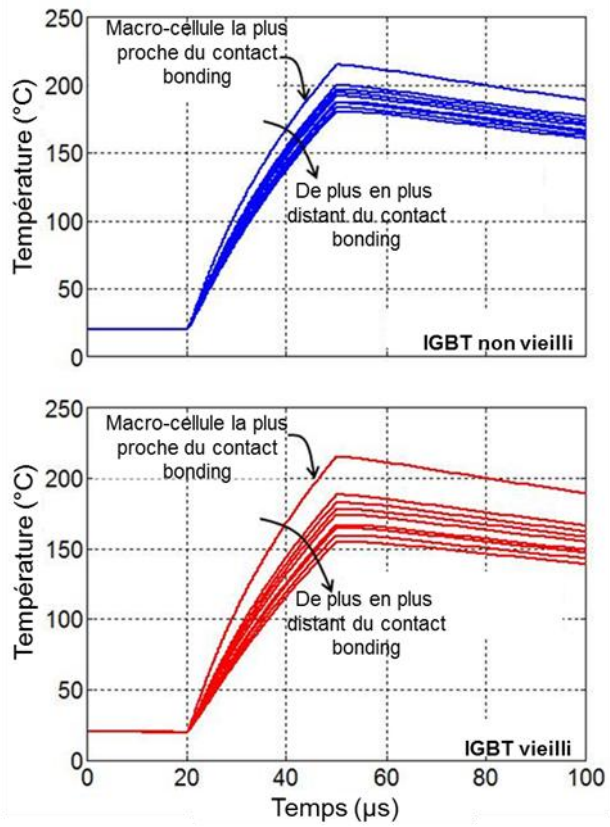

Fig.9 Distribution de température

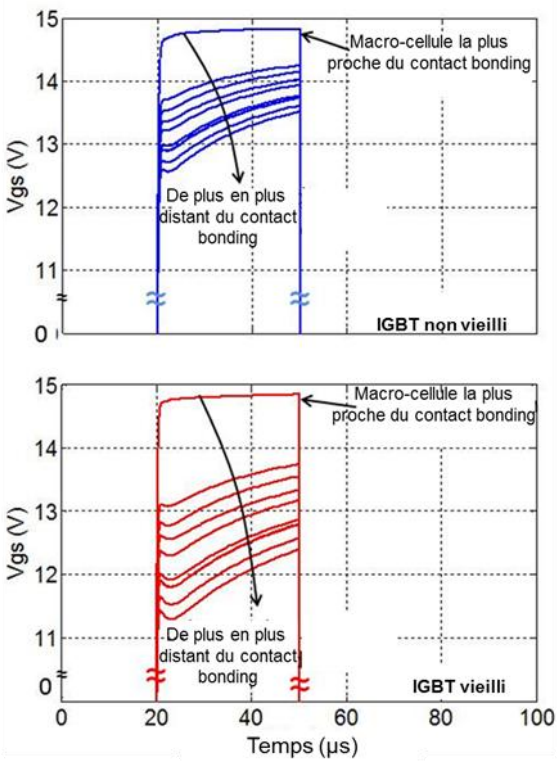

Fig 10 Distribution de tension grille-source (Vgs)

Le comportement des distributions de courant et de température est guidé par celui des distributions des tensions de grilles appliquées et représentées sur la figure 10.

Ainsi, on observe que la macro-cellule la plus proche du contact bonding présente une tension grille-source plus proche de la tension appliquée (15 V), alors qu'avec la distance au contact de bonding, la tension grille-source diminue progressivement. Cette régression est liée à la faible dépolarisation provoquée par la résistance d'accès entre le contact du fil de bonding et la cellule considérée, lorsque celle-ci est parcourue par le courant de court-circuit correspondant.

Cette distribution de résistance d'accès dans le circuit de grille est responsable de la répartition de la tension grille-source (V_{gs}) dans le composant IGBT, lorsque l'IGBT est parcouru par un courant de court-circuit. La répartition de cette résistance d'accès est à l'origine des distributions de courant et de température observées.

Par ailleurs, on observe que le vieillissement de la métallisation supérieure accentue les écarts entre les formes d'ondes de courant et de température délivrées par chaque macrocellule. Cela peut s'expliquer par l'augmentation de la résistance d'accès dans le circuit de grille de chaque macro-cellule, qui s'opère avec le vieillissement de la couche de la métallisation supérieure.

5. APPLICATION AU PHENOMENE DE LATCH-UP

Dans la littérature [9, 10], il a été démontré que lorsque les dispositifs IGBT sont soumis à des régimes répétitifs de court-circuit, un mécanisme cumulatif préjudiciable a lieu et conduit par des effets de vieillissement progressif à une destruction du composant l'IGBT. Cette défaillance a été observée expérimentalement et il ressort que celle-ci apparaît systématiquement lors de la phase de blocage de l'IGBT, pendant le dernier cycle de court-circuit sous forme d'un latch-up dynamique. Nous nous proposons par le biais de simulations numériques, d'une part, de montrer que le latch-up dynamique est susceptible d'apparaitre dans ces conditions, c'est-à-dire, précisément à l'ouverture de l'IGBT. D'autre part nous analysons l'impact du vieillissement de la couche de métallisation sur l'apparition de ce phénomène. L'objectif étant de vérifier si l'état de dégradation de la métallisation supérieure de la puce IGBT, observé expérimentalement peut être à l'origine de la défaillance en latch-up.

Pour cela, une première étape a consisté à rechercher les conditions seuils qui font apparaître le phénomène de latch-up dynamique pour le composant IGBT doté d'une métallisation non vieillie. Nous verrons que c'est une valeur seuil d'inductance parasite L_p qui permettra d'atteindre ces conditions. La seconde étape va consister à simuler dans les mêmes conditions, l'IGBT dont la métallisation est "vieillie". Cela va nous permettre de voir dans quel sens le vieillissement de la métallisation va influencer le seuil d'apparition du latch-up dynamique. En d'autres mots, nous espérons voir si le vieillissement va favoriser ou au contraire empêcher l'apparition du latch-up.

La mise en situation critique d'apparition de latch-up, de l'IGBT initial s'est effectuée par ajustement des valeurs

d'inductance parasite (L_p) du circuit d'alimentation. En effet, il est bien connu qu'il existe une dépendance entre l'inductance parasite et la tension collecteur-émetteur en commutation. Cela a été confirmé par les résultats de simulations issus de notre modèle. En effet, comme illustré en figure 11, des formes d'ondes de courant total de court-circuit qui traversent le dispositif ont été obtenues par simulation pour différentes valeurs d'inductances parasites (L_p).

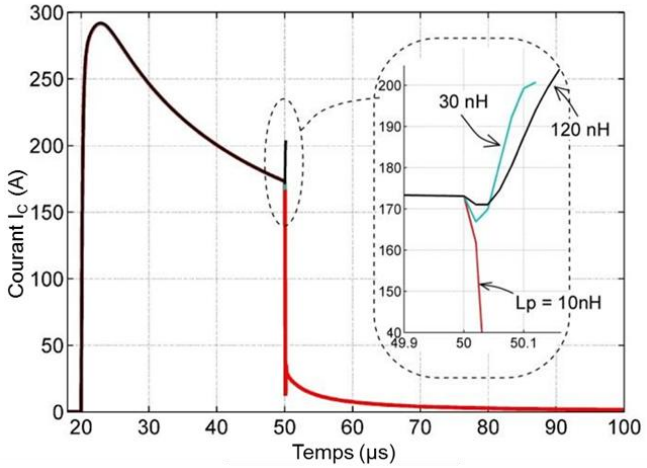

Fig.11 Courant du collecteur (I_C) pour différentes valeurs d'inductance parasite (Lp=10 nH, 30 nH et 120 nH)

Ainsi, pour une valeur d'inductance parasite relativement faible (L_p = 10 nH), la surtension liée à la présence de l'inductance (L_p) lors de la coupure du composant est relativement moins importante et ne permet pas de provoquer le déclenchement des éléments parasites internes de l'IGBT. Dans ces conditions, le régime de court-circuit est bien supporté par le composant et aucune défaillance du composant n'a été relevée (courbe rouge)

D'un point de vue physique, la chute de tension latérale (V_{lat}) aux bornes de la résistance de shunt (R_{sh}) résultant de la composante de courant de trous (I_p) dans la région P-body et en provenance du collecteur P+, n'est pas assez suffisante (V_{lat} < 0.6 V, inférieure au seuil de conduction de la jonction P/N). Cette chute de tension n'est donc pas suffisante pour polariser en direct la jonction P/N responsable du déclenchement du transistor bipolaire parasite NPN de l'IGBT.

Ainsi, les résultats de simulation montrent qu'il n'y a pas d'apparition du phénomène de latch-up pour des valeurs d'inductances parasites relativement faibles. Cependant, celui-ci se produit pour des valeurs d'inductance parasite plus importantes. C'est notamment le cas pour les valeurs d'inductance parasite supérieures ou égales à 30 nH (L_p = 30 nH) comme illustré en figure 11. L'apparition de ce phénomène s'accompagne de la destruction du composant de puissance en commutation par latch-up du courant total de court-circuit pendant l'ouverture, confirmant les observations expérimentales

Ces résultats montrent que pendant la coupure, les évolutions des formes d'ondes de courant de collecteur (I_C) et de courant de canal (I_{MOS}) ont des dynamiques légèrement différentes en en commutation d'ouverture. En effet, en transitoire, le courant d'électrons (I_{MOS}) commute plus rapidement que le courant de collecteur et par conséquent, un apport supplémentaire de courant de trous (I_p) en provenance du collecteur P+ ou généré dans la zone de charge d'espace, peut apparaître pour compenser la composante du courant d'électrons (I_{MOS}) comme le montre la figure 12, et en accord avec [11]. La conséquence est un accroissement du transit latéral de ces trous dans la région de drift (P-body), responsable de la chute de tension latérale aux bornes de la résistance ohmique (R_{sh}) de cette région. Cette situation est susceptible de polariser la jonction (N / P) si ce flux de trous devient important.

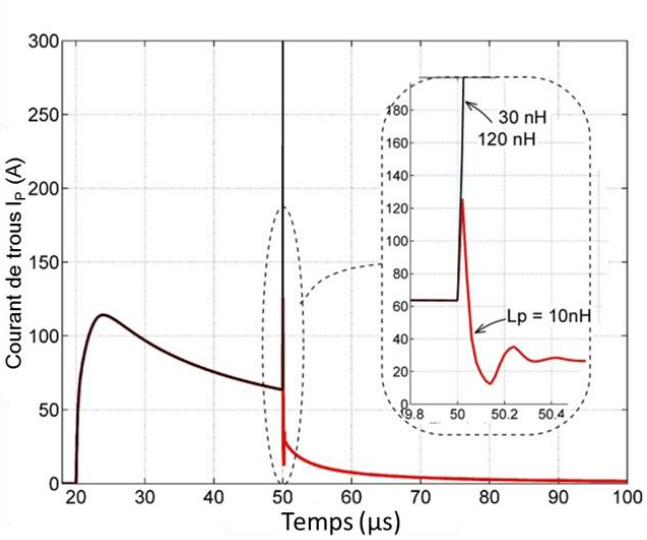

Fig 12 Courant de trous I_p pour différentes valeurs d'inductance parasite (L_p=10 nH, 30 nH, et 120 nH)

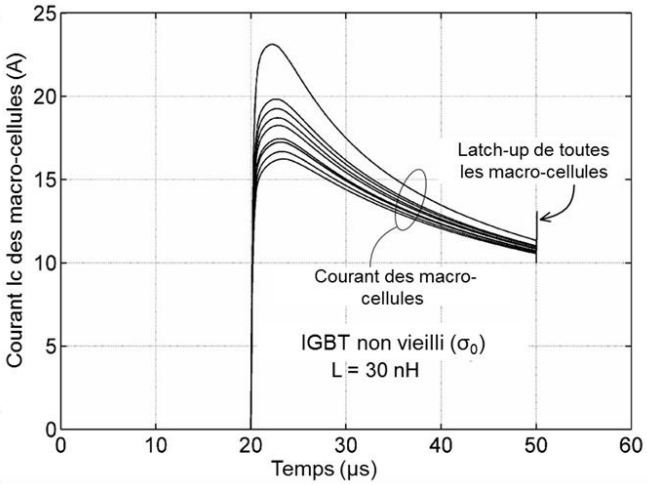

Fig 13 Destruction du composant par latch-up de toutes les macro-cellules de l'IGBT

Il faut noter que le latch-up touche toutes les macro-cellules du composant IGBT muni d'une métallisation non vieillie avec

des valeurs d'inductances parasites supérieures ou égales à 30 nH, comme l'illustre la figure 13. En effet, on observe que toutes les macro-cellules du dispositif sont détruites par latch-up pendant la coupure du court-circuit figure 14.

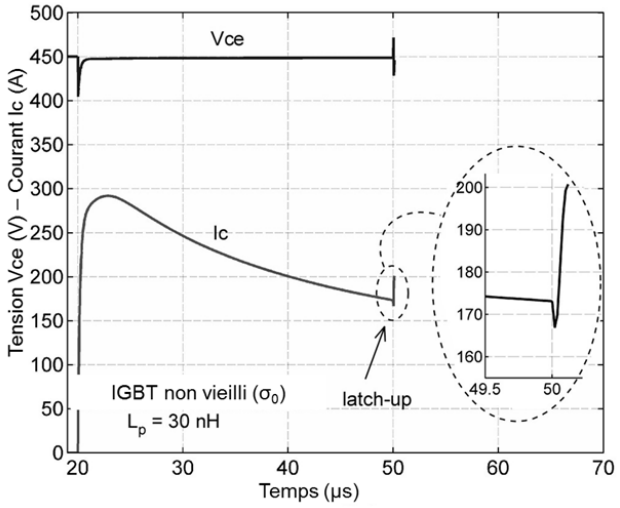

Fig 14Destruction de l'IGBT non vieilli (L_p = 30nH)

Ces résultats de simulations confirment les observations expérimentales réalisées dans [9, 10]. Et à notre connaissance, c'est la première fois que ces observations expérimentales sont confirmées numériquement

Les résultats de simulation nous ont amenés à envisager l'existence d'une valeur intermédiaire (seuil) d'inductance parasite comprise entre (L_p = 10 nH et L_p = 30 nH) pour laquelle certaines macro-cellules du composant seraient touchées par le latch-up et d'autres non. En effet, L_p= 10 n H représente la valeur d'inductance parasite pour laquelle aucune macro-cellule du composant n'est touchée par le phénomène de latch-up, alors que la valeur L_p = 30 nH est celle qui correspond au latch-up de toutes les macro-cellules. Donc, il devrait être possible de trouver une valeur intermédiaire de L_p, qui place le composant non vieilli dans des conditions critiques (seuils) d'apparition de latch-up dans laquelle les macro-cellules du composant ne se comportent pas toutes de la même manière lors de la phase de blocage du composant. Dans ces conditions critiques, certaines d'entre elles peuvent présenter le phénomène de latch-up et d'autres pas.

Cette condition de court-circuit "critique" (ou seuil) a été trouvée pour une valeur d'inductance parasite de L_p = 20 nH. La figure 15 montre que certaines des macro-cellules commencent à partir en latch-up tandis que d'autres commutent normalement.

Pour ces conditions « critique », et dans le cas d'une puce IGBT dotée d'une métallisation vieillie (dont la résistivité a été détériorée d'un facteur 2) puis, soumise à un court-circuit, on peut suivre les évolutions des formes d'ondes de courant de court-circuit qui traverse chacune de ses macro-cellules en particulier leur comportement à l'ouverture. Seul donc l'état physique de la couche de métallisation a varié. Cela devrait nous permettre d'évaluer l'impact du vieillissement de cette couche de métallisation sur l'apparition du latch-up.

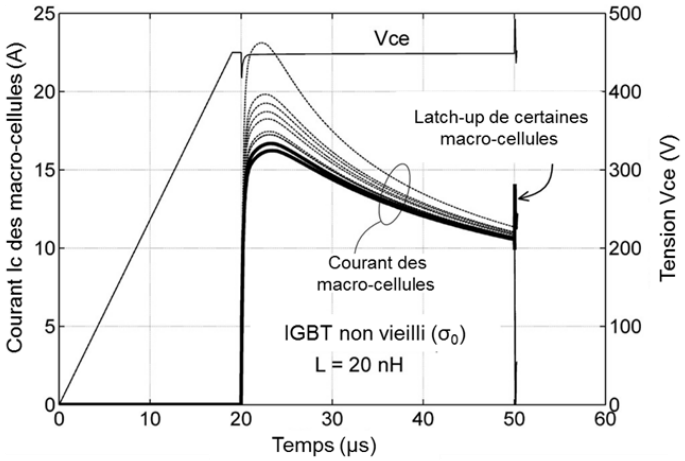

Fig 15 Condition de court-circuit "critique" (ou seuil) obtenue pour Lp = 20 nH

Les résultats de simulation illustrés en figure 16 montrent que dans des conditions de simulation strictement identiques que celles de la figure 15, il n'y a pas de latch-up dans le composant vieilli. Toutes les macro-cellules de l'IGBT vieilli ont tendance à commuter normalement le court-circuit.

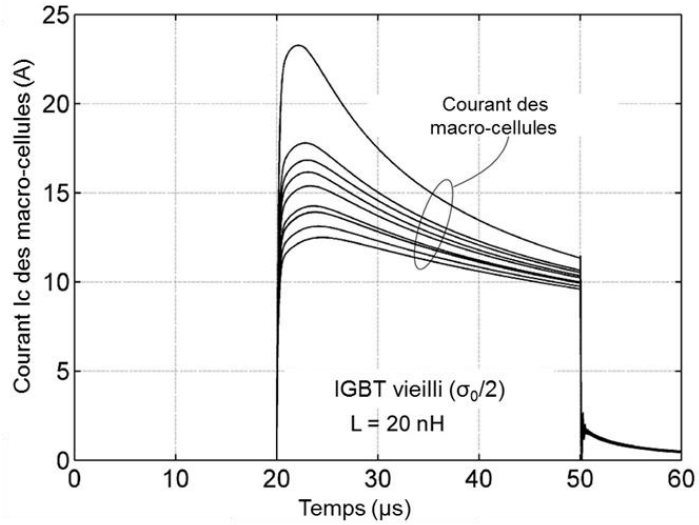

Fig 16 Condition de court-circuit « critique » appliquée à une puce d'IGBT dotée d'une puce vieillie

Nos résultats de simulations semblent indiquer que le vieillissement de la métallisation n'est pas responsable de la défaillance par latch-up dynamique observée expérimentalement au dernier cycle de court-circuit répétitif. Toutefois, ces résultats doivent être confirmés par des travaux complémentaires d'analyse plus poussée.

6. Conclusions

Les résultats des simulations montrent l'impact de la position relative du contact bonding à la surface de la métallisation sur les distributions de température et de courant. En effet, ces résultats relèvent que les niveaux de courant et de

température sont plus importants autour des contacts de fils de bonding.

Il en ressort que le vieillissement de la métallisation supérieure accentue les inhomogénéités dans la répartition du flux de courant et de température dans la couche de la métallisation. Les résultats de simulations montrent la forte dépendance du comportement de courant du collecteur de l'IGBT vis à vis des valeurs de l'inductance parasite en commutation et en particulier lors de la phase de blocage.

Nos travaux ont également permis de mettre en évidence et confirmer le mode de défaillance par latch-up dynamique observé expérimentalement dans un IGBT en court-circuit-répétitif lors de la phase de blocage du composant au dernier cycle. Ce résultat est très important car c'est la première fois, à notre connaissance, que ce mode de défaillance est confirmé numériquement. En outre, les résultats numériques suggèrent que le vieillissement de la métallisation supérieure de la puce IGBT n'est à priori pas à l'origine de l'apparition de cette défaillance. Néanmoins, ces résultats restent à être confirmés par d'autres analyses.

7. REFERENCES

[1] .R. Hefner, D.L. Blackburn, « An Analytical Model for the Steady-State and Transient Characteristics of the Power Insulated-Gate Bipolar Transistor », Solid-state Electronics, Vol. 31, No. 10, pp: 1513-1532, (1988).

[2] A.R. Hefner, "A Dynamic Electro-Thermal Model for the IGBT", IEEE Trans. on industry applications, vol.30,N°2, pp.394-405, 1994.

[3] H. Dia, J.B. Sauveplane, P. Tounsi, J-M. Dorkel , "A Temperature-Dependent POWER MOSFET Model for Switching Application", Therminic 2009.

[4] A. Irace, G. Breglio, P. Spirito, "New developments of THERMOS3, a tool for 3D electro-thermal simulation of smart power MOSFETs", Microelectronics Reliability, Vol.47, pp.1706-1710, 2007.

[5] L. Codecasa, D. D'Amore, P. Maffezzoni, "Compact Modelling of Electrical Devices for Electrothermal Analysis", IEEE Trans. on circuits and systems-I, Vol.50, N°4, pp.465-476, 2003.

[6] M. Riccio et al., "Compact Electro-thermal modeling and simulation of large area multicellular Trench-IGBT", Proc. 27th Inter. Conf. on microelectronics, Nis, Serbia, 2010.

[7] T. Ibrahim, B. Allard, H. Morel, S. MRad, "VHDL-AMS model of IGBT for electro-thermal simulation", EPE Conf., Aalborg, 2007

[8] S. Pietranico et al, "Study of ageing of the metallization layer of power semiconductor devices", Proc. of PCIM conference, p.356-361, May 2010, Nuremberg, Germany.

[9] S. Lefebvre, Z. Khatir, F. Saint-Eve " Experimental Behavior of Single-Chip IGBT and COOLMOS Devices Under Repetitive Short-Circuit Conditions", IEEE Trans. on Electron devices, Vol.52, N°2, 2005

[10] M. Arab, S. Lefebvre, Z. Khatir, S. Bontemps, "Experimental Investigations of Trench Field Stop IGBT under Repetitive Short-Circuits Operations", Proc. of Power Electronics Specialist Conference, p.4355-4360, 2008, Rhodes, Greece

[11] A. Akdag "soa IN High Power Semiconductors" IAC, October 2006, Tampa, USA. (ABB Switzerland Ltd). Pp. 1473 – 1477