

Evaluation du comportement électrothermique de transistors MOSFET en conduction en présence de défaut dans la brasure

Son Ha TRAN¹, Laurent DUPONT², Zoubir KHATIR²

- 1) VEDECOM, 77 rue des Chantiers, 78000 Versailles, France, son-ha.tran@ifsttar.fr
2) IFSTTAR, LTN, 25 allée des Marronniers, F-78000 Versailles, France, laurent.dupont@ifsttar.fr

RESUME - Les convertisseurs électroniques de puissance sont voués à fonctionner sous les conditions applicatives de plus en plus sévères tout en respectant les impératifs d'efficacité énergétique et de fiabilité. Or, les besoins industriels tendent à un plus haut niveau d'intégration fonctionnelle tout en améliorant le rapport qualité-prix. Dès lors, la solution utilisée pour le report des puces semi-conductrices est le siège de densités de flux électrique et thermique très élevés. La présence de défauts dans cette couche d'interconnexion peut conduire au vieillissement prématuré du composant et à la dégradation de ses performances. Cet article propose une méthodologie, basée sur la confrontation de modèles numériques et de campagnes expérimentales, permettant d'acquérir une meilleure compréhension du comportement électrothermique en régime de conduction des transistors MOSFET en présence de défauts locaux dans une brasure.

MOTS-CLES – Intégration de puissance, défaut, brasure, MOSFET, performance, conduction

1. Introduction

Les convertisseurs électroniques de puissance sont amenés à fonctionner sous les conditions applicatives très sévères (haute température, contraintes électriques élevées, vibrations, humidité...). De plus, les attentes industrielles, de plus en plus exigeantes en termes de taux d'intégration et de réduction des coûts, se trouvent confronter à des impératifs de performance énergétique et de fiabilité. Ces conditions nécessitent que les technologies d'attache utilisées pour l'intégration des composants semi-conducteurs présentent des performances élevées. En effet, ce joint d'assemblage doit permettre la circulation de forte densité de courant et d'un flux thermique élevé provenant du composant actif durant son fonctionnement. Dès lors, la technologie d'interconnexion utilisée pour le report des puces (brasure) est un élément très critique du point de vue mécanique et électrothermique.

Or, des défauts dans la brasure de la partie active peuvent se créer durant le procédé de réalisation en raison de nombreux facteurs tels qu'un mauvais état de surface du substrat, la présence de résidu et une mauvaise maîtrise de la phase de refusions [1-3]. La présence de ces défauts empêche localement l'évacuation de la chaleur provenant du composant vers le système de refroidissement. Cette situation conduit à une redistribution du courant en fonction des caractéristiques électrothermiques du composant de puissance. Cette dépendance du comportement des composants de puissance, qui met en jeu des densités de puissances dissipées importantes, explique l'apparition des points chauds dans la partie active à l'aplomb des défauts [4].

A titre d'illustration, la figure 1 montre des mesures réalisées avec une caméra infrarouge (CamIR) lors de l'auto échauffement d'un transistor MOSFET fonctionnant en régime de conduction sous 500A durant 100ms. A la fin de cette phase de dissipation ($t=100ms$), un relevé de la température le long d'un profil (ligne B-B) à la surface de la métallisation permet de mettre en évidence l'effet thermique d'un défaut présent dans la brasure. Cette augmentation locale d'environ 10°C de la température du composant, vis-à-vis d'un assemblage sain, est reconnue comme un facteur qui affecte les performances et la fiabilité [5]. De ce fait, les défauts dans la brasure doivent être maintenus à un niveau acceptable.

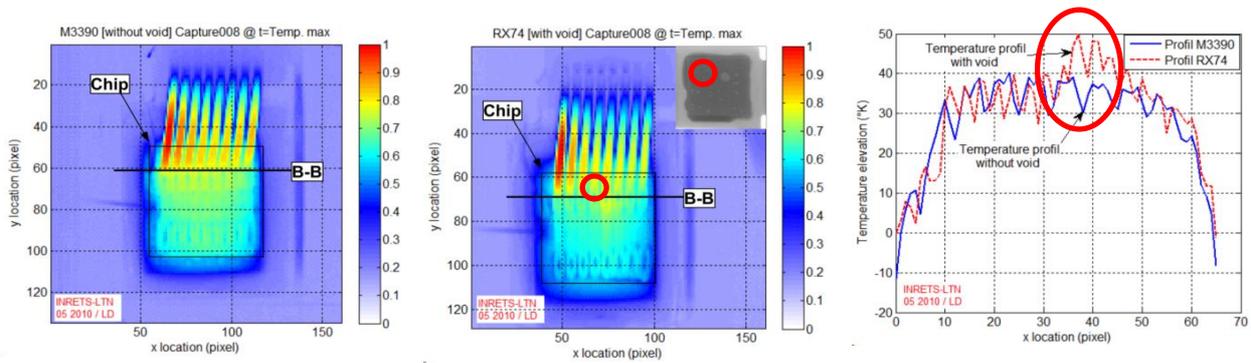


Figure 1 : Mesure de l'élévation de la température par CamIR en présence d'un défaut [4]

A l'issue d'une étude de l'état de l'art, il ne semble pas exister de norme dans le domaine de l'électronique de puissance permettant de définir le niveau acceptable des défauts présents dans l'attache de la partie active. Cette lacune nous conduit à devoir approfondir le sujet à travers la mise en évidence des phénomènes multiphysiques mis en jeu. Cet article décrit les recherches initiées sur le sujet dans le cas d'un MOSFET silicium en régime de conduction. Les premiers résultats de simulation par les éléments finis seront confrontés dans l'article final à des mesures expérimentales avec une caméra infrarouge (IR). Une méthodologie pour mettre en place l'étude de l'évaluation du comportement électrothermique du composant vis-à-vis de défauts maîtrisés sera également détaillée.

2. Méthodologie et moyens mis en œuvre

Ces travaux seront réalisés sous 2 axes principaux que sont l'approche numérique, basée sur des simulations multiphysiques par éléments finis, et une approche expérimentale permettant de valider les résultats. A l'issue d'une étude bibliographique, il s'avère que de nombreux facteurs caractérisant les défauts dans la brasure ont un effet sur la réponse électrothermique du composant. Pour une technologie et un mode de fonctionnement donnés, les principaux facteurs sont la position, la géométrie et la distribution de ces défauts [6-8]. Afin de minimiser le nombre de simulations et de tests à réaliser, sous la contrainte du nombre de facteurs pris en compte, un plan d'expérience fractionnaire est mis en place. Ce plan d'expérience permet de minimiser le nombre d'essais par une optimisation des choix de la position et du diamètre des défauts. Le calcul préliminaire dénombre un minimum de 13 assemblages spécifiques afin de conduire l'étude pour le MOSFET en régime de conduction :

- 3 modules pour les tests préliminaires pour valider la création de défauts
- 3 modules pour les facteurs principaux
- 3 modules pour les facteurs d'ordre 2 (les interactions entre les facteurs principaux)
- 3 modules pour les variances
- 1 module pour le terme de courbure

Les résultats obtenus pour chaque configuration informe sur le comportement électrothermique du composant vis-à-vis des caractéristiques du défaut (position, taille). Une fonction combinant ces 13 réponses discrètes, selon de principe du plan d'expérience fractionnaire, devrait permettre de déterminer la réponse d'une configuration aléatoire d'un défaut.

2.1 Description du modèle numérique

Un modèle de référence a été construit dans COMSOL® Multiphysics avec un maillage adapté en adéquation avec le solveur direct utilisé pour la simulation du couplage électrothermique. Ce modèle simplifié, présenté dans la figure 2, est mis au point afin d'alléger l'étude tout en restant représentatif d'un module de puissance développé autour de transistors MOSFETs intégrés dans un assemblage IML (Insulated Molded Leadframe).

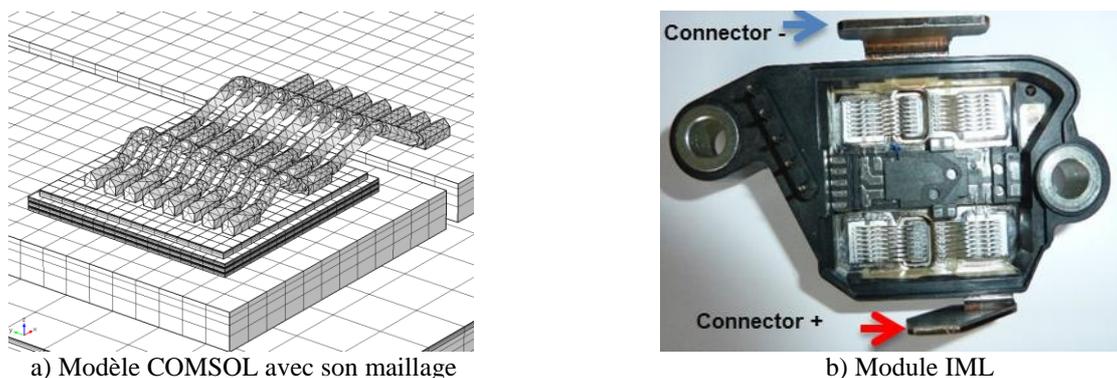


Figure 2 : Modèle assemblage simplifié (a) & module IML réel (b)

L'article final détaillera la méthodologie mise en œuvre afin d'intégrer la dépendance à la température des propriétés physiques des matériaux et le comportement électrothermiques du transistor MOSFET. Les conditions limites du modèle thermique sont déclarées adiabatiques hormis sur la face inférieure de l'assemblage où est imposé un coefficient d'échange de $4000\text{W/m}^2\text{K}$ représentatif des performances du système de refroidissement à 23°C . Les conditions du modèle électrique sont quant à elles définies à partir des mesures électriques. Le profil du courant est extrait de la mesure lors d'une injection de 500A durant 100ms

Afin de valider le modèle numérique, une confrontation a été réalisée entre la simulation et la mesure effectuée par une caméra infrarouge. La figure 3 présentant l'évolution de la chute de tension relevée aux bornes du module montre une bonne adéquation entre les résultats de l'approche numérique et les mesures expérimentales.

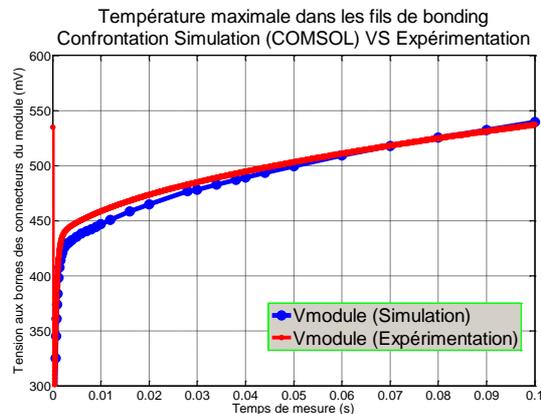


Figure 3 : Evolution de la chute de tension aux bornes du module (Simulation/expérimentation)

2.2 Evaluation de la discrétisation de la puissance dissipée dans la partie active

A l'issue de l'état de l'art, de nombreux modèles thermiques et électrothermiques ont été proposés. Les études numériques présentent majoritairement la dissipation de la partie active du composant de puissance comme une source de chaleur homogène uniformément distribuée en surface ou dans le volume du composant. Cependant, le comportement électrothermique du composant dans son environnement fonctionnel est complexe [9, 10]. Ainsi, un modèle électrothermique non linéaire a été introduit par X. Chauffleur [11] dans lequel la dissipation de puissance du MOSFET est discrétisée afin de dissocier les parties actives (Canal, JFET, N^-) de la partie liée au substrat N^+ . Ce modèle sera raffiné afin de mettre en évidence l'impact des zones de dissipation de la partie active. L'objectif de cette première étude est d'évaluer l'effet de la discrétisation de la distribution de la puissance dissipée dans le composant sur sa réponse électrothermique en présence d'un défaut dans la brasure. L'article final présentera une étude permettant d'évaluer le niveau de finesse de la modélisation macroscopique afin d'être représentatif du comportement électrothermique effectif du composant à l'échelle des cellules élémentaires.

3. Conclusion

Les travaux exposés dans ce papier proposent une méthodologie permettant d'évaluer le comportement électrothermique de composant MOSFET en régime de conduction dans le cas de défauts dans la brasure. Dans l'article final, un plan d'expérience fractionnaire sera présenté afin de détailler les configurations utilisées pour les études numériques et expérimentales. L'article final détaillera également une étude sur la sensibilité de la réponse électrothermique du composant en fonction de la discrétisation de la puissance dissipée dans le transistor MOSFET. Enfin, la confrontation des résultats des simulations numériques et des mesures expérimentales sera discutée afin d'évaluer la méthode proposée.

4. Références

- [1] L. Chen, M. Paulasto-Krockel, U. Frohler, D. Schweitzer et al, "Thermal Impact of Randomly Distributed Solder Voids on Rth-JC of MOSFETs", Electronics System-Integration Technology Conference, IEEE, pp. 237 - 244, 2008
- [2] D. C. Katsis, J.D. VanWyk, "A Thermal, Mechanical, and Electrical Study of Voiding in the Solder Die-Attach of Power MOSFETs", Components and Packaging Technologies, IEEE Transactions, Vol. 29, Issue 1, pp. 127 - 136, 2006
- [3] L. Biswal, A. Krishna, D. Sprunger, "Effect of Solder Voids on Thermal Performance of a High Power Electronic Module", Electronic Packaging Technology Conference, Vol. 2, 2005

- [4] L. Dupont, J.L. Blanchard, R. Lallemanda, G. Coquerya et al, "Experimental & numerical results correlation during extreme use of power MOSFET designed for avalanche functional mode", *Microelectronic Reliability*, vol. 50, Issue 9 – 11, pp. 1804 – 1809, 2010
- [5] V.Smet, "Fiabilité et analyses de défaillances de modules de puissance" à IGBT, JCGE'08 Lyon, 2008
- [6] N. Zhu, "Thermal impact of solder voids on the electronic packaging device", *Semiconductor Thermal Measurement and Management Symposium. Fifteenth Annual IEEE*, pp. 22 – 29, 1999
- [7] L. Ciampolini, M. Ciappa, P. Malberti, P. Regli et al, «Modelling thermal effects of large contiguous voids in solder joints», *Microelectronics Journal*, Vol. 30, Issue 11, pp. 1115 - 1123 , 1999
- [8] S. Fleischer, L. Chang, C. Johnson, "The effect of die attaches voiding on the thermal resistance of chip level packages", *Microelectronic Reliability*, Vol. 46, Issue 5 – 6, pp. 794 – 804, 2006
- [9] M. Mahalingam et Al, "Thermal Effect of Die Bond Voids On Metal, Ceramic & Plastic Packages", *34th Electronics Components*, Vol. 34, pp. 469 – 477, 1984,
- [10] L. Dupont, J-L. Blanchard, "Transient Coupled Field Simulation of a Power Electronic Module", *Benchmark International magazine for engineering designers and analysts* , 2012
- [11] X.Chauffleur et Al. "Non linear 3D electrothermal investigation on power MOS chips", *Bipolar/BiCMOS Circuits and Technology*, pp. 156 – 159, 2004