HAL
open science

Evaluation du comportement électrothermique de transistors MOSFET en conduction en présence de défaut dans la brasure

Son Ha Tran, Laurent Dupont, Zoubir Khatir

To cite this version:

Son Ha Tran, Laurent Dupont, Zoubir Khatir. Evaluation du comportement électrothermique de transistors MOSFET en conduction en présence de défaut dans la brasure. Symposium de Génie Électrique 2014, Jul 2014, Cachan, France. hal-01065178

HAL Id: hal-01065178

https://hal.science/hal-01065178v1

Submitted on 18 Sep 2014

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Evaluation du comportement électrothermique de transistors MOSFET en conduction en présence de défaut dans la brasure

Son Ha TRAN[1], Laurent DUPONT[2], Zoubir KHATIR[2]

1) VEDECOM, 77 rue des Chantiers, 78000 Versailles, France, son-ha.tran@ifsttar.fr
2) IFSTTAR, LTN, 25 allée des Marronniers, F-78000 Versailles, France, laurent.dupont@ifsttar.fr

RESUME - Les convertisseurs électroniques de puissance sont voués à fonctionner sous des conditions applicatives de plus en plus sévères tout en respectant les impératifs d'efficacité énergétique et de fiabilité. Or, les besoins industriels tendent vers un plus haut niveau d'intégration fonctionnelle tout en améliorant le rapport qualité-prix. Dès lors, la solution utilisée pour le report des puces semi-conductrices est le siège de densités de courant importantes et d'un flux thermique élevé. La présence de défauts dans cette couche d'interconnexion peut conduire à la dégradation de ses performances et au vieillissement prématuré du composant. L'objectif de nos recherches est d'évaluer la pertinence d'une méthodologie basée sur la confrontation de simulations numériques et de campagnes expérimentales. L'objectif est d'améliorer la compréhension du comportement électrothermique en régime de conductiond'un transistor MOSFET en présence d'un défaut local dans sa brasure. Dans cet article, nous présenterons la construction d'un modèle intégrant le couplage électrothermique de la partie active qui sera confronté à la réponse de résultats expérimentaux. Puis, une étude numérique basée sur la théorie des plans fractionnaires, qui minimise le nombre de simulations, sera exploitée afin de quantifier l'impact de la taille et de la position du défaut sur la réponse électrothermique du composant et de ses liaisons électriques. Les détails de la mise en place d'une étude expérimentale analogue permettront de mettre en perspective la complémentarité de cette approche.

Mots-clés : Intégration de puissance, défaut, brasure, MOSFET, conduction, modélisation multiphysique

1. INTRODUCTION

Les convertisseurs électroniques de puissance sont amenés à fonctionner sous des conditions applicatives très sévères (haute température, fortes contraintes électriques, vibrations, humidité…). De plus, les attentes industrielles, de plus en plus exigeantes en termes de taux d'intégration et de réduction des coûts, se trouvent confrontées à des impératifs de performance énergétique et de fiabilité. Ces conditions nécessitent que les technologies d'attache utilisées pour l'intégration des composants semi-conducteurs présentent des performances élevées. En effet, ce joint d'assemblage doit permettre durant son fonctionnement la circulation de fortes densités de courant et de flux thermiques élevés. Dès lors, la technologie d'attache utilisée pour le report des puces (brasure) est un élément très critique du point de vue électrothermique et thermomécanique. Or, des défauts dans la brasure de la partie active peuvent se créer durant le procédé de réalisation en raison de nombreux facteurs tels qu'un mauvais état de surface du substrat, la présence de résidu et une mauvaise maitrise de la phase de refusions [1-3]. La présence de ces défauts empêche localement l'évacuation de la chaleur provenant du composant vers le système de refroidissement [4]. Cette situation conduit à une redistribution du courant en fonction des caractéristiques électrothermiques du composant de puissance. La dépendance du comportement des composants de puissance, qui met en jeu des densités de puissances dissipées importantes, explique l'apparition des points chauds dans la partie active à l'aplomb des défauts [5]. A titre d'illustration, l'étude menée dans [5] a relevé une augmentation de la température de 10 à 20°C dans une puce retournée (flip chip) en silicium pour un taux de défaut variant de 20% à 30%. Cette augmentation est reconnue comme un facteur qui affecte les performances et la fiabilité [6]. De ce fait, les défauts dans la brasure doivent être maintenus à un niveau acceptable.

A l'issue d'une étude de l'état de l'art, il ne semble pas exister de norme dans le domaine de l'électronique de puissance permettant de définir le niveau acceptable des défauts présents dans l'attache de puce. Cette lacune nous conduit à devoir approfondir le sujet à travers la mise en évidence des phénomènes multiphysiques mis en jeux. Les travaux entrepris ont pour objectif de montrer l'impact de la taille et de la position des défauts sur le comportement électrothermique d'un assemblage de puissance à MOSFET. Ces travaux sont basés sur des analyses couplées entre l'expérience et la simulation numérique. Afin de limiter le nombre de configurations à tester, nous utiliserons le principe des plans d'expérience fractionnaire. Sur le plan expérimental, cela nécessite une procédure de réalisation de défaut dont les positions et les tailles soient bien contrôlées. Cet article décrit les premières phases de ces travaux dans le cas d'un MOSFET silicium en régime de conduction. Il sera décrit, la définition du plan d'expérience et sa réalisation sur le volet numérique uniquement. L'analyse sera faite uniquement sur la base des résultats de simulation. La validation expérimentale reste encore à venir et sera présentée ultérieurement. L'article se termine néanmoins par la présentation de la méthode permettant de générer des défauts contrôlés dans la brasure. C'est cette méthode qui sera utilisée ultérieurement pour réaliser les assemblages requis par le plan d'expérience et

obtenir les résultats expérimentaux nécessaires à la validation/corrélation des résultats numériques présentés ici.

2. Conception du plan d'experience fractionnaire

Les travaux précédents ont mis en œuvre plusieurs méthodes permettant d'évaluer l'impact des défauts dans l'attache de puce. S. Baricordi a relevé l'effet de défaut dans la brasure d'une cellule solaire au travers d'un réseau 3D de résistances thermiques et a comparé le résultat obtenu par cette méthode analytique à celui issu de simulation éléments finis avec le code ADINA [7]. De nombreux travaux se sont basés sur la méthode éléments finis à l'aide des logiciels traitant des problèmes électrothermiques : ANSYS [1], [8] ou ICEPAK [9]. L. Chen [1] a proposé une approche statistique en générant une distribution aléatoire du taux de défauts dans un modèle éléments finis sous ANSYS. Dans ce papier, nous présentons une méthode statistique basée sur la méthode du plan d'expérience fractionnaire. Celui-ci, dénommé DoE fractionnaire (Fractional Design of Experiment), est un outil d'aide à la planification et à la décision des essais. Le DoE fractionnaire permet d'évaluer la réponse d'un système non seulement en fonction des paramètres influents mais aussi de leurs interactions. Son grand intérêt réside dans la meilleure résolution possible de la surface de réponse avec un nombre minimal d'essais à réaliser, la modélisation aisée des réponses, et la possibilité d'étudier les interactions entre les facteurs mis en jeu. Le logiciel Design of Expert ™ permet de générer le plan d'expérience après une étape de préparation décisive. En effet, le choix du domaine d'étude et la discrétisation des facteurs qualifient les réponses données par le plan d'expérience. C'est un compromis entre la précision désirée, quantifiée par le nombre des essais à réaliser, et les contraintes de ressources notamment matérielles et budgétaires.

2.1. Choix du modèle du plan d'expérience

D'après l'état de l'art, l'impact des défauts dépend principalement de leur position [5], [9-10], leur taille [1], [5], [7-10] et leur distribution [1], [5], [11] pour un modèle d'assemblage et un régime de fonctionnement donné. Dans le cadre de cette étude, pour simplifier l'analyse, l'impact d'un seul défaut dans la brasure pendant le régime de conduction d'un MOSFET basse tension sera investigué. Le défaut est supposé être de géométrie circulaire caractérisée par la position du centre (X, Y) et son diamètre T. Le DoE fractionnaire doit non seulement prendre en considération l'impact des facteurs principaux indépendants (X, Y, T) mais aussi les interactions d'ordre 2 : XY, XT, YT. Nous poserons l'hypothèse que l'interaction d'ordre 3 (XYT) est négligeable. A ce stade, le DoE est associé à un modèle factoriel fractionnaire de type 2FI, ce qui signifie que les points opératoires se trouvent aux extrémités du domaine d'étude. Ce modèle factoriel n'indique pas les essais à effectuer à des points expérimentaux qui se trouvent à l'intérieur du domaine d'étude. Afin d'explorer l'intérieur du domaine d'étude, nous définissons les niveaux intermédiaires des facteurs X, Y, T. Les essais réalisés aux points opératoires situés à l'intérieur du domaine d'étude permettent d'évaluer les termes de courbure X^2, Y^2, T^2. Le DoE fractionnaire optimisé, associé à un modèle polynomial (1), nécessite par conséquent 10 essais indépendants pour résoudre un système d'équations à 10 inconnues :

$$\text{Réponse} = \alpha_0 + \alpha_1 X + \alpha_2 Y + \alpha_3 T + \alpha_4 XY + \alpha_5 XT + \alpha_6 YT + \alpha_7 X^2 + \alpha_8 Y^2 + \alpha_9 T^2 \quad (1)$$

Le logiciel DoE définit les choix des facteurs en respectant la condition d'orthogonalité et le bon conditionnement du système. La condition d'orthogonalité, étant un premier critère de choix, nous indique que le positionnement des points d'essais est le plus régulier, le plus symétrique possible. Il est à remarquer par conséquent que la solution de ce système d'équations est unique. Elle ne nous permet pas de juger ou d'estimer la qualité du modèle. Nous intégrerons par conséquent 3 essais supplémentaires afin d'évaluer la pertinence de la prédiction du DoE.

2.2. Définition du plan d'expérience fractionnaire

La définition du plan d'expérience fractionnaire repose sur le choix des facteurs influents, sur la définition paramétrique du domaine exploratoire de ces facteurs et la description des réponses que nous souhaitons observer. Une étude numérique complémentaire a permis de rendre compte de l'influence de la position du défaut sur la redistribution de la température dans les fils. Ainsi, la figure 1 montre l'effet de la position d'un défaut de 3mm de diamètre, symbolisé par le cercle noir, sur la redistribution de la carte de température. Ce phénomène est observé lors d'une étude numérique d'un MOSFET en régime de conduction établi à 200A.

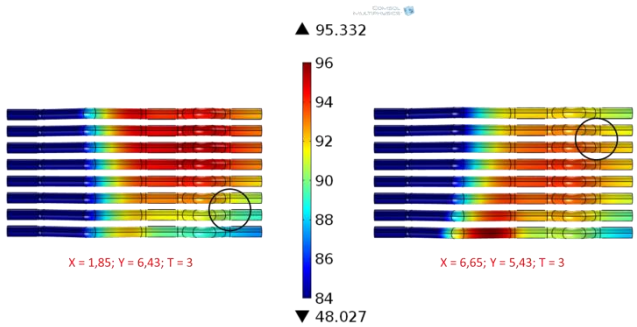

Fig.1: Redistribution de la température dans les fils suite au changement de la position (X, Y) du défaut

Cette redistribution de la température dans les fils, étant en rapport avec la position relative entre le défaut et les pads des fils de bonding, demande d'investiguer des points d'essais dans et en dehors de la zone se situant sous les pads des fils. Dans la figure 2, les zones de contacts entre 8 fils de bonding et la métallisation sont les pads positionnés sur la première ligne (1H, 2H, …, 8H) et la deuxième ligne (1B, 2B, …, 8B). La puce MOSFET est caractérisée par sa longueur L_p sur l'axe vertical Y, sa largeur W_p sur l'axe horizontal X. Les pads sont paramétrés par rapport aux axes de la puce MOSFET par E_h (distance minimale entre les fils et l'axe Y), W_{bw} (diamètre des fils), D_h (distance entre les fils adjacents), E_v (distance minimale entre les fils et l'axe X), L_{bw} (largeur des pads) et D_v(distance entre les pads d'un même fil).

L'effet de la taille du défaut, qui semble plus évident, sera quantifié sous les contraintes que nous présentons par la suite du papier.

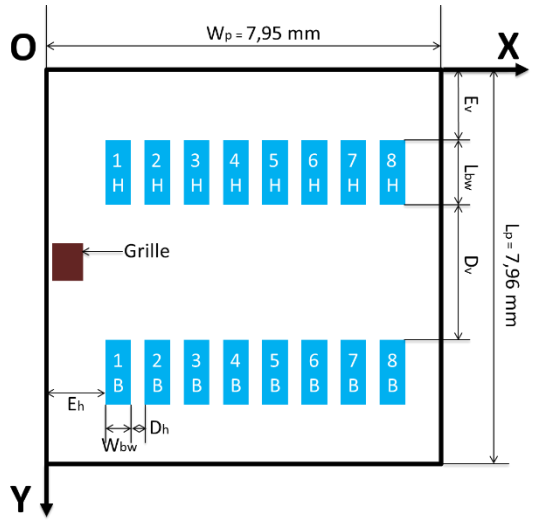

Fig.2 : Schéma de la puce avec les pads de source et de grille

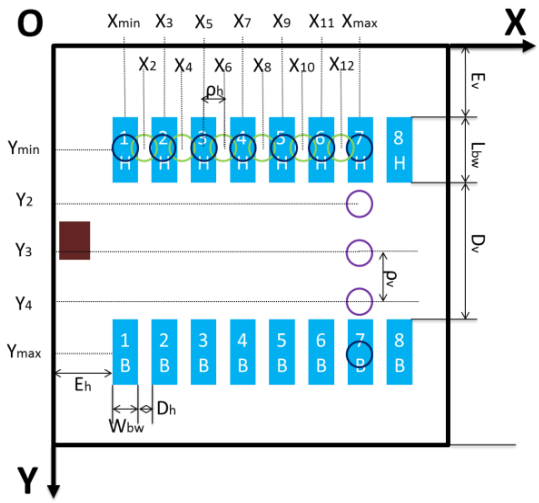

Fig.3 : Définition des niveaux des facteurs X et Y

2.2.1. *Définition des niveaux du facteur T*

Le domaine d'étude lié au facteur T (diamètre du défaut) est déduit à partir d'un critère d'acceptabilité empirique. L'hypothèse est que la surface d'un gros défaut ne doit pas dépasser 5% de la surface totale de la puce semi-conductrice. Dans le cas d'un module MOSFET silicium 7,95mm x 7,96mm, le diamètre critique du défaut correspondant à cet indicateur est d'environ 2mm. Après avoir défini la zone d'intérêt de la taille du défaut, à partir du taux de défaut rapporté à la surface de la puce, nous bornerons les essais à des diamètres de défauts compris entre 1mm et 3mm. La zone exploratoire de la taille du défaut correspond à un taux d'occupation variant de 1,2% à 11,2%. De plus, les contraintes matérielles liées à la réalisation de défauts contrôlés imposent de prendre un pas de discrétisation de 500µm.

2.2.2. *Définition des niveaux des facteurs X,Y*

Les contraintes à prendre en compte pour les paramètres géométriques de localisation du défaut sont liées au fait que ce dernier doit rester dans la zone de brasure, sous la puce :

$$\frac{T}{2} < X < W_p - \frac{T}{2} \qquad (2)$$

Nous allons investiguer l'impact des défauts en 2 catégories (figure 3). Dans le premier cas, le centre du défaut se trouve au centre des pads des fils de bonding (symbolisé par les cercles noirs). Dans le deuxième cas, le centre du défaut se trouve au milieu de deux fils de bonding adjacents (symbolisé par les cercles verts). La contrainte (2) impose de positionner le point de départ du facteur X au centre du pad 1H et le point terminal au centre du pad 7H. Les 13 niveaux de X peuvent être exprimés en (3) :

$$X_m = E_h + \frac{m}{2} W_{bw} + \frac{m-1}{2} D_h \qquad (3)$$

où m est un nombre entier compris entre 1 et 13, E_h, W_{bw}, D_h valent respectivement 1,326mm, 0,5mm et 0,3mm.

De la même manière, la position suivant l'axe vertical est limitée par :

$$\frac{T}{2} < Y < L_p - \frac{T}{2} \qquad (4)$$

Ainsi, les défauts sont classés en 2 catégories suivant Y : une catégorie dans laquelle le centre du défaut se trouve sous les pads des fils et une catégorie dans laquelle le centre du défaut n'est pas dans la zone sous les pads des fils de bonding. La contrainte (4) impose de positionner le point de départ du facteur Y au centre des pads H et le point terminal au centre des pads B (voir figure 3). Nous apporterons 3 points supplémentaires repartis régulièrement dans la zone qui ne sont pas sous les pads dont l'un d'entre eux se situe au milieu du domaine d'étude. Les 5 niveaux du défaut sont caractérisés par :

$$Y = E_v + \frac{n+1}{4} L_{bw} + \frac{n-1}{4} D_v \qquad (5)$$

où n est un nombre entier compris entre 1 et 5. E_v, L_{bw}, D_v valent 1,47 mm, 1,3375 mm et 2,676 mm respectivement.

Les configurations possibles de X, Y et T sont présentées dans les colonnes 1, 2 et 3 du tableau 1. Après cette étape de définition, on peut ensuite générer le plan d'expérience fractionnaire basé sur un modèle polynomial. La méthode présentée dans le paragraphe 2.1 nécessite au minimum 13 essais. Les 13 configurations du triplet (X, Y, T) données par le logiciel DoE sont listées dans les colonnes 4, 5, 6 du tableau 1. La position (X, Y) dans les colonnes 4 et 5 est référencée par rapport à la bordure de la brasure. Les valeurs de X et Y sont décalées respectivement de 0,2745mm et 0,2795mm vis-à-vis du référentiel de la puce MOSFET. On évaluera l'impact du défaut en observant 2 critères: la température maximale dans le volume du composant MOSFET (T_{max} (MOS)) et la température maximale aux surfaces des fils de bonding (T_{max} (fils)). Le choix des réponses observées est un compromis entre les attentes industrielles sur les indicateurs de performance du module MOSFET et l'accessibilité des mesures.

Tableau 1 : Génération du plan d'expérience polynomial fractionnaire

Niveaux de discrétisation (référence : MOSFET)			Conception du DoE (référence : Brasure)			N° d'essai
Niveau X (mm)	Niveau Y (mm)	Niveau T (mm)	X (mm)	Y (mm)	T (mm)	
1,85	2,42	1	4,65	4,42	1	**1**
2,25	3,42	1,5	5,45	4,42	2	**2**
2,65	4,42	2	1,85	4,42	2	**3**
3,05	5,43	2,5	3,45	2,42	3	**4**
3,45	6,43	3	3,05	3,42	1,5	**5**
3,85			6,65	5,43	3	**6**
4,25			6,65	6,43	1	**7**
4,65			1,85	6,43	1	**8**
5,05			1,85	2,42	1	**9**
5,45			3,05	5,43	1,5	**10**
5,85			1,85	6,43	3	**11**
6,25			6,65	2,42	2	**12**
6,65			4,25	6,43	2	**13**

3. EVALUATION DE L'IMPACT DE DEFAUTS PAR L'APPROCHE NUMERIQUE

Afin de valider la méthode numérique, les résultats donnés par la simulation éléments finis seront confrontés à ceux obtenus par les mesures électriques et thermiques. Cette confrontation est réalisée en premier temps avec module dont le taux de défaut dans la brasure est négligeable, ensuite, avec un module dont le défaut est caractérisé par un point dans le domaine d'étude.

3.1. Approche numérique par simulation éléments finis

3.1.1. Desctiption du modèle numérique

Un modèle de référence a été construit à l'aide du logiciel de simulation par éléments finis COMSOL®Multiphysics avec un maillage optimisé constitué d'environ 80000 éléments, en adéquation avec le solveur direct utilisé pour la simulation du couplage électrothermique. Ce modèle simplifié, présenté dans la figure 4, est mis au point afin d'alléger l'étude tout en restant représentatif d'un module de puissance développé autour de 4 transistors MOSFETs intégrés dans un assemblage IML (InsulatedMoldedLeadframe). Trois transistors MOSFET, présentés par les croix orange, sont court-circuités. En effet, un seul MOSFET est modélisésur les 4 qui composent un bras d'onduleur. Les 3 MOSFETs restants sont enlevés de la géométrie du modèle simplifié. Les éléments dont la géométrie est trop complexe sont soit simplifiés (connecteurs électriques, semelle, leadframe), soit éliminés (boitier, bornes électriques, gel).

Le couplage fort électrothermique est souvent négligé. Récemment, un modèle électrothermique non linéaire a été introduit par X. Chauffleur [12] dans lequel la dissipation de puissance du MOSFET est discrétisée afin de dissocier la partie active de la partie liée au substrat N^+.

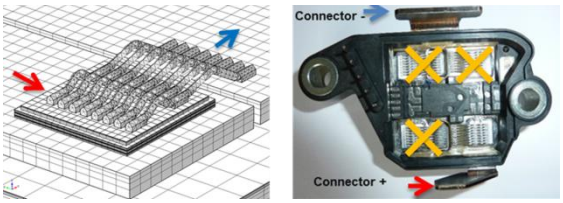

Fig.4: Modèle MOSFET simplifié avec son maillage et le module MOSFET réel

En se basant sur la même méthode, le fonctionnement à l'état passant du MOSFET a été modélisé à l'aide de couches résistives. Pour une structure verticale d'un composant de puissance MOSFET, la résistance R_{dsON} est discrétisée avec 4 résistances principales (figure 5) dans lesquelles R_{Canal} présente la résistance dans la zone du canal, R_{JFET} est la résistance dans la zone du JFET virtuelle crée entre 2 régions P- de 2 cellules adjacentes, R_{N-} est de résistance dans la zone d'épitaxie N- faiblement dopée (la zone de tenu en tension), R_{N+} est la résistance de tampon, assurant une meilleure tenue en tension inverse. Les épaisseurs de la zone du canal l_{canal} , zone du JFET l_{JFET} , zone de tenue en tension l_{N-} et zone du substrat N+ l_{N+}sont respectivement estimées à 2µm, 3µm, 5µm et 225µm.

$$R_{dsON} = R_{Canal} + R_{JFET} + R_{N-} + R_{N+} \quad (6)$$

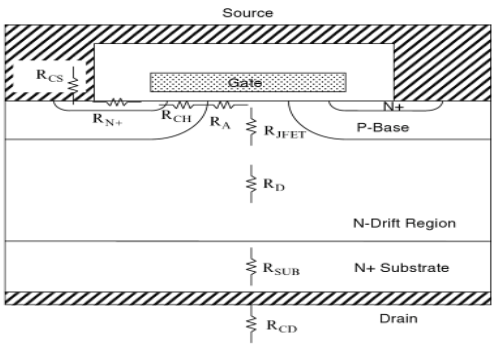

Fig.5 : Contribution à la RdsON du MOSFET de structure planar [13]

Dans notre modèle, la métallisation en aluminium et la puce MOSFET en silicium ont la même surface (7,95mm x 7,96 mm). La puce semi-conductrice est brasée sur un substrat multicouche : cuivre (50µm) – invar (150µm) – cuivre (50µm) à l'aide d'une brasure de 130µm d'épaisseur. La surface inférieure du substrat est brasée sur une plaque de cuivre (leadframe) par une deuxième brasure d'épaisseur identique (130µm). Le leadframe est ensuite assemblé à une semelle en aluminium à l'aide d'un matériau diélectrique. La semelle est reportée sur le refroidisseur avec une interface thermique de graisse thermique.

Les propriétés électriques et thermiques des matériaux utilisées sont données par les fabricants. Dans un premier temps, elles sont rendues indépendantes de la température sauf la résistivité du cuivre, de l'aluminium et du silicium dopé dans la partie active du composant MOSFET. La résistivité électrique du cuivre (ρ_{Cu}) et celle de l'aluminium (ρ_{Al}), en

Ωcm, sont exprimées en fonction de la température selon les lois linéaires (7) et (8):

$$\rho_{Cu} = 4.10^{-8} + 1{,}25.10^{-10}(T - 400) \quad (7)$$

$$\rho_{Al} = 3{,}2.10^{-8} + 8.10^{-11}(T - 500) \quad (8)$$

La résistivité du silicium dopé N+ dans la zone du substrat de la puce MOSFET est estimée en fonction de son dopage à partir de [14]. Pour un dopage d'environ $10^{19}\,cm^{-3}$, la résistivité électrique du substrat N+ est d'environ 10^{-2} Ωcm. Cette résistivité est quasi constante dans la plage de température comprise entre 20°C à 200°C. Comme la résistance à l'état passant (R_{dSON}) du composant est donnée en fonction de la température, on peut en déduire la résistivité équivalente de la partie active à l'aide de la formule (9) :

$$R_{active} = \frac{\rho_{active} \times l_{active}}{S_{active}} \quad (9)$$

où R_{active} est la résistance globale de la partie active,ρ_{active} ,l_{active} , et S_{active} sont respectivement sa longueur, sa résistivité et sa surface

Tableau 2 : Calcul de la résistivité équivalente de la partie active du MOSFET

T_{MOS} (°C)	-40	25	175	200
ρ_{N+} (Ωm)	10^{-4}	10^{-4}	10^{-4}	10^{-4}
ρ_{active} (Ωm)	$8{,}51.10^{-4}$	$1{,}66.10^{-3}$	$4{,}08.10^{-3}$	$4{,}67.10^{-3}$

L'entrée de courant est assurée par la face latérale (flèche rouge du connecteur plus). Le courant ressort (flèche bleue) par la face latérale du 2eleadframe qui est reporté à la semelle par le matériau isolant (figure 4).

Les conditions aux limites du modèle thermique sont déclarées adiabatiques hormis sur la face inférieure de l'assemblage où est imposé un coefficient d'échange de 4000W/m²K représentatif des performances du système de refroidissement à 23 C.

3.1.2. Etude de sensibilité

La contribution de 4 résistances élémentaires à la résistance globale à l'état passant dépend de la technologie du semi-conducteur. Ce travail permet d'évaluer la sensibilité de la réponse du composant en différents modes des répartitions volumiques de puissance dans la partie active. Il est uniquement valable pour la structure du MOSFET de l'étude en cours. La puissance dissipée dans la région N+ pour un courant donné est par conséquent inchangée en raison de la résistivité constante. Un mode de répartitions volumiques de puissances dans la partie active est caractérisé par %Canal, %JFET et %N- qui présentent respectivement la contribution dans la puissance des zones résistives : canal, JFET et N-. Leur résistivité équivalente est calculée à partir de (10), (11) et (12) :

$$\rho_{Canal} = \frac{\%Canal \times \rho_{active} \times l_{active}}{l_{Canal}} \quad (10)$$

$$\rho_{JFET} = \frac{\%JFET \times \rho_{active} \times l_{active}}{l_{JFET}} \quad (11)$$

$$\rho_{N-} = \frac{\%N_- \times \rho_{active} \times l_{active}}{l_{N-}} \quad (12)$$

Nous allons observer la sensibilité de la réponse du composant présentée par la température suivant le profil A-A traversant le centre d'un défaut d'un diamètre de 2mm, localisé à la position (5,23 ; 2,89) mm, en faisant varier les contributions %Canal, %JFET, %N-. Cette étude est réalisée pour un régime stationnaire de conduction à 200A.

L'écart maximal entre les réponses données par 8 modes de répartition volumique choisis arbitrairement est d'environ 0,2°C. Ceci montre une faible sensibilité de la distribution de la température du composant sous ces différents modes de répartitions volumiques de la puissance dissipée dans la partie active. Du point de vue de la simulation numérique, ce résultat peut être expliqué par le fait que, en premier temps, le flux de chaleur provenant de la zone du canal, du JFET et de la tenue en tension, rentre dans la zone N+ très épaisse et avec une meilleure conductivité électrique. Le flux s'épanouit très vite vers les faces latérales, puis se propage uniformément dans le volume du substrat N+. Le flux est quasi homogène à l'interface du substrat N+/brasure. Au final, quand le défaut est atteint par ce flux de chaleur étant en couplage avec la densité de courant, on n'observe pas une grande variation pour les différents modes de répartition volumique de puissance (figure 6). Au contraire, d'après la même étude numérique réalisée dans le cas d'une structure de composant pour laquelle l'épaisseur de la partie active est prédominante, la sensibilité de cette réponse est plus significative.

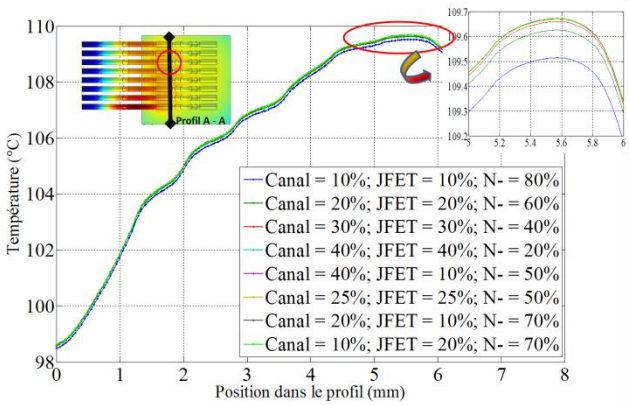

Fig.6 : Sensibilité de la température suivant le long du profil A-A sous différents modes de dissipations en conduction

En réalité, la distribution de puissance dans un composant MOSFET est beaucoup plus complexe. Elle dépend non seulement de la température, mais aussi de la structure multicellulaire, de la tension de seuil, de la tension de commande et d'autres grandeurs physiques qui sont difficiles à prendre en compte dans le cadre d'une simulation éléments finis à cette échelle. Ce travail permet malgré tout d'améliorer la performance du modèle numérique avec la prise en compte du couplage électrothermique de la partie active, et l'optimisation du niveau de finesse de la géométrie du modèle. Les 3 résistances élémentaires constituantes de la partie active sont désormais regroupées en un seul domaine ayant une seule résistivité équivalente :ρ_{active} .Nous considérons que, dans les

prochains chapitres du papier, la puce, d'une épaisseur de 235µm, est constituée de 2 parties : la partie active (10µm) et la partie de substrat fortement dopé N+ (225µm).

3.2. Validation du modèle numérique

La pertinence de l'approche numérique sera évaluée dans 2 cas : en absence et avec présence du défaut en régime de conduction impulsionnelle 500A – 100ms. Les conditions du modèle électrique sont définies à partir des mesures électriques. Le profil du courant est extrait de la mesure lors d'une injection de 500A durant 100 ms.

3.2.1. Evaluation de la pertinence du modèle numérique sans défaut

En premier temps, afin de valider la pertinence du modèle simplifié introduit en dessus, les résultats de simulation sur le modèle numérique en absence du défaut sont confrontés à des mesures électriques relevées sur un module idéal. Ce module présente un taux négligeable de défaut dans les brasures. La figure 7 présente l'évolution de la chute de tension relevée aux bornes du module. On observe un petit décalage au début de l'injection dû au problème avec les propriétés de matériaux. Cependant, après 60ms, la figure 7 montre une bonne adéquation entre le résultat de l'approche numérique et la mesure électrique sur le module dont les défauts sont négligeables. Le modèle numérique semble être pertinent pour l'utilisation en régime stationnaire.

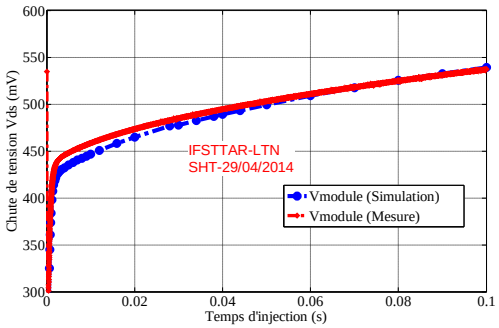

Fig.7 : Evolution de la chute de tension aux bornes du module MOSFET

Une bonne corrélation est également observée entre l'évolution temporelle de la température maximale à la surface des fils de bonding, obtenue par l'approche numérique, et celle obtenue expérimentalement par la mesure par caméra infrarouge CEPIP-FLIR SC7500 (figure 8).

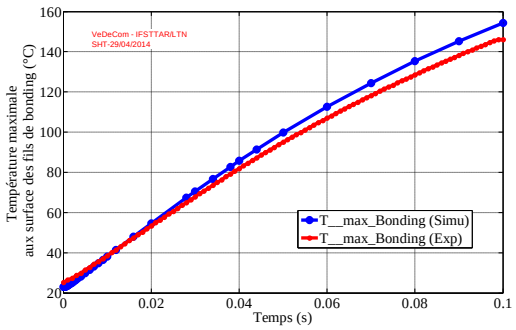

Fig.8 : Evolution de la température maximale aux surfaces des fils

3.2.2. Evaluation de la pertinence du modèle numérique avec défaut

En parallèle, une étude numérique a été entreprise sur le modèle avec défaut. Afin d'avoir un "bon défaut" dans la brasure (défaut net, géométrie circulaire, défauts parasites négligeables) pour l'expérimentation, un assemblage est trié parmi de nombreux modules à l'aide d'une analyse d'images RX 2D. Le défaut de 1,26mm de diamètre est créé pendant le procédé de brasage (figure 9).

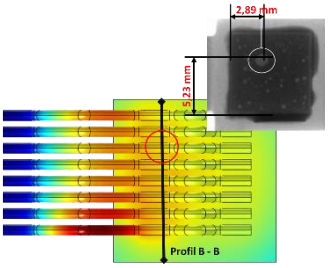

Fig.9: Défaut dans l'assemblage sélectionné et le profil B-B

La température le long du profil B-B a été relevée à la surface de la métallisation à partir de la mesure effectuée avec la caméra infrarouge. La simulation a montré une légère augmentation locale dans la zone du défaut, ce qui est partiellement cohérente avec la mesure infrarouge. Cependant, d'un point de vue quantitatif et qualitatif, la confrontation en présence du défaut reste à améliorer. Il nécessite que des campagnes expérimentales soient réalisées pendant le prochain travail pour une validation plus robuste de l'impact du défaut. Cependant, les résultats présentés en-dessus ont montré la pertinence du modèle numérique.

3.3. Evaluation l'impact du défaut à l'aide du plan d'expérience numérique

Les travaux présentés dans 3.1 et 3.2 permettent d'avoir un modèle qui semble robuste permettant de comparer les comportements du composant MOSFET en régime de conduction sans et avec défaut. La résistivité équivalente de la partie active sera extraite des caractérisations électriques I(V) à différentes de température pour être plus proche de son comportement réel. Le défaut quant à lui, sera paramétré en position et en taille afin de remplir les configurations définies par le plan d'expérience fractionnaire (tableau 1). Le défaut est modélisé par un volume possédant les propriétés physiques et thermiques de l'air. Etant donné les rapports entre les conductivités thermiques des milieux en présence, l'hypothèse d'un échange thermique par conduction négligeable à travers les surfaces délimitant le défaut a été faite pour simplifier. Nous avons également négligé les autres modes de transfert de chaleur et défini ces surfaces comme adiabatiques. Par ailleurs, une isolation électrique est appliquée à toute la surface qui délimite le défaut.

3.3.1. Caractérisations électriques I(V, T_j) du MOSFET

Les caractérisations I(V) en statique du MOSFET ont été réalisées sur le banc d'injection de puissance impulsionnelle, développé au laboratoire LTN (Laboratoire des Technologies Nouvelles). Le schéma électrique du banc est présenté dans la figure 10 :

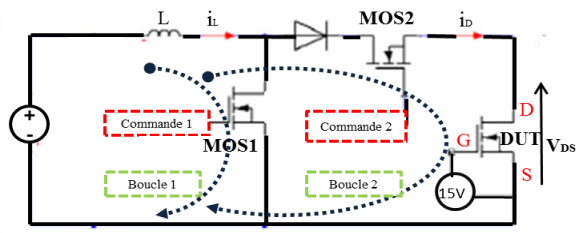

Fig.10 : Système d'aiguillage du banc de caractérisation

Dans un premier temps, le MOS1 est à l'état fermé et le MOS2 est à l'état ouvert. Le courant circule dans la première boucle quand l'alimentation est active. Ensuite, on ouvre le MOS1 et ferme le MOS2 (avec un temps de recouvrement d'environ 10µs). Le courant circuit dans cette phase dans la deuxième boucle traversant le DUT (Device Under Test). Ce courant de puissance, réglable par l'alimentation de puissance, varie de 10A à 250A. Le temps d'injection de courant est de 300µs. Le contrôle du circuit d'aiguillage est assuré par le système CompactRIO (NI cRIO 9022). L'acquisition des données est réalisée par un Dewetron DEWE 5000 16 bits/300kHz. La température de la boite à eau, permettant de réguler et contrôler la température du composant, est ajustée à l'aide d'un thermorégulateur Julabo LH85. La température du MOSFET est relevée par un thermocouple de type K ouvert mis en contact avec le substrat de cuivre au plus près du MOSFET caractérisé afin d'avoir l'information de sa température (figure 11).

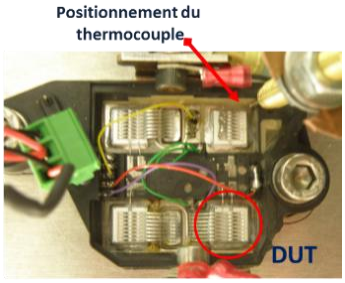

Fig.11 : Emplacement du thermocouple

La figure 12 présente les caractérisations I(V) du composant MOSFET pour des températures réglées avec le Julabo entre 40°C et 200°C et pour une tension de commande V_{GS} fixée à 15V. Les températures, relevées au plus près du composant en fonctionnement par le thermocouple, sont comprises entre 38°C et 158°C.

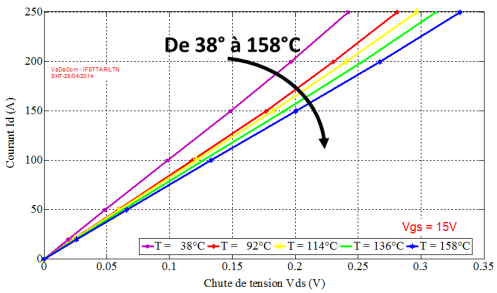

Fig.12 : Caractérisation I(V) du MOSFET de référence à différentes températures dans la zone linéaire (tension de commande : 15V)

Le calcul de la résistance R_{dsON} en fonction de la température est montré dans la figure 13. A partir de la résistivité globale du MOSFET et de sa géométrie, on peut extraire la résistivité de la partie active en fonction de la température (tableau 3). La résistivité de la partie active extraite des caractérisations électrothermiques sera utilisée dans modèle d'éléments finis. Le calcul de la résistivité s'appuie sur l'expression (9) présentée précédemment.

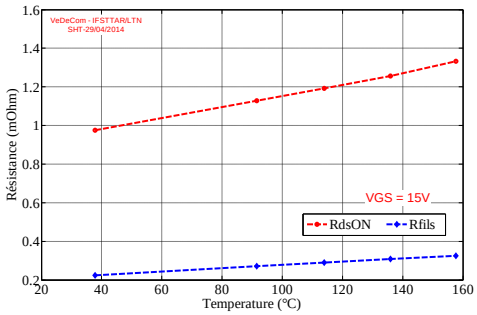

Fig.13 : Evolution de la chute de tension RdsON et la chute de tension dans les fils en fonction de la température

Tableau 3 : Calcul de la résistivité équivalente de la partie active

T(Julabo) - °C	40	100	125	150	175
T(substrat-mesure) - °C	37,8	91,6	114,0	135,9	157,4
RdsOn - mΩ	0,98	1,12	1,19	1,26	1,33
R(N+) - mΩ	0,36	0,36	0,36	0,36	0,36
R(partie active) - mΩ	0,62	0,76	0,83	0,90	0,97
Ro_active - Ωm	3,92E-3	4,87E-3	5,30E-3	5,70E-3	6,19E-3

3.3.2. Analyse des surfaces de réponses numériques

Après la construction et la validation du modèle éléments finis sous COMSOL, il est nécessaire de générer les différentes configurations de défauts définies selon le plan d'expérience de manière paramétrique. Dans la suite, nous présentons les résultats numériques obtenus par application méthodique de ce plan. Un courant continu de 200A est appliqué au connecteur "plus" du module (figure 4). Conformément aux réponses observées telles que définies plus haut, les températures maximales à la fois aux surfaces des fils de bonding et dans le volume de la puce sont présentées dans le tableau 4.

Le logiciel DoE extrapole deux fonctions combinées à partir des réponses obtenues par simulation. Ces fonctions cherchent à quantifier l'impact du défaut quelle que soit sa taille et sa position dans le domaine d'étude. Les équations (13) et (14) présentent les fonctions associées aux 3 facteurs principaux sous forme quadratique:

$$T_{max}(\text{fils}) = 117{,}67 + 0{,}73X - 0{,}88Y - 2{,}24T - 0{,}07XY - 0{,}28XT + 0{,}03YT + 0{,}11Y^2 + 2{,}04T^2 \quad (13)$$

$$T_{max}(\text{MOS}) = 116{,}01 + 0{,}82X - 0{,}34Y - 2{,}10T - 0{,}05XY - 0{,}16XT - 0{,}05\,YT - 0{,}05X^2 + 0{,}05Y^2 + 0{,}98T^2 \quad (14)$$

Tableau 4 : Récapitulatif des réponses données par le logiciel DoE

Facteur X (mm)	Facteur Y (mm)	Facteur T (mm)	Tmax (fils)	Tmax (MOS)
4,65	4,42	1	116,4	116,3
5,45	4,42	2	118,8	119,2
1,85	4,42	2	119,6	119,1
3,45	2,42	3	127,1	127,0
3,05	3,42	1,5	117,7	117,4
6,65	5,43	3	124,9	125,1
6,65	6,43	1	116,4	116,0
1,85	6,43	1	116,5	116,2
1,85	2,42	1	116,5	116,2
3,05	5,43	1,5	117,6	117,2
1,85	6,43	3	127,8	126,6
6,65	2,42	2	119,9	119,6
4,25	6,43	2	119,3	119,1

Afin d'évaluer la contribution de chaque facteur à la réponse globale, ceux-ci seront présentés en valeur centrée réduite. La valeur maximale est associée à 1, la valeur minimale associée à -1 et la valeur intermédiaire est associée à 0. Les expressions 15 et 16 présentent les réponses en valeur réduite :

$$T_{max}(\text{fils}) = 119{,}24 - 0{,}42X - 0{,}29Y + 4{,}89T - 0{,}36XY - 0{,}66XT - 0{,}07\,YT - 0{,}02X^2 + 0{,}45Y^2 + 2{,}04T^2 \quad (15)$$

$$T_{max}(\text{MOS}) = 119{,}29 - 0{,}21X - 0{,}33Y + 4{,}94T - 0{,}23XY - 0{,}37XT - 0{,}11\,YT - 0{,}26X^2 + 0{,}21Y^2 + 0{,}98T^2 \quad (16)$$

Les coefficients liés à la taille T sont nettement plus grands que ceux liés à la position X, Y, ce qui implique que ça contribution est prédominante sur l'impact global. Les essais N°8 et N°11 montrent que l'impact d'un défaut de 3mm de diamètre, se situant aux coordonnées (1,85; 6,83) mm, est nettement plus grand que celui provoqué par un défaut de 1mm de diamètresitué au même endroit. L'écart de température entre les deux cas est de l'ordre de 10°C. Alors que l'écart de la température est entre 1 à 3°C dans le cas où les défauts sont de même taille mais, à des positions différentes.

La position du défaut qui a le plus d'effet sur la température maximale aux surfaces des fils ainsi que dans la puce est plus difficile à déterminer. Elle dépend de la taille du défaut. Nous allons observer l'estimation de la température maximale aux surfaces des fils (R1) donnée par le plan d'expérience fractionnaire. Pour les petits défauts (T < 2 mm), la position critique se trouve au voisinage de (X_{max}, Y_{min}) (la zone rouge dans la figure 14 – à gauche). On a observé un lissage de la position maximisant l'impact quand la taille du défaut augmente. Cette position tend vers la position (X_{min}, Y_{max}) (la zone rouge dans la figure 14 – à droite) quand le défaut est grand. En effet, ce phénomène est le résultat d'un couplage de plusieurs effets : la distribution des lignes de courant et du flux thermique initial qui dépendent notamment de la géométrie de l'assemblage, du couplage électrothermique des propriétés physiques des matériaux, de la performance du système de refroidissement et des paramètres du défaut.

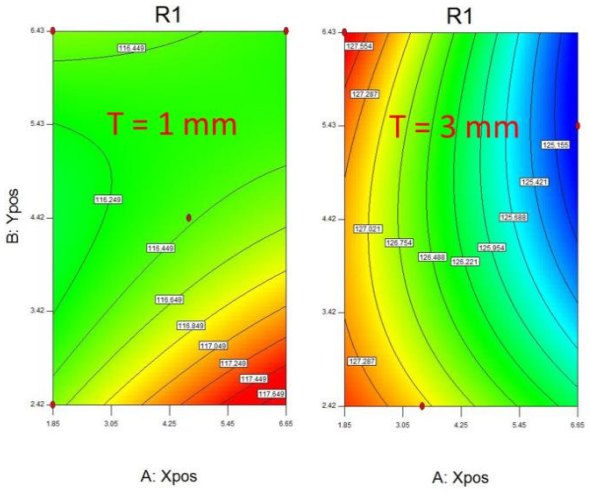

Fig.14 : Déplacement du point critique de (Xmax, Ymin) vers (Xmin, Ymax) quand la taille du défaut augmente

La figure 15 présente la variation des niveaux de courants dans les 8 fils (numéroté dans l'abscisse) provoquée par 2 configurations du défaut par rapport au module sain. Dans ces 2 configurations, le défaut a le même diamètre (2mm) et la même position verticale (4,42 mm). Dans la première configuration, le défaut A se trouve à la position horizontale X = 5,45 mm, donc sous les pads 5B, 6B, 7B définis dans chapitre 2.1 (zone rouge pointillée à droite). Dans la deuxième configuration, le défaut B se trouve à la position horizontale X = 1,85 mm, donc sous les pads 1B, 2B, 3B (zone rouge pointillée à droite). Nous nous apercevons que les zones dans lesquelles le courant dans les fils diminue sont cohérentes avec la zone d'occupation du défaut.

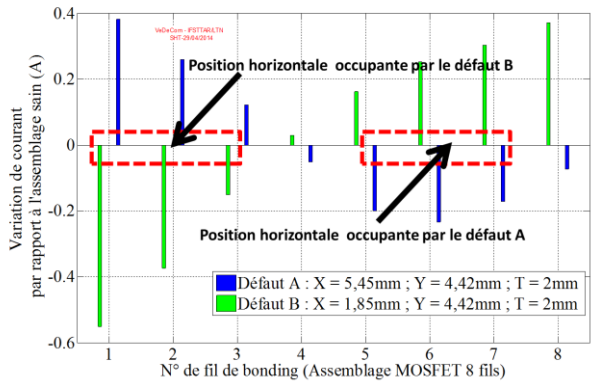

Fig.15 : Variation de courant dans les fils par rapport à l'assemblage sain à l'aplomb de la position du défaut

En effet, les lignes de courant sont écartées vers les zones au voisinage d'un défaut qui est très mauvais conducteur électrique. Dans la zone du défaut, les directions des lignes de courant sont majoritairement latérales et minoritairement

verticales. La cartographie de la densité de courant (figure 16) dans le cas du défaut a montré que la zone sous les pieds des fils est celle ayant une densité de courant la plus élevée. Au contraire, dans la zone à l'aplomb du défaut, la densité de courant est minoritaire. La redistribution de la densité de courant vers les côtés latéraux de la puce engendre une densité plus élevée dans la zone située au voisinage.

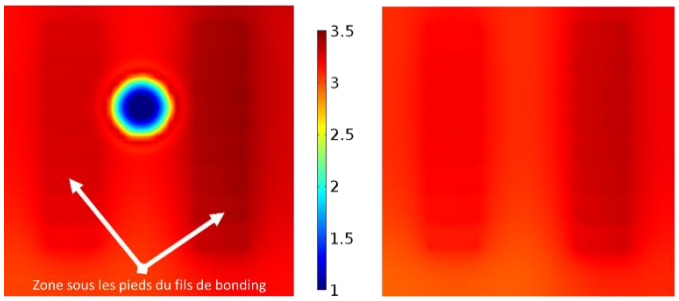

Fig.16 : Plan de coupe à 10 µm de la surface inférieure de la métallisation : densité de courant de la puce dans le module avec défaut A (gauche) et sans void (droite)

La température de la puce de cette région, réponds quant à elle à une combinaison de deux phénomènes opposés. D'une part, elle tend à augmenter suite à une barrière thermique (défaut) qui défavorise l'évacuation de la chaleur vers le refroidisseur. D'autre part, elle tend à diminuer due à la baisse de densité de courant locale. Dans ce modèle d'assemblage, l'effet dû à la redistribution du courant n'est pas assez fort pour vaincre la barrière thermique du défaut. La variation de la densité de courant dans les fils observée n'est qu'environ 0,4 A. Il en résulte que dans la zone au-dessus du défaut, la température est plus élevée que dans le cas sans défaut (figure 17)

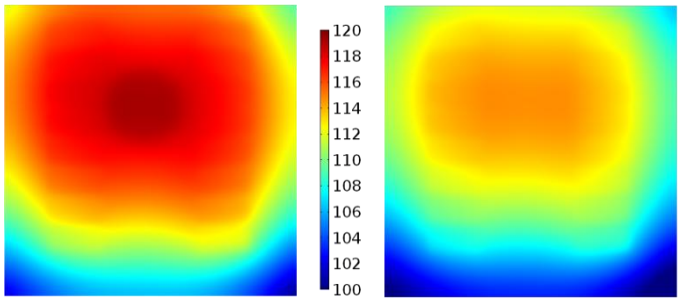

Fig.17 : Plan de coupe à 10 µm de la surface inférieure de la métallisation : température de la puce dans le module avec void (gauche) et sans void (droite)

4. Etude de faisabilite de la creation d'un defaut controle en taille et position

Afin de valider les simulations numériques, une campagne expérimentale sera réalisée sur le même plan d'expérience. Ces essais expérimentaux s'appuient sur les modules avec une maitrise de défaut dans l'attache de puce. Ce paragraphe propose une méthode permettant de générer les défauts à taille et position contrôlées dans la brasure.

4.1. Principe

Les défauts peuvent être créés dans la brasure principalement par 2 manières : un retrait du métal d'apport lors de la solidification ou emprisonnement du gaz ambiant (vapeur de flux) dans le métal liquide. Le taux de défauts dépend de nombreux facteurs. Selon N.C Lee [15], le taux de défaut augmente exponentiellement quand l'activité du flux diminue. Selon Y.C. Chan [16], une diminution du taux de défaut n'a pas été observée quand la quantité du flux est diminuée. Au contraire quand la quantité de flux est insuffisante, elle ne se répartit pas de manière homogène sur les surfaces à braser et se localise préférentiellement dans les zones présentant des défauts (remplissage des cavités, etc..). Une partie du flux peut ne pas réagir sur l'ensemble des zones à braser, diminuant localement la mouillabilité des surfaces. Ainsi, si la phase d'activation du flux est trop courte, empêchant la réaction de tout le flux avec les surfaces à braser, alors le mouillage de ces surfaces risque d'être compromis. De plus le flux n'ayant pas réagi constitue des sources de gaz à l'origine des défauts. Nous cherchons donc à renforcer ces limitations du procédé pour faciliter la génération du défaut artificiel. La quantité du flux et la durée de l'injection de la puissance du laser pendant la phase d'activation de flux seront contrôlées pour atteindre notre objectif. Le chapitre 4.2 détaillera la méthode mise en œuvre en appliquant ces principes

4.2. Méthodologie

Un prototype de test est constitué d'un substrat de cuivre, d'une puce MOSFET et une préforme de brasure SAC (SnAgCu). La préforme SAC est placée entre le MOSFET et le substrat. Le brassage est réalisé par la technologie DLS (Die Laser Soldering). Le tir laser est appliqué au substrat sur la face antérieure de cet assemblage pour conduire à la fusion de la préforme SAC. Pour générer un site de germination préférentielle du défaut à l'endroit souhaité et pour régler la taille du void, on perce un trou d'environ 100µm d'épaisseur dans le substrat après avoir défini sa position. L'activation du flux résiduel sera réalisée en contrôlant la quantité de flux emprisonné dans le trou. Cette quantité est définie en rapport avec le volume du défaut à créer. Un exemple du défaut généré par cette méthode est montré dans la figure 18.

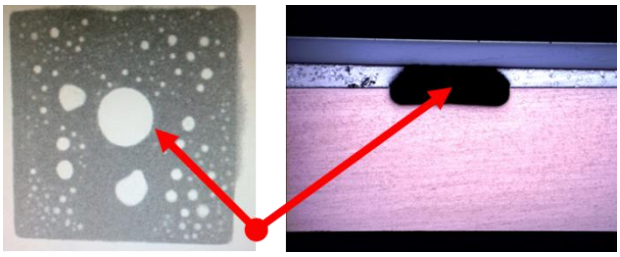

Fig.18 : un défaut Ø2 avec la position et la taille contrôlées (à gauche) et la forme contrôlée (à droite)

La méthode ainsi introduite permet de générer les défauts maitrisés dans la brasure, et de réaliser les véhicules de tests selon le plan d'expérience optimisé. Cependant, comme la présence du trou dans le substrat risquait d'avoir un impact supplémentaire, nous avons vérifié, par simulation numérique, que cet effet restait négligeable par rapport à celui du défaut dans la brasure.

5. Conclusions

Les travaux présentés dans ce papier ont permis de construire les premières briques de l'étude de l'impact de

défauts dans les brasures. Le modèle construit a montré de bonnes performances en termes de représentativité vis-à-vis des premiers résultats expérimentaux et de la convergence des simulations avec un temps de calcul raisonnable de 30 minutes. En parallèle, la méthode pour créer les défauts dans l'attache de puce à taille et positions contrôlées a semblé optimiste au niveau de la faisabilité. Les fonctions combinées données par les simulations d'éléments finis, à priori permettent d'évaluer l'impact du défaut en fonction de sa position et son diamètre. A l'issu des résultats donnés par le plan d'expérience fractionnaire, le diamètre du défaut est le facteur le plus impactant. La position à laquelle l'impact du défaut est le plus important varie en fonction de sa taille. Il nécessite une campagne expérimentale s'appuyant sur le même plan d'expérience fractionnaire pour valider les fonctions combinées et par conséquent donner les critères d'acceptabilité du défaut dans cette application.

6. REMERCIEMENTS

Nous tenons à remercier vivement M Jean-Michel MORELLE ainsi que M. Laurent VIVET, M. Ky-Lim TAN et M. Serge LAVRENTIEFF, ingénieurs et techniciens de la société VALEO pour leur contribution dans la réalisation des véhicules de tests.

7. REFERENCES

[1] L. Chen, M. Paulasto-Krockel, U. Frohler, D. Schweitzer et al, "Thermal Impact of Randomly Distributed Solder Void on Rth-JC of MOSFETs", Electronics System-Integration Technology Conference, IEEE, pp. 237 - 244, 2008

[2] D. C. Katsis, J.D. VanWyk, "A Thermal, Mechanical, and Electrical Study of Défauting in the Solder Die-Attach of Power MOSFETs", Components and Packaging Technologies, IEEE Transactions, Vol. 29, Issue 1, pp. 127 – 136, 2006

[3] L. Biswal, A. Krishna, D. Sprunger, "Effect of Solder Void on Thermal Performance of a High Power Electronic Module", Electronic Packaging Technology Conference, Vol. 2, 2005

[4] X.Hu, "Thermal characterization of eutectic alloy thermal interface materials with void-like inclusions", Semiconductor Thermal Measurement and Management Symposium, pp 98 – 103, 2004

[5] K. C. Otiaba, "Numerical Study On Thermal Impacts of Different Void Patterns On Performance Of Chip Scale Packaged Power device", Microelectronics Reliability, vol. 52, pp. 1409 – 1419, 2012

[6] ON Semiconductor, "Quality & Reliability Handbook" , 2014

[7] S. Baricordi, "A joint thermal–electrical analysis of void formation effects on concentrator silicon solar cells solder layer", Solar Energy Materials & Solar Cells 111, pp. 133 – 140, 2013

[8] A.S. Fleischer, "The effect of die attach voiding on the thermal resistance of chip level packages", Microelectronics Reliability, Volume 46, Issues 5 – 6, Pages 794 – 804, 2006

[9] L.Ciampolini, "Modelling Thermal Effects of Large Contiguous Voids in Solder Joints", Microelectronics Reliability, Volume 30, Pages 1115 – 1123, 1999

[10] R. A. Tatara, "Modelling Thermal Resistance of Power Modules Having Solder Voids", Active and Passive Elec. Comp, Vol. 12, pp. 239 – 250

[11] N. Zhu, "Thermal Impact of Solder Voids on the Electronics Packaging Devices", Semiconductor Thermal Measurement and Management Symposium, pp. 22 – 29, 1999

[12] X.Chauffleur, "Non linear 3D electrothermal investigation on power MOS chips", Bipolar/BiCMOS Circuits and Technology, pp. 156 – 159, 2004

[13] B.Jayant Baliga, "Advanced power MOSFET concepts", pp. 25, 2007

[14] S. S. Li, "The dopant density and temperature dependence of electron mobility and Resistivity in N-Type Silicon", Electronic Technology Division, 1977

[15] N.C. Lee, "Reflow Soldering Processes and Troubleshooting: SMT, BGA, CSP and Flip Chip Technologies", NEWNES, Butterworth-Heinemann, 2002,

[16] Y.C. Chan, "Characteristics of Porosity in Solder Pastes during Infrared Reflow Soldering", Journal of Materials Science, Vol 30, No.21, pp.5543 – 5550, 1995