



HAL
open science

Conception de transistors MOS haute tension (1200 Volts) à tranchées profondes

Loïc Théolier, Karine Isoird, Frédéric Morancho, Jaume Roig Guitart

► **To cite this version:**

Loïc Théolier, Karine Isoird, Frédéric Morancho, Jaume Roig Guitart. Conception de transistors MOS haute tension (1200 Volts) à tranchées profondes. ISP3D, Oct 2006, Montpellier, France. hal-01005697

HAL Id: hal-01005697

<https://hal.science/hal-01005697>

Submitted on 13 Jun 2014

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Conception de transistors MOS haute tension (1200 Volts) à tranchées profondes

L. Théolier, K. Isoird, F. Morancho, J. Roig

Université de Toulouse, LAAS / CNRS, 7 avenue du Colonel Roche, 31077 Toulouse Cedex 4.
Tel: 0561336390, Fax: 0561336208, e-mail : ltheolie@laas.fr

Résumé : Dans ce papier, une étude est proposée afin de trouver une alternative à la technologie IGBT 1200 Volts avec une technologie MOS innovante. Quatre technologies sont présentées et comparées : L'UMOSFET, l'OBUMOSFET, le SJVDMOSFET et le DTMOSFET. Une étude comparative, à l'aide de simulations 2D, des structures de même tenue en tension nous a permis d'écarter certaines technologies, incapable de concurrencer les performances statiques d'un IGBT 1200Volts.

I. INTRODUCTION.

L'objectif de ces travaux est de proposer des solutions alternatives à l'utilisation de l'IGBT dans les convertisseurs employés pour la traction ferroviaire. Dans la gamme de tension visée (1200 V), les structures MOS conventionnelles sont handicapées par leur résistance à l'état passant, et donc une chute de tension, importante par rapport aux composants bipolaires comme l'IGBT. Cette résistance à l'état passant est inversement proportionnelle au dopage de la zone volumique qui doit être suffisamment faible pour supporter la tension de blocage : trouver le meilleur compromis entre ces deux paramètres ($R_{ON.S/BV_{ds}}$) est un des défis majeurs, en particulier dans ce domaine de tension. C'est pour cette raison que, ces dernières années, plusieurs structures innovantes ont été proposées. L'idée est la modification structurelle de la zone volumique, soit en insérant des couches de type P (superjonctions, îlots flottants) soit en utilisant des gravures profondes (OBVDMOS). L'objectif de notre étude est de s'inspirer de ces principes afin de concevoir une nouvelle structure MOS supportant une tension de 1200 Volts et présentant un compromis $R_{ON.S/BV_{ds}}$ considérablement amélioré par rapport aux structures actuelles.

II. SOLUTIONS THEORIQUES ENVISAGEABLES

Dans un premier temps, nous nous sommes intéressés aux structures à tranchées profondes ou à superjonctions qui sont utilisés aujourd'hui pour de plus faibles tensions.

A. L'UMOSFET

La structure VDMOSFET – Vertical Double diffusé MOSFET –, stabilisée depuis environ quinze ans est la structure conventionnelle utilisée pour une gamme de tension allant de quelques Volts à plusieurs centaines de Volts. L'UMOSFET [1] (Fig. 1-a) fonctionne comme un VDMOSFET conventionnel (Fig. 1-b) mais présente une grille en tranchée afin de limiter les alignements de masques et de supprimer la quasi-totalité de la résistance d'accès au drain (c'est-à-dire la résistance située dans la région N^- sous la grille d'un VDMOSFET conventionnel). La résistance de drift étant prédominante (90% de la résistance totale), le fait de changer la géométrie de la grille, ne change en rien la résistance spécifique de la structure pour une tension aux alentours de 1200 Volts.

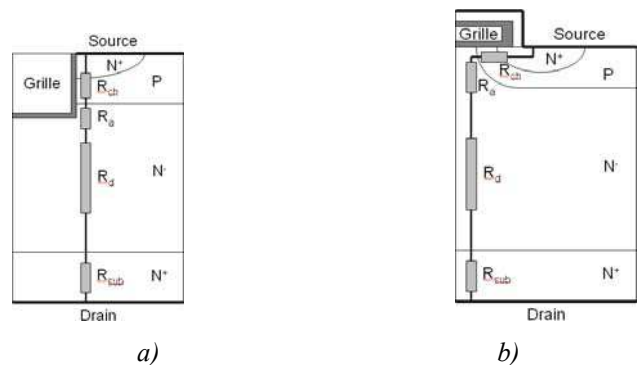


Figure 1 : Coupe schématique : a) de l'UMOSFET b) du VDMOSFET.

B. L'OBVDMOSFET

L'OBVDMOSFET (Oxyde-Bypassed VDMOSFET), présenté Figure 2, est composé de tranchées profondes remplies d'un oxyde épais et de polysilicium connecté à la source [2]. Lorsque l'on applique une tension sur le drain, on déserte verticalement, mais également latéralement la zone N^- . La largeur entre deux tranchées d'oxyde étant inférieure à la l'épaisseur de l'épitaxie, la zone de drift est totalement désertée ce qui entraîne un accroissement de la composante latérale du champ électrique, sans que sa valeur critique ne soit atteinte : il en résulte donc une augmentation de la tenue en tension. Donc, pour une même tenue en tension visée, le dopage de la zone N^- sera plus important et la résistance passante spécifique réduite, bien que la zone de conduction soit elle aussi réduite en raison de l'encombrement dû aux tranchées.

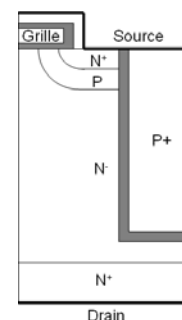


Figure 2 : Coupe schématique de l'OBVDMOSFET.

C. Le SJVDMOSFET

Le SJVDMOSFET (Superjonction VDMOSFET) est une technologie se basant sur le principe de la balance de charges [3]. La zone faiblement dopée N^- est remplacée par une succession de bandeaux N et P (Fig. 3) dont la largeur et le dopage sont choisis judicieusement. La largeur des cellules étant très inférieure à l'épaisseur de la zone de drift N^- , la zone de charge d'espace s'étale d'abord latéralement. Ainsi le champ électrique augmente latéralement en protégeant la jonction principale. Les bandes N et P étant entièrement dépeuplées, le profil du champ électrique dans le volume est rectangulaire : en effet, ces régions N et P entièrement désertées peuvent être assimilées à un diélectrique. Il en résulte donc une relation très simple entre la tenue en tension et la géométrie de la structure : $BV_{ds} = E_c \times H$, H étant l'épaisseur de la zone de drift. La tenue en tension devient alors indépendante du dopage de la zone N : elle dépend seulement de la balance de charges entre les régions N et P.

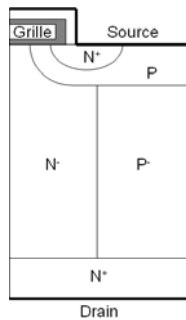


Figure 3 : Coupe schématique d'un SJ-VDMOSFET

D. Le DTMOSFET

Le DTMOSFET (Deep Trench VDMOSFET) utilise aussi le principe de la balance de charges [4]. Par rapport au SJVDMOSFET, la principale différence provient des étapes de fabrication. Afin de créer la balance de charges, la technologie DTMOSFET utilise une gravure profonde puis une diffusion de bore à travers un mur d'oxyde fin (Fig. 4). Le SJVDMOSFET utilise, quant à lui, une implantation forte énergie ou des épitaxies multiples pour créer les bandeaux N et P. L'avantage de la technologie DTMOSFET est de pouvoir créer des bandeaux P proche de 100 μ m sans utiliser les techniques de multi-épitaxie ou d'implantation forte énergie qui sont coûteuse en fabrication et difficile à mettre en œuvre. Par contre, la tranchée étant remplie d'un isolant, on perd un volume de conduction non négligeable, ce qui entraîne une augmentation de la résistance passante spécifique.

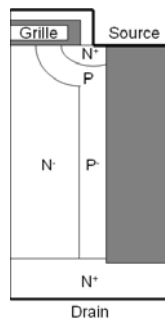


Figure 4 : Coupe schématique du DTMOSFET

III. SIMULATIONS 2D : COMPARAISONS DES PERFORMANCES STATIQUES

A l'aide de l'outil ISE, nous avons réalisé différentes simulations 2D, afin d'évaluer les performances statiques (BV_{ds} et $R_{ON.S}$) des MOSFETs basés sur les technologies décrites précédemment. Nous avons choisi une largeur de la cellule centrale de 10 μ m sauf pour l'OBVDMOSFET.

A. L'UMOSFET

Pour la structure UMOFET, il faut une épitaxie de 120 μ m d'épaisseur dopée à 1.10^{14} cm⁻³ afin de tenir une tension de 1200 V. A l'état passant, la densité de courant obtenue est de 3,24 A.cm⁻² pour une chute de tension de 1,7 Volts à 25°C, soit un $R_{ON.S}$ de 525 m Ω .cm² lorsque les IGBT offrent une résistance passante spécifique autour de 10m Ω .cm². On comprend, d'après ce premier résultat, pourquoi les transistors MOS de puissance n'ont actuellement pas leur place dans la très haute tension

B. L'OBVDMOSFET

En ce basant sur l'état de l'art, nous avons choisi de simuler les structures dont les caractéristiques sont les suivantes : une concentration de dopage de 1.10^{15} cm⁻³ pour l'épitaxie, une épaisseur d'oxyde de 1 μ m pour une profondeur de tranchée de 90 μ m.

Avec ses paramètres, le claquage de la cellule apparaît prématurément au fond de la tranchée. Comme le montre la Figure 5-a, il y a resserrement des équipotentielles au niveau du fond de la tranchée d'oxyde, entraînant un pic de champ électrique qui provoque le claquage de l'oxyde et donc la destruction prématurée du composant. En effet, les lignes de champ sont contenues dans l'oxyde, puis s'étalent vers la source pour se distribuer dans la zone de charge d'espace. Pour remédier à ce problème, nous avons dû prendre une largeur d'oxyde de 15 μ m, une épaisseur d'oxyde en fond de tranchée de 40 μ m et une largeur de zone de conduction de 12 μ m (Fig. 5-b). Cette structure affiche un BV_{ds} de 1320 Volts et un $R_{ON.S}$ de 295 m Ω .cm² pour une largeur de cellule centrale de 50 μ m.

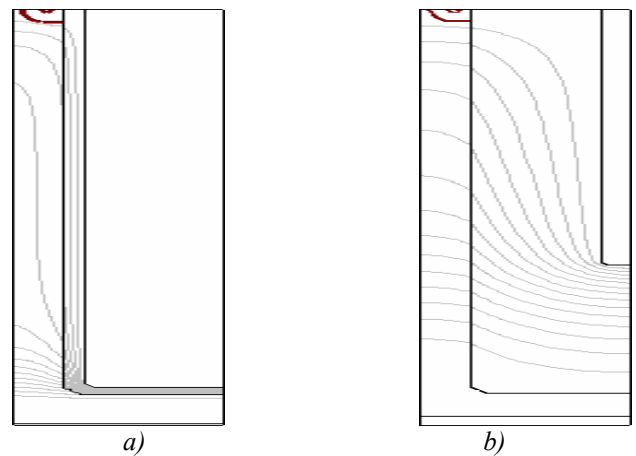


Figure 5 : Ligne de champ d'un OBVDMOSFET : a) structure par défaut b) structure optimisée

C. Le SJVDMOSFET

Nous avons simulé une structure avec des bandeaux N et P dopés à $6,5 \cdot 10^{15} \text{ cm}^{-3}$. La cellule optimisée affiche les performances suivantes : $BV_{ds} = 1280 \text{ V}$, $R_{ON.S} = 19 \text{ m}\Omega \cdot \text{cm}^2$. Il n'existe pas sur le marché de composant 1200 Volts utilisant le principe de la superjonction sur toute l'épithaxie. En effet, les quelques composants actuels utilisent le principe de la semi-superjonction [5], ce type de structure allie la technologie des superjonctions sur une partie de la zone de drift et une technologie classique sur le reste du volume. Les performances actuelles de ces composants sont : $54 \text{ m}\Omega \cdot \text{cm}^2$ pour une tenue en tension de 1100 V et $163 \text{ m}\Omega \cdot \text{cm}^2$ pour 1400 V. Le principe de la semi-superjonction est intéressant pour dépasser la limite conventionnelle du silicium, mais ne permet pas de concurrencer l'IGBT. En effet, le fait de conserver une zone faiblement dopée fait chuter les performances du MOS à semi-superjonction par rapport à l'IGBT.

La faible résistance passante de cette structure est intéressante, de plus il est encore possible d'améliorer ses performances en modifiant la géométrie des cellules. Néanmoins, il existe un verrou technologique dans le procédé de fabrication actuel. La diminution de la taille de la cellule centrale permet une augmentation de la dose implantée, et donc une plus grande diffusion de celle-ci. Il existe donc une taille minimum de la cellule définie par la taille des bandeaux P réalisable.

D. Le DTMOSFET

Comme le montre la Figure 6, contrairement au SJVDMOSFET les bandeaux P ne présentent pas un profil de dopage constant. Nous avons simulé une épithaxie N de dopage égal à $7,5 \cdot 10^{15} \text{ cm}^{-3}$ et une diffusion P gaussienne dont le maximum se trouve à l'interface silicium/oxyde avec une concentration de $5 \cdot 10^{16} \text{ cm}^{-3}$ pour une jonction à $2,3 \mu\text{m}$ du centre de la cellule. La largeur totale de la tranchée est de $4 \mu\text{m}$ pour une profondeur de $95 \mu\text{m}$. La cellule optimisée affiche les performances suivantes : $BV_{ds} = 1330 \text{ V}$, $R_{ON.S} = 20 \text{ m}\Omega \cdot \text{cm}^2$. Les performances de cette technologie sont comparables à la technologie SJVDMOSFET car la largeur de la zone dopée N reste identique. Le fait de diffuser à travers un oxyde peut nous permettre de diminuer la largeur de la zone P tout en gardant l'équilibre des charges. À la différence de la technologie SJVDMOSFET, il sera possible de diminuer la résistance passante spécifique en diminuant l'écart entre deux tranchées ou en réduisant la largeur de celles-ci. Néanmoins, une limite à la réduction de la cellule élémentaire pourrait être la résistance d'accès due à la diffusion du P-body (région P de canal).

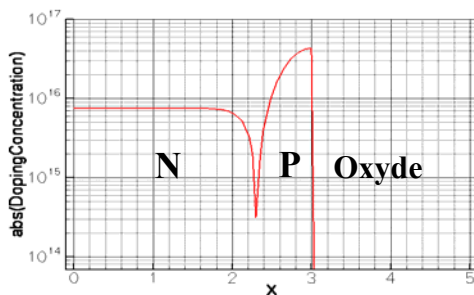


Figure 6 : Profil de dopage des bandeaux N et P de la structure DTMOSFET

IV. CONCLUSION

Dans ce travail, nous avons étudié différentes technologies dans le but de trouver une alternative à la technologie IGBT 1200 Volts. Les simulations nous ont permis de confirmer que la technologie VDMOSFET actuelle est inadaptée pour cette gamme de tension. La technologie OBVDMOSFET, quant à elle, n'apporte que très peu de performances par rapport à la complexité de réalisation technologique qu'elle nécessite. Les technologies se basant sur le principe de la balance des charges sont les meilleures candidates. Le SJVDMOSFET et le DTMOSFET affichent des performances équivalentes, pour une largeur de cellule centrale identique sans pour autant atteindre les performances d'un IGBT. Toutefois les performances de ces structures restent très sensibles à la variation des paramètres technologiques et restent donc difficilement réalisables à ce jour.

Afin de fabriquer un composant se basant sur les performances des technologies à balance de charges, nous devons trouver une terminaison à ces structures. De plus, il reste de nombreuses technologies à étudier, notamment des technologies mixant différents principes tels que les îlots flottants et semi-superjonction.

V. REFERENCES

- [1] D.Ueda, H. Takagi, G. Kano, "A new vertical power MOSFET structure with extremely reduced on-resistance", IEEE Transactions on Electron Devices, Vol. 31, N°1, p. 2-6, 1984.
- [2] Y.C. Liang, K.P. Gan, G.S. Samudra, "Oxide-bypassed VDMOS (OBVDMOS): an alternative to superjunction high voltage MOS power devices", Electron Device Letters, Vol. 22, p. 407-409, 2001.
- [3] X.B. Chen, P.A. Mawby, K. Board, C.A.T. Salama, "Theory of a novel voltage-sustaining layer for power devices", Microelectronics Journal, p. 1005-1011, 1998.
- [4] J. Glen, J. Siekkinen, "A novel Vertical Deep Trench RESURF DMOS (VTR-DMOS)", ISPSD'2000, p. 197-200, 2000.
- [5] W. Saito, I. Omura, S. Aida, S. Koduki, M. Izumisawa, T. Ogura, "Semisuperjunction MOSFETs: new design concept for lower on-resistance and softer reverse-recovery body diode", IEEE Transactions on Electron Devices, Vol. 50, p. 1801-1806, 2003.