



HAL
open science

Étude paramétrique des performances statiques du transistor DT-SJMOS 1200 V

Loïc Théolier, Hicham Mahfoz-Kotb, Karine Isoird, Frédéric Morancho

► **To cite this version:**

Loïc Théolier, Hicham Mahfoz-Kotb, Karine Isoird, Frédéric Morancho. Étude paramétrique des performances statiques du transistor DT-SJMOS 1200 V. XIIème colloque Electronique de Puissance du Futur (EPF 2008), Jul 2008, TOURS, France. 4 p. hal-01002262

HAL Id: hal-01002262

<https://hal.science/hal-01002262>

Submitted on 5 Jun 2014

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Étude paramétrique des performances statiques du transistor DT-SJMOS 1200 V

Loïc Théolier^{1,2}, Hicham Mahfoz-Kotb¹, Karine Isoird^{1,2}, Frédéric Morancho^{1,2}

¹ LAAS-CNRS ; Université de Toulouse ; 7, avenue du Colonel Roche, F-31077 Toulouse, France

² Université de Toulouse ; UPS

Dans cet article, nous présentons l'étude paramétrique des performances statiques du transistor DT-SJMOS. Nous rappelons, dans un premier temps, la structure du transistor ainsi que ses caractéristiques technologiques. La structure est ensuite simulée à l'aide du logiciel TCAD Sentaurus dans le but d'étudier la sensibilité de ses performances statiques en fonction de la variation de différents paramètres géométriques et technologiques. Il s'avère que les variations technologiques dans le volume de la structure sont néfastes à sa tenue en tension, alors que la géométrie de surface influence peu le comportement.

I. INTRODUCTION

Aujourd'hui, les IGBTs sont utilisés dans les convertisseurs d'énergie pour la traction ferroviaire. Dans la gamme de tension visée (1200 V), les structures MOS conventionnelles sont handicapées par leur résistance à l'état passant et, donc, par une chute de tension importante par rapport aux composants bipolaires comme l'IGBT. Afin de palier ce problème, le principe du transistor DT-SJMOS (Deep Trench SuperJunction MOS) a été introduit et théoriquement approuvé (simulateur TCAD Sentaurus) comme remplaçant possible de l'IGBT dans cette gamme de tension [1]. Les travaux présentés ici sont centrés autour de l'influence de différents paramètres technologiques sur le comportement statique du DT-SJMOS. Cette étude a été menée afin d'identifier les étapes critiques de fabrication d'un prototype.

II. PRÉSENTATION DE LA STRUCTURE DT-SJMOS

A. Concept de la Super Jonction

Le transistor DT-SJMOS est une technologie se basant sur le principe de la balance de charges [2]. Tout comme les structures à Super Junction conventionnelles, la zone faiblement dopée N- est remplacée par une succession de colonnes N et P dont la largeur (W) et le dopage sont choisis judicieusement (Fig.1). La largeur (W) étant très inférieure à l'épaisseur (H) de la zone de drift N-, la zone de charge d'espace s'étale d'abord latéralement. Ainsi le champ électrique augmente latéralement en protégeant la jonction PN principale. Les bandes N et P étant entièrement dépeuplées, le profil du champ électrique dans le volume est rectangulaire : en effet, ces régions N et P entièrement désertées peuvent être assimilées à un diélectrique. Il en résulte donc une relation très simple entre la tenue en tension et la géométrie de la structure : $BV = E_c \times H$, où E_c est le champ électrique critique du silicium. La tenue en tension devient alors indépendante du dopage de la zone N : elle dépend seulement de la balance des charges entre les régions N et P.

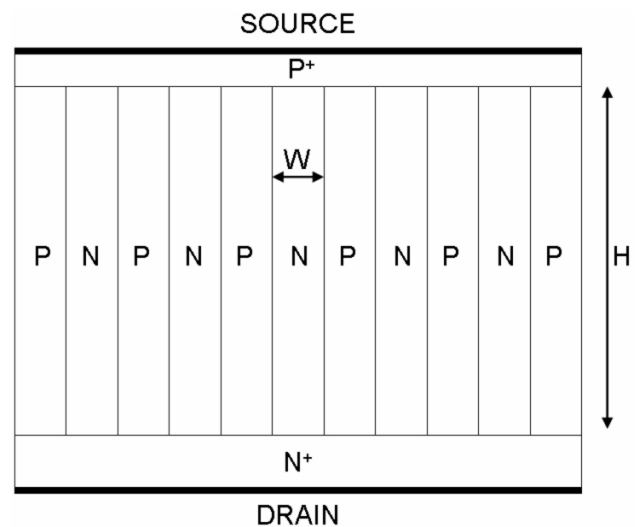


Figure 1 : Coupe schématique d'une Super Jonction (concept).

B. Concept de la structure DT-SJMOS

Le DT-SJMOS se base sur les travaux de J. Glen [3]. Par rapport aux structures à Super Junction concurrentes, la principale différence provient des étapes de fabrication. Les autres structures sont fabriquées par une implantation forte énergie [4], [5], ou par des épitaxies multiples [6] ou par une gravure profonde puis une croissance épitaxiale de silicium dopé [7] pour créer les colonnes N et P. Les colonnes P du transistor DT-SJMOS sont réalisées par diffusion latérale de bore à travers les murs des tranchées profondes en utilisant, comme source de bore, une couche de polysilicium dégénéré déposée par LPCVD. Pour mieux gérer la quantité de bore diffusée, nous faisons croître un oxyde mince entre le polysilicium et les murs des tranchées. Ensuite, en choisissant le temps et la température de recuit convenables, nous faisons diffuser la dose voulue de bore. À la fin, le polysilicium et l'oxyde de contrôle sont gravés et les tranchées sont remplies par un diélectrique. Les figures 2 et 3 présentent respectivement la coupe schématique de la structure ainsi réalisée et son profil latéral de dopage. Nous pouvons observer que la somme de la largeur de la colonne P et de la tranchée de diélectrique est bien plus faible que celle de la zone N. Ceci nous permet d'augmenter la surface de conduction du courant

par rapport à une structure de même largeur mais ayant des colonnes N et P de même dopage et de même largeur.

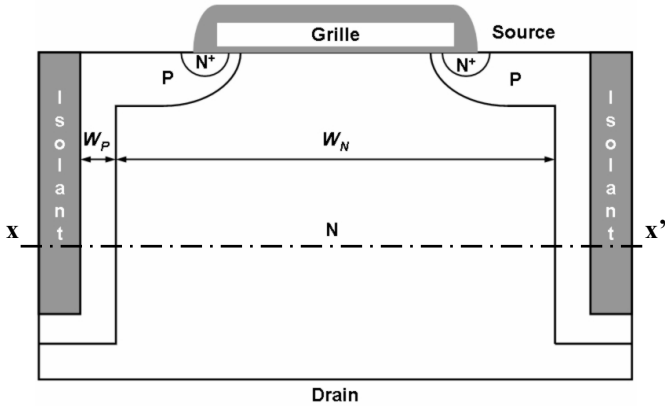


Figure 2 : Coupe schématique du transistor DT-SJMOS.

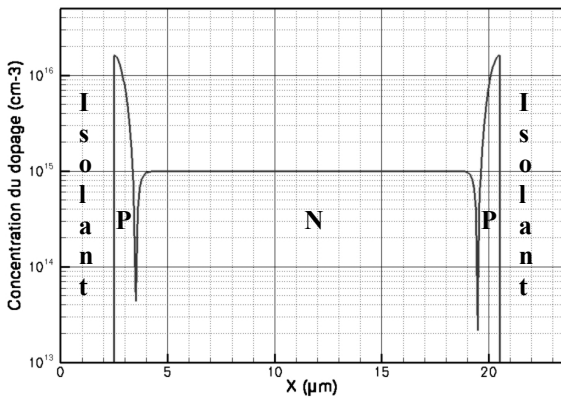


Figure 3 : Profil du dopage latéral selon l'axe xx' .

B. Paramètres technologiques de la structure

La géométrie et les paramètres technologiques déterminent les performances statiques d'une structure. Dans ce contexte, nous donnons dans le tableau 1 les paramètres importants dont les valeurs ont été fixées pour toutes les simulations bidimensionnelles.

Tableau 1 : Principaux paramètres de la structure DT-SJMOS simulée.

Variable	Structure DT-SJMOS simulée
Largeur de la cellule	23 μm
Épaisseur de la couche épitaxiée	100 μm
Dopage de la couche épitaxiée	$1.10^{15} \text{ cm}^{-3}$
Profondeur de la couche de bore diffusée le long des tranchées	1 μm
Dose de bore diffusée le long des tranchées	$9.10^{12} \text{ cm}^{-2}$
Largeur de la grille	6 μm
Largeur des tranchées	5 μm
Dose de bore implantée en surface	$2.10^{13} \text{ cm}^{-2}$
Tenue en tension	1630 V
Résistance passante spécifique	0,113 $\Omega.\text{cm}^2$

III. SIMULATIONS 2D : ÉTUDE PARAMÉTRIQUE DES PERFORMANCES STATIQUES

Dans cette partie, différentes simulations paramétriques sont discutées dans le but d'évaluer la sensibilité des performances statiques du transistor DT-SJMOS. Les performances statiques sont définies par la tenue en tension de la structure (BV) et sa résistance passante spécifique ($R_{ON,S}$). Celles-ci peuvent varier légèrement ou de façon importante en fonction de la variation de certains paramètres technologiques et géométriques. Ici, nous étudions l'influence de la largeur de la grille (L_G) sur $R_{ON,S}$ et l'influence de la dose implantée en surface (D_{BS}) sur BV pour les paramètres de la géométrie de surface. La largeur de la tranchée profonde (L_T) et la dose de bore diffusée latéralement (D_{BL}) seront ensuite étudiées pour quantifier leur influence sur BV. La figure 4 présente l'ensemble de ces paramètres simulés dans ce paragraphe.

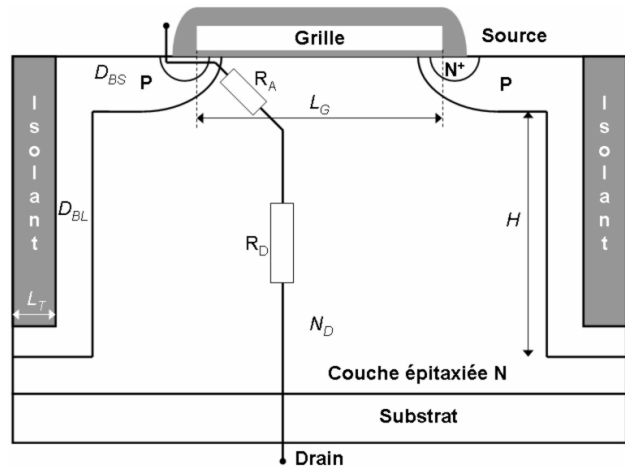


Figure 4 : Paramètres influant sur la tenue en tension.

A. Influence de la largeur de la grille sur la résistance passante

La résistance passante est définie dans les transistors MOS de puissance par quatre résistances principales : la résistance de canal (R_{CH}), la résistance d'accès au drain (R_A) correspondant à la région située sous la grille entre deux caissons P de canal adjacents, la résistance de drift (R_D), qui représente le volume de drain épitaxié, et la résistance (R_{SUB}) du substrat N^+ reliée au drain. Dans les transistors haute tension ($BV > 200 \text{ V}$), la résistance de drift est prépondérante. Néanmoins, en fonction des choix technologiques, tels que la largeur de la grille ou la géométrie de surface de la structure, la résistance R_A peut ne pas être négligeable [8].

La largeur de la grille est un paramètre influençant R_A , et donc, la résistance passante spécifique. Dans le cas de composants basés sur le concept de la balance des charges, la théorie recommande de diminuer la largeur de la structure dans le but d'augmenter le dopage de la couche épitaxiée et donc de diminuer la résistance passante spécifique. La largeur de la grille est donc limitée par celle de la structure d'autant plus qu'il est nécessaire de garantir la polarisation des caissons de sources. Dans ce cadre, la figure 5 présente l'influence de la largeur de la grille sur la résistance passante spécifique.

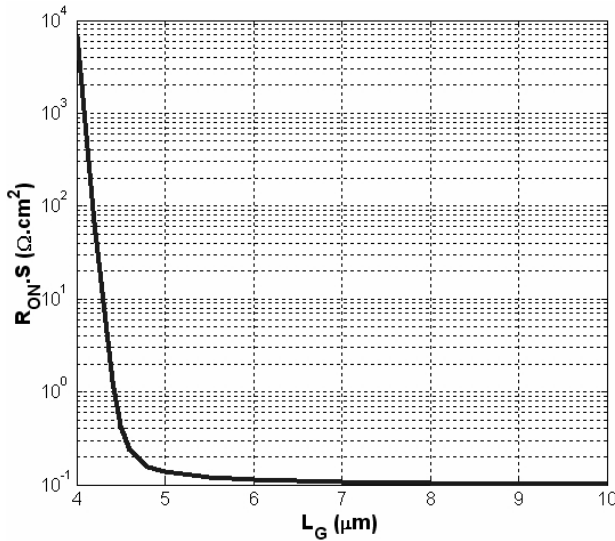


Figure 5 : Variations de $R_{ON.S}$ en fonction de L_G .

Nous constatons que, pour des valeurs élevées de la largeur de grille ($L_G > 6 \mu m$), la résistance de drift est prédominante. L'expression analytique de la résistance de drift (3) est rappelée ci-dessous :

$$R_D \cdot S = \frac{H}{q \cdot \mu_n \cdot N_D} (\Omega \cdot cm^2) \quad (3)$$

La valeur de $R_{ON.S}$ est quasiment celle de la $R_D.S$ soit $0,1 \Omega \cdot cm^2$. En dessous de cette valeur, $R_A.S$ est non négligeable et $R_{ON.S}$ équivaut à la somme des deux résistances ($R_A.S + R_D.S$). Nous avons donc choisi, pour la réalisation du prototype, de prendre une largeur de grille de $6 \mu m$ pour assurer la polarisation des caissons de source.

B. Influence de la dose de bore implantée en surface du composant

La dose du caisson P de source (D_{BS}) est un paramètre déterminant pour la tenue en tension des composants conventionnels. Nous nous intéressons donc à vérifier si ce paramètre a le même rôle pour le transistor DT-SJMOS.

La figure 6 présente l'évolution de la tenue en tension en fonction de la dose du caisson P.

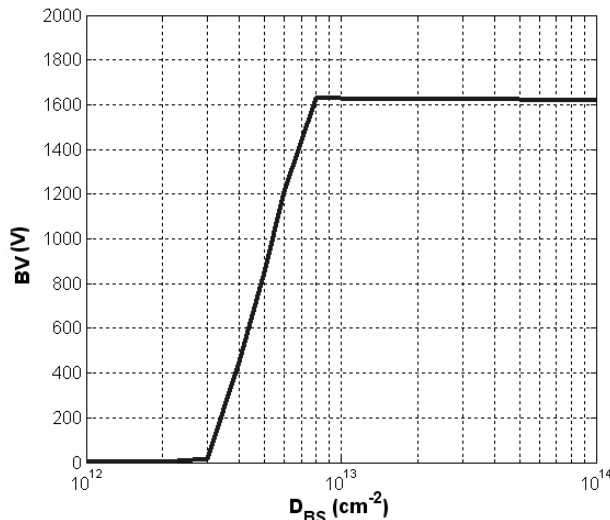


Figure 6 : Variations de BV en fonction de D_{BS} .

Il s'avère qu'il existe, tout comme pour les structures conventionnelles, une dose minimale permettant de garantir la tenue en tension souhaitée. La diminution de BV est fonction du potentiel nécessaire pour dépeupler entièrement le caisson P de source. En effet, la zone de charge d'espace ne doit pas rejoindre l'implantation N^+ de source au risque d'atteindre le perçage. Nous nous trouvons alors dans une configuration $N^+N^+N^+$ (N^+ source, N^- épitaxie, N^+ substrat) sans barrière de potentiel pour retenir le courant. Pour la réalisation du composant, nous choisissons donc une implantation de bore ayant une dose de $2.10^{13} cm^{-2}$ afin d'éviter le perçage.

C. Compensation de l'erreur de gravure par la dose de bore diffusée

La variation de la largeur de gravure se produit technologiquement lorsqu'il y a un décalage entre l'ouverture du masque et la taille de la gravure. Cette différence peut-être positive ou négative suivant le procédé de fabrication. La variation de la dose de bore diffusée le long de la tranchée peut-être due, quant à elle, à un mauvais contrôle de la diffusion. La figure 7 présente la variation de la tenue en tension (BV) par rapport à la largeur de gravure de la tranchée (L_T) et de la dose de bore diffusée le long de la tranchée profonde (D_{BL}).

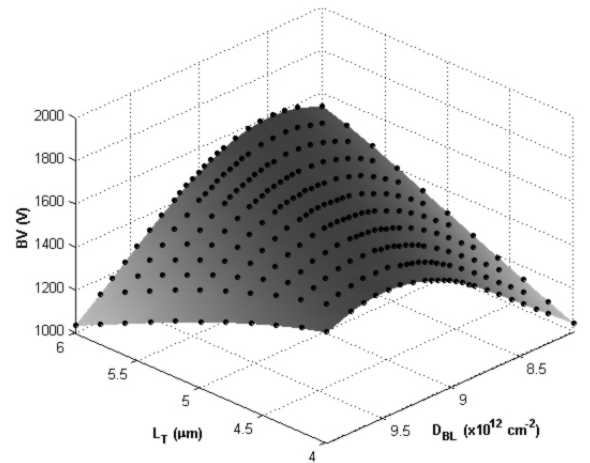


Figure 7 : Variations de BV en fonction des variations de L_T et D_{BL} .

Nous constatons, qu'il est possible de compenser un paramètre par l'autre. En effet, une variation de la largeur de la tranchée a un impact sur l'équilibre des charges. L'équation (4) rappelle la condition d'équilibre des charges dans le cas d'un profil gaussien :

$$\int_0^{W_p} N_A(x) dx = N_D \cdot W_N / 2 \quad (4)$$

$N_A(x)$ représente le profil de bore actif sur l'axe xx' de la figure 2, W_p la largeur de la couche diffusée P, N_D la concentration de la couche épitaxiée N et W_N la largeur de la zone active N. La largeur de la structure étant fixée, la variation de la largeur de la tranchée provoque la variation de la largeur de la zone dopée N (W_N) et annule l'égalité des charges. D'après cette même équation, une modification de la dose de bore diffusée change le profil de bore et provoque à son tour l'inégalité des charges latérales dans le volume de la structure. Néanmoins, la compensation d'un paramètre par l'autre permet d'adapter la dose de bore

diffusée, après avoir stabilisé le procédé de fabrication des tranchées profondes.

IV. CONCLUSION

Dans cet article, un nouveau transistor MOS de puissance dédié à la traction ferroviaire, appelé DT-SJMOS, est présenté. Ce transistor, basé sur le concept de balance des charges, est fabriqué avec des tranchées profondes dans la couche épitaxiée. Les colonnes P du transistor sont ensuite réalisées par diffusion latérale de bore à travers les murs des tranchées. La fabrication de ce composant implique l'apparition de nouveaux paramètres technologiques influençant les performances statiques de la structure. Il s'est avéré que la géométrie et le procédé de surface ne sont pas primordiaux pour le bon fonctionnement du composant : il suffit de choisir une largeur de grille supérieure à $5 \mu\text{m}$ et une dose de bore implantée en surface supérieure à $8.10^{12} \text{ cm}^{-2}$ pour que les performances statistiques ne soient pas dégradées. Nous avons pu aussi remarquer qu'il était possible de corriger l'erreur de la largeur de gravure en faisant varier la dose diffusée le long de la tranchée. Cette étude permet de valider la faisabilité de la fabrication du DT-SJMOSFET, mais il reste encore à valider certaines étapes technologiques : la gravure des tranchées, le contrôle de la diffusion ou le remplissage des tranchées restent encore des défis pour la conception du composant.

V. RÉFÉRENCES

- [1] L. Théolier, K. Isoird, F. Morancho, J. Roig, H. Mahfoz Kotb, M. Brunet, P. Dubreuil, "Deep Trench MOSFET structures study for a 1200 Volts application", EPE'07.
- [2] T. Fujihira, "Theory of Semiconductor Superjunction devices", Japanese Journal of Applied Physics. Vol. 36, Part. 1, N°10, pp. 6254-6262, 1997.
- [3] J. Glen, J. Siekkinen, "A novel Vertical Deep Trench RESURF DMOS (VTR-DMOS)", ISPSD'2000, pp. 197-200, 2000.
- [4] M. Rüb, M. Bär, F.-J. Niedernostheide, M. Schmitt, H.-J. Schulze, A. Willmeroth "First study on superjunction high-voltage transistors with n-columns formed by proton implantation and annealing", ISPSD'04, pp. 181-184, 2004.
- [5] M. Rüb, M. Bär, G. Deboy, F.-J. Niedernostheide, M. Schmitt, H.-J. Schulze, A. Willmeroth, "550 V Superjunction $3.9 \Omega \cdot \text{mm}^2$ Transistor Formed by 25 MeV Masked Boron Implantation", ISPSD'04, pp. 455-458, 2004.
- [6] Y. Onishi, S. Iwamoto, T. Sato, T. Nagaoka, K. Ueno, T. Fujihira, "24 $\text{m}\Omega \cdot \text{cm}^2$ 680 V Silicon Superjunction MOSFET", ISPSD'02, pp. 241-244, 2002.
- [7] S. Iwamoto, K. Takahashi, H. Kuribayashi, S. Wakimoto, K. Mochizuki, H. Nakazawa, "Above 500V class Superjunction MOSFETs fabricated by deep trench etching and epitaxial growth", ISPSD'05, pp. 31-34, 2005.
- [8] F. Morancho, "De nouvelles limites pour le compromis « Résistance passante spécifique / Tenue en tension » des composants unipolaires de puissance", Habilitation à Diriger des Recherches, Université Paul-Sabatier de Toulouse, 2004.