



Performances dynamiques des transistors FLYMOSTM 65 Volts à canal N

Loïc Théolier, Karine Isoird, Henri Tranduc, Frédéric Morancho, Jaume Roig
Guitart, Yann Weber, E.N. Stefanov, J.-M. Reynès

► To cite this version:

Loïc Théolier, Karine Isoird, Henri Tranduc, Frédéric Morancho, Jaume Roig Guitart, et al.. Performances dynamiques des transistors FLYMOSTM 65 Volts à canal N. Electronique de Puissance du Futur (EPF'2006), Jul 2006, GRENOBLE, France. 5 p. hal-01002255

HAL Id: hal-01002255

<https://hal.science/hal-01002255>

Submitted on 5 Jun 2014

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Performances dynamiques des transistors FLYMOS™ 65 Volts à canal N

L. Théolier¹, K. Isoird¹, H. Tranduc¹, F. Morancho¹, J. Roig¹, Y. Weber^{1,2}, E.N. Stefanov², J-M. Reynès²

¹Université de Toulouse, LAAS / CNRS, 7 avenue du Colonel Roche, 31077 Toulouse Cedex 4.

Tel: 0561336390, Fax: 0561336208, e-mail : ltheolie@laas.fr

²Freescale Semiconductors France SAS, 134 avenue Général Eisenhower, 31023 Toulouse Cedex 1

Résumé : Dans ce papier, un transistor FLYMOS™ 65V est caractérisé en commutation pour la première fois dans le but d'être comparé à un transistor VDMOS conventionnel. Il s'avère que les mesures de capacités inter-électrodes et de gate charge des deux composants sont comparables. Une étude comparative, à l'aide de simulations 2D, de deux structures de même tenue en tension nous a permis de conforter ces résultats, confirmant l'hypothèse que l'insertion d'îlot flottants n'entraînait pas de phénomène parasite ou nouveau, dans le cas d'îlots faiblement dopés.

I. INTRODUCTION.

Dans le domaine de l'électronique de puissance, les composants semiconducteurs jouent en général le rôle d'interrupteurs fonctionnant entre deux états : l'état bloqué et l'état passant. Ainsi la tenue en tension et la chute de tension à l'état passant sont deux caractéristiques importantes de ces dispositifs. Les structures de puissance à îlots flottants – FLIMOS [1], FLYMOS™ [2], Opposite Doped Buried Regions (ODBR) MOS [3] et FITMOS [4] par exemple – ont récemment suscité l'attention de plusieurs travaux de recherche car elles peuvent offrir des valeurs de résistance passante spécifique inférieures à celles des structures MOS conventionnelles pour des applications moyenne tension (autour de 600 Volts). Il a aussi été démontré que ce sont de sérieux concurrents aux structures à Superjonction [5] en dessous de 600 Volts ; de plus, le concept des « îlots flottants » n'étant pas basé sur le principe de la compensation de charges contrairement au concept de la Superjonction, la technologie requise pour la fabrication de telles structures est moins complexe que la technologie de la Superjonction [2]. Bien que les performances statiques du transistor FLYMOS™ aient été expérimentalement démontrées dans [2], aucune étude sur les performances dynamiques n'avait été réalisée à ce jour.

Ces travaux étudient le comportement dynamique du FLYMOS™ : dans ce but, des simulations 2D et des mesures expérimentales comparent les performances de la nouvelle structure avec un transistor VDMOS de puissance conventionnel.

II. PRINCIPE DES ILOTS FLOTTANTS

Les transistors verticaux DMOS conventionnel et FLYMOS™ sont présentés respectivement sur les Figures 1-a et 2-a. La principale différence est l'introduction d'une couche P enterrée (appelée « îlot flottant ») dans la région faiblement dopée N⁻. Par rapport au VDMOS conventionnel, dont le pic de champ électrique est localisé à un seul endroit, la jonction « P-body/région N⁻ », (Fig. 1-b), la couche P flottante du FLYMOS™ permet de répartir le champ électrique maximal sur deux jonctions (Fig. 2-b). Lorsque la tenue en tension visée est la même, la concentration de la couche épitaxiée du FLYMOS™ (N_{D2}) peut donc être augmentée par rapport au VDMOS conventionnel (N_{D1}), ce

qui se traduit par une diminution de la résistance à l'état passant, comme cela a été démontré dans les travaux précédents [2]. Néanmoins, l'inconvénient de cette augmentation de concentration est l'impact qu'elle peut avoir sur la capacité de déplétion sous l'oxyde mince de grille (C_{gddep}) et sur la capacité drain-source (C_{ds}), qui est la capacité de deux jonctions PN en série dans le cas du FLYMOS™ (Fig. 2-a).

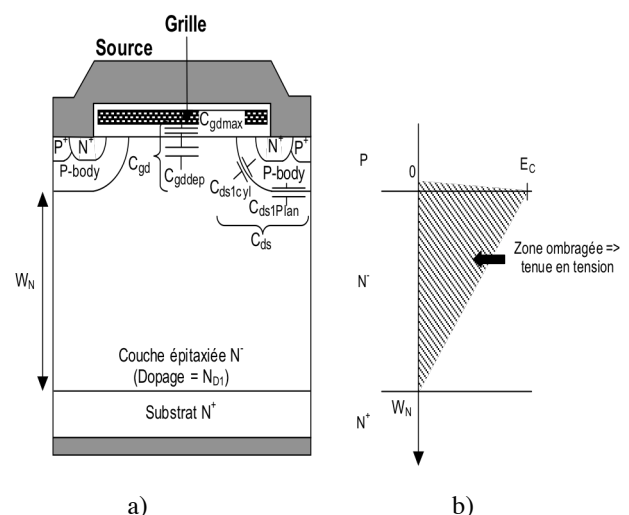


Fig. 1. Transistor VDMOS conventionnel : a) coupe schématique, b) répartition théorique du champ électrique au claquage.

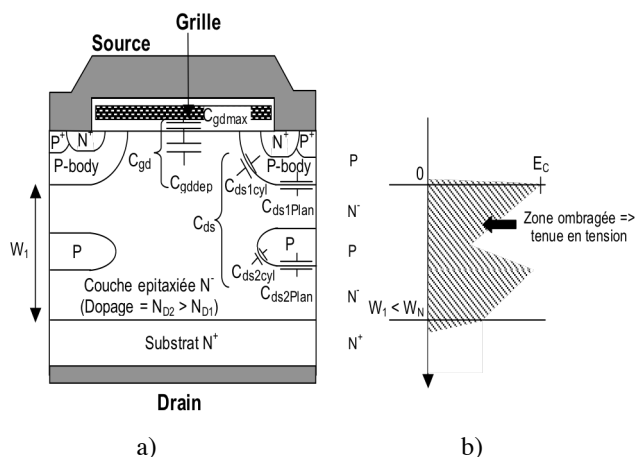


Fig. 2. Transistor FLYMOS™ vertical : a) coupe schématique, b) répartition théorique du champ électrique au claquage.

III. CAPACITES INTER-ELECTRODES

Le comportement dynamique du transistor FLYMOS™ est intrinsèquement lié, tout comme le transistor VDMOS conventionnel, aux valeurs des différentes capacités inter-électrodes de la structure, qu'il faut charger et décharger lors des commutations. Elles présentent des expressions identiques à celles d'un VDMOS, hormis la capacité drain-source qui dépend des îlots flottants. Ces capacités dépendent des paramètres géométriques et technologiques de la structure.

A. Modélisation de la capacité grille-drain (C_{gd})

Le principe de fonctionnement de la capacité grille-drain d'un FLYMOS™ est comparable à celui de la capacité C_{gd} d'un VDMOS conventionnel.

La capacité C_{gd} est en effet constituée de deux capacités en série : une capacité d'oxyde C_{gdmax} et d'une capacité de déplétion C_{gddep} .

- En régime d'accumulation, c'est-à-dire lorsque $V_{dg} < 0$, la capacité C_{gd} est égale à la capacité d'oxyde que nous noterons C_{gdmax} .
- En régime de déplétion ou de faible inversion, lorsque la tension de drain V_{ds} est supérieure à la tension de grille V_{gs} , ou autrement dit lorsque $V_{dg} > 0$, la capacité grille-drain obéit à la relation suivante :

$$\frac{1}{C_{gd}} = \frac{1}{C_{gdmax}} + \frac{1}{C_{gddep}} \quad (1)$$

$$\text{où} \quad C_{gdmax} = \frac{\epsilon_0 \cdot \epsilon_{ox}}{e_{ox}} \cdot S_1 \quad (2)$$

$$\text{et} \quad C_{gddep} = S_1 \cdot \sqrt{\frac{q \cdot N_D \cdot \epsilon_0 \cdot \epsilon_{si}}{2 \cdot \Phi_s}} \quad (3)$$

S_1 représente la surface totale intercellulaire sous la grille (région N⁻) et Φ_s la différence de potentiel qui existe aux bornes de la zone de charge d'espace dépeuplée.

La principale différence entre un transistor VDMOS conventionnel et un FLYMOS™ équivalent (c'est-à-dire de même tenue en tension et de même oxyde de grille) vient donc de la valeur du dopage N_D de la région N⁻ (couche épitaxiée) qui influe sur la capacité de déplétion C_{gddep} .

B. Modélisation de la capacité drain-source (C_{ds})

La capacité drain-source d'un transistor VDMOS conventionnel est liée à la jonction PN⁻ qui est formée de la zone diffusée P et de l'épitaxie N⁻. Cette jonction est constituée d'une jonction plane ($C_{ds1Plan}$) et d'une jonction cylindrique (C_{ds1cyl}). On peut considérer que le modèle analytique de C_{ds} est : $C_{ds} = C_{ds1Plan} + C_{ds1cyl}$.

Pour mémoire, nous rappelons ci-dessous les expressions analytiques de la capacité C_{ds1cyl} [6] :

$$C_{ds1cyl} = \pi \cdot \epsilon_0 \cdot \epsilon_{si} \cdot z \cdot \left(\frac{V_{ac}}{\alpha \cdot V_{ds}} \right)^{0,426} \quad \text{si } \alpha \cdot V_{ds} > V_{ac} \quad (4)$$

$$C_{ds1cyl} = \pi \cdot \epsilon_0 \cdot \epsilon_{si} \cdot z \cdot \left(\frac{V_{ac}}{\alpha \cdot V_{ds}} \right)^{0,306} \quad \text{si } \alpha \cdot V_{ds} < V_{ac} \quad (5)$$

où α est la proportion de la tension tenue par la jonction principale « P-body/N⁻ » ($\alpha = 1$ pour le VDMOS conventionnel) et z est le « périmètre » total du canal avec :

$$V_{ac} = \frac{q \cdot N_D \cdot r_j^2}{4 \cdot \epsilon_0 \cdot \epsilon_{si}} \quad (6)$$

Nous pouvons relever que l'expression de la capacité de la jonction cylindrique du transistor VDMOS est identique à celle du transistor FLYMOS™, du fait qu'elle est intrinsèquement liée au dopage de l'épitaxie.

Par conséquent, pour un même calibre en tension, l'augmentation du dopage de l'épitaxie et le rapport α entraîneront un accroissement de la valeur de la capacité C_{ds1cyl} du FLYMOS.

La capacité $C_{ds1Plan}$, quant à elle, a pour expression :

$$C_{ds1Plan} = S_2 \cdot \sqrt{\frac{q \cdot N_D \cdot \epsilon_0 \cdot \epsilon_{si}}{2 \cdot \alpha \cdot V_{ds}}} \quad (7)$$

S_2 étant la surface plane totale sous la diffusion P de canal.

La capacité de la jonction plane du transistor VDMOS est elle aussi, liée au dopage de l'épitaxie.

Concernant le transistor FLYMOS™, les îlots P étant situés sous la jonction plane, il apparaît deux zones de drift, mises en série, qui sont identiques à celle d'un transistor VDMOS conventionnel avec comme expression pour la capacité plane :

$$C_{ds2Plan} = S_3 \cdot \sqrt{\frac{q \cdot N_D \cdot \epsilon_0 \cdot \epsilon_{si}}{2 \cdot (1 - \alpha) \cdot V_{ds}}} \quad (8)$$

où S_3 est la surface de la jonction plane sous l'îlot.

La jonction cylindrique a ici comme expression :

$$C_{ds2cyl} = 2 \cdot \pi \cdot \epsilon_0 \cdot \epsilon_{si} \cdot z \cdot \left(\frac{V_{ac}}{(1 - \alpha) \cdot V_{ds}} \right)^{0,426} \quad (9)$$

si $(1 - \alpha) \cdot V_{ds} > V_{ac}$

$$C_{ds2cyl} = 2 \cdot \pi \cdot \epsilon_0 \cdot \epsilon_{si} \cdot z \cdot \left(\frac{V_{ac}}{(1 - \alpha) \cdot V_{ds}} \right)^{0,306} \quad (10)$$

si $(1 - \alpha) \cdot V_{ds} < V_{ac}$

Un dopage N_D plus élevé pour le FLYMOS™ doit impliquer une valeur plus importante de $C_{ds1Pdiff}$ par rapport au VDMOS conventionnel ; en contrepartie, la mise en série de cette capacité avec C_{ds2} doit permettre une réduction de la capacité C_{ds} résultante du FLYMOS™ par rapport au VDMOS.

Cependant, si les expressions analytiques présentées dans ce paragraphe permettent de dégager des tendances quant au comportement dynamique du transistor FLYMOS™, elles sont insuffisantes pour quantifier précisément l'évolution des capacités C_{gd} et C_{ds} . Dans la suite, nous présenterons les évolutions quantitatives de ces deux capacités inter-électrodes.

IV. RESULTATS ET DISCUSSION

Les mesures présentées dans cet article ont été effectuées à partir d'un transistor VDMOS conventionnel 45V et un transistor FLYMOS™ 65V, utilisant le même dopage de la couche épitaxiée N⁻ (autour de 10¹⁶ cm⁻³), mais ayant des géométries de surface différentes et une épaisseur d'oxyde de grille différente. L'impédancemètre utilisé était un HP4284, réglé à 100 kHz afin de se libérer du modèle de représentation de l'impédance complexe vu par l'impédancemètre.

Nous avons également effectué des simulations physiques 2D temporelles et dynamiques avec le logiciel ISE TCAD (Integrated Systems Engineering). La comparaison entre la simulation et la mesure est importante afin de valider les modèles de comportement dynamique et principalement l'indice de confiance que l'on pourra accorder à nos simulations pour ce type de structures.

A. Capacité C_{gd}

La figure 3 présente les mesures de la capacité grille-drain pour les deux structures et la simulation 2D du FLYMOS™. La différence d'épaisseur d'oxyde intervenant dans l'expression de la capacité d'oxyde C_{gdmax} et essentiellement pour les valeurs de tension drain-grille négatives, nous avons choisi de ne pas les représenter sur la figure 3. De plus, la faible différence entre les courbes du VDMOS conventionnel et du FLYMOS™ semble être due à la différence de dopage de la couche épitaxiée N⁻. En effet, une différence de dopage de la zone de drift influe sur la déplétion de la structure - relation (3) -. Ainsi, la comparaison des courbes montre que l'insertion d'un îlot flottant sous les zones de Pbody influence peu la capacité grille-drain.

La simulation 2D du FLYMOS™, quant à elle, concorde avec les mesures : nous pouvons donc accorder un bon indice de confiance à nos simulations 2D, en particulier aux modèles et au maillage utilisés.

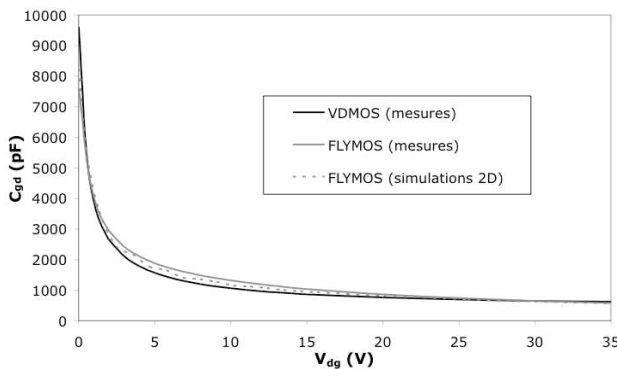


Fig.3. Variation de la capacité grille-drain en fonction de la tension appliquée.

B. Capacité C_{ds}

La figure 4 présente les mesures de la capacité drain-source pour les deux structures et la simulation du FLYMOS™. L'allure de la capacité du FLYMOS™ semble être en $1/\sqrt{V_{ds}}$, comme le VDMOS et comme prédit analytiquement. Le gain en capacité C_{ds} est confirmé. Néanmoins il est difficile de faire une étude comparative détaillée en raison des différences de technologie entre le VDMOS et le FLYMOS™.

La différence entre les courbes de simulation et de mesure est principalement due aux approximations de la simulation. En effet, nous avons simulé la structure en 2D dans un repère cylindrique, ce qui entraîne une différence de volume entre la cellule de base de forme cubique et le cylindre simulé. La surface manquante est une partie de la jonction « P-body/région N⁻ » : elle intervient donc essentiellement dans la valeur de la capacité drain-source (Fig. 4), alors qu'elle n'influencerait pas la capacité grille-drain (Fig. 3).

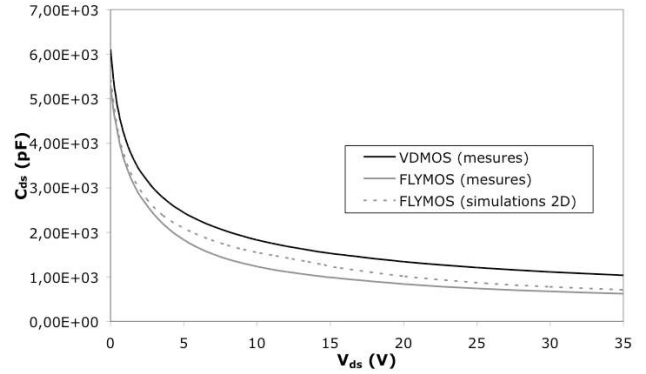


Fig.4. Variation de la capacité drain-source en fonction de la tension appliquée.

Ce résultat semble en contradiction avec des travaux de recherche menés par Saito et al [7]. Ils ont montré une décroissance de la capacité en deux phases pour une diode Schottky à îlots flottants. La figure 5 donne l'allure de la capacité de jonction d'une telle diode qui présente peu de points communs avec l'allure de la capacité drain-source de notre structure FLYMOS™. Saito montre une rupture lorsque la zone de déplétion sous la diffusion P de canal atteint l'îlot. En effet les deux capacités en série se regroupent pour ne devenir qu'une seule capacité. Nous pensons que la petite taille et le faible dopage de nos îlots flottants empêchent de mettre en évidence le phénomène.

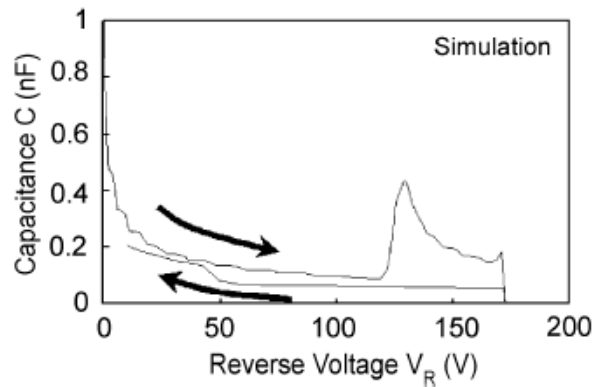


Fig.5. Variation de la capacité de jonction d'une diode Schottky à îlots flottants [7].

C. Charge de grille (Gate charge)

Le principe de la mesure du *gate charge* est d'injecter un courant constant sur la grille pour que celle-ci se charge jusqu'à atteindre une tension de référence. Le temps obtenu est une image de la charge à fournir en entrée du composant pour le rendre passant. Le courant de drain est limité par une charge résistive. La source de courant est commandée par un générateur d'impulsion coupant l'arrivée d'énergie dès que

l'on atteint la tension de référence pour éviter un échauffement interne du composant (Fig. 6).

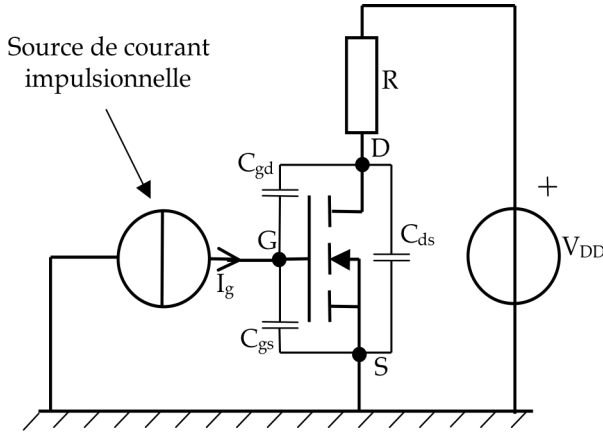


Fig.6. Schéma de principe de la mesure du gate charge avec $R = 2\Omega$ et $I_g = 2mA$.

La figure 7 présente les mesures du *gate charge* pour les deux structures (VDMOS et FLYMOS™) et la simulation du FLYMOS™. En ce qui concerne l'allure des courbes, nous retrouvons les trois phases fondamentales du *gate charge*, c'est-à-dire :

- 1) la charge de la capacité d'entrée ($C_{gdmin} + C_{gs}$) pour que la tension atteigne le seuil de conduction,
- 2) le plateau dû à l'effet Miller,
- 3) la charge de la nouvelle valeur de la capacité d'entrée ($C_{gdmax} + C_{gs}$).

Notons que l'écart de la charge de grille Q_g entre les deux structures est due à la différence d'épaisseur d'oxyde de grille. En comparant plus finement les deux mesures, on peut remarquer que le « plateau Miller » est moins plat pour le FLYMOS™. Néanmoins, nous n'avons pas réussi à justifier ce fait par l'insertion de l'îlot flottant dans la zone de drift.

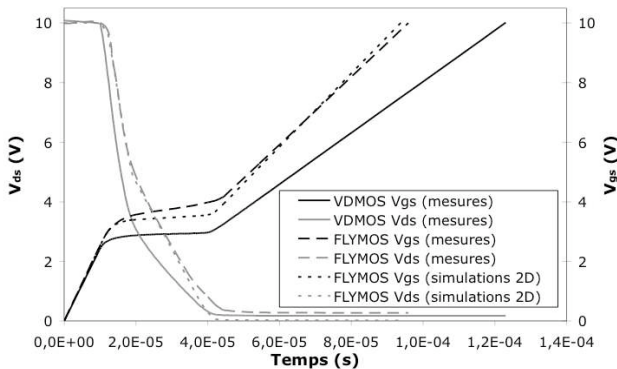


Fig. 7. Formes d'onde mesurées et simulées du gate charge. $Q_g = 192 \text{ nC}$ et 246 nC .

En ce qui concerne la simulation du *gate charge*, la principale différence entre la mesure et la simulation se situe donc au niveau du plateau Miller. La simulation affiche un plateau quasiment plat alors que la mesure présente un angle non négligeable.

D. Simulation prédictives

La comparaison entre les différentes simulations et les mesures nous a permis de valider les modèles utilisés et le

bon comportement de nos simulations ISE en dynamique et en temporel.

Pour compléter notre analyse, il est plus juste de comparer ce FLYMOS™ 65V avec son équivalent en technologie VDMOS conventionnelle (même tenue en tension, même surface active et même épaisseur d'oxyde de grille). Sachant que nos simulations concordent avec les mesures, cette étude comparative peut-être faite à l'aide de simulations 2D. Le tableau 1 donne les principaux paramètres des structures simulées.

Tableau 1 : Principaux paramètres de simulation des structures VDMOS conventionnel et FLYMOS.

	65 Volts VDMOS	65 Volts FLYMOS
Épaisseur de la couche épitaxiée N ⁻ (μm)	4,0	5,35
Dopage de la couche épitaxiée N ⁻ (cm ⁻³)	7×10^{15}	$1,1 \times 10^{16}$
Pic de dopage de la couche enterrée P (cm ⁻³)	—	$3,5 \times 10^{16}$

La figure 8 montre la variation de la capacité grille-drain en fonction de la tension appliquée. Nous ne constatons aucune différence pour les valeurs de C_{gdmax} : C_{gdmax} est le même puisque les épaisseurs d'oxyde de grille sont identiques. Les valeurs de C_{gdmin} sont également proches parce que, à forte polarisation de V_{dg} , les capacités de déplétion C_{gddep} sont relativement faibles et, donc, comparables - relation (3) -. La seule différence concerne la différence de vitesse de déplétion qui dépend du dopage de la zone épitaxiée N⁻ : dans cette partie « intermédiaire », la capacité C_{gd} du FLYMOS™ est légèrement supérieure à celle du VDMOS. La simulation confirme donc que la technologie FLYMOS™ dégrade peu la capacité d'entrée.

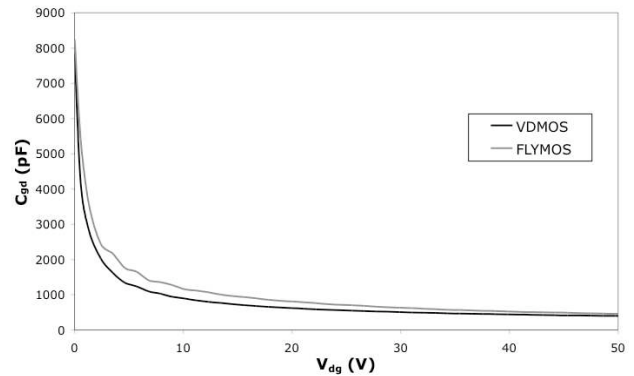


Fig. 8. Variation de la capacité grille-drain simulée en fonction de la tension appliquée pour un FLYMOS et un VDMOS équivalent.

La simulation du *gate charge*, présentée figure 9, montre, quant à elle, une légère dégradation. En s'intéressant aux différentes phases de la simulation du *gate charge*, on se rend compte que la durée du « plateau Miller » est plus longue pour le FLYMOS™ ; la différence de charge de grille Q_g est attribuée en totalité à cet écart de durée. Cette pente dépend de la vitesse de retrait de la zone de déplétion dans la zone de drift. Il reste à déterminer si cette différence provient de l'insertion de l'îlot ou de la différence de dopage dans la zone de drift.

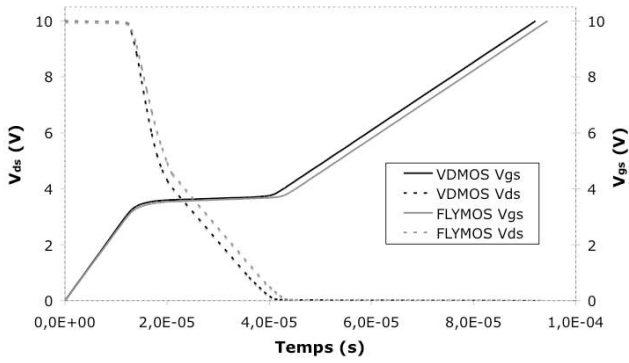


Fig. 9. Formes d'onde simulées du gate charge pour un FLYMOS et un VDMOS équivalent. $Q_g = 184 \text{ nC}$ et 189 nC .

V. CONCLUSION

Dans ce travail, nous avons étudié pour la première fois les performances dynamiques d'un FLYMOS 65V et comparé ses performances à celles de transistors VDMOS conventionnels. Les mesures nous ont permis de constater que les allures des capacités inter-électrodes étaient les mêmes entre un VDMOS conventionnel et un FLYMOS™. De plus, la mesure de *gate charge* ne fait pas apparaître de phénomènes de porteurs minoritaires, malgré l'insertion de l'îlot flottant. Nous avons réussi à corréler les mesures et les différentes simulations avec une structure décrite en 2D dans un repère cylindrique. Enfin, nous avons simulé en 2D le FLYMOS™ 65 Volts et son équivalent en technologie VDMOS conventionnelle afin d'effectuer une comparaison plus équilibrée des deux structures.

Le FLYMOS™ est donc un excellent interrupteur de puissance puisqu'il affiche de faibles pertes en conduction par rapport à un transistor VDMOS conventionnel [2] et quasiment le même comportement en commutation. De plus nous avons validé les modèles dynamiques du logiciel ISE, afin de pouvoir continuer à faire des simulations prédictives sur ce type de structures.

VI. REFERENCES

- [1] N. Cézac, F. Morancho, P. Rossel, H. Tranduc, A. Peyre-Lavigne, "A New Generation of Power Unipolar Devices: the Concept of the FLoating Islands MOS Transistor (FLIMOST)", Proc. ISPSD'2000 (Toulouse, France), pp. 69-72, Mai 2000.
- [2] S. Alves, F. Morancho, J-M. Reynès, J. Margheritta, I. Deram, K. Isoird, H. Tranduc, "Technological realization of low on-resistance FLYMOS™ transistors dedicated to automotive applications", 11th European Conference on Power Electronics and Applications (EPE'2005), Dresde (Allemagne), Septembre 2005.
- [3] X.B. Chen, X. Wang, J.K.O. Sin, "A Novel High-Voltage Sustaining Structure with Buried Oppositely Doped regions", IEEE Trans. On Electron Devices, Vol. 47, n°6, pp. 1280-1285, Juin 2000.
- [4] H. Takaya, K. Miyagi, K. Hamada, Y. Okura, N. Tokura, A. Kuroyanagi, "Floating Island and Thick bottom oxide trench gate MOSFET (FITMOS) - A 60V ultra low On-resistance novel MOSFET with superior internal body diode - ", Proc. ISPSD'05 (Santa Barbara, USA), pp. 43-46, Mai 2005.

[5] T. Fujihira, "Theory of Semiconductor Superjunction Devices", Jpn. J. Appl. Phys., Vol. 36, pp. 6254-6262, 1997.

[6] G. Tardivo, "Le transistor D.MOS Vertical en amplification haute-fréquence de puissance", Thèse de 3ème Cycle, Université Paul-Sabatier de Toulouse, 1987.

[7] W. Saito, I. Omura, K. Takano, T. Ogura, H. Ohashi, "A novel low on-resistance Schottky-barrier diode with p-buried floating layer structure", IEEE Trans. On Electron Devices, Vol. 51, n°5, pp. 797-802, Mai 2004.