HAL
open science

# Validation expérimentale du concept des "îlots flottants": réalisation d'une FLIdiodes verticale 95 volts

Stéphane Alves, Frédéric Morancho, Jean Michel Reynes, J. Margherita, I. Deram, Karine Isoird

## To cite this version:

Stéphane Alves, Frédéric Morancho, Jean Michel Reynes, J. Margherita, I. Deram, et al.. Validation expérimentale du concept des "îlots flottants": réalisation d'une FLIdiodes verticale 95 volts. Seminario Annual de Automática, Electronica Industrial e Instrumentación Electronique de Puissance du Futur, Sep 2004, TOULOUSE, France. pp.4 PAGES. hal-01002131

**HAL Id: hal-01002131**

**https://hal.science/hal-01002131v1**

Submitted on 5 Jun 2014

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# Validation expérimentale du concept des “îlots flottants” : réalisation d’une FLIDiode Verticale 95 Volts

S. Alves[1, 2], F. Morancho[1], J-M. Reynès[2], J. Margheritta[2], I. Deram[2], K. Isoird[1]

[1]LAAS / CNRS, 7 avenue du Colonel Roche, 31077 Toulouse Cedex 4, France
Tel: 33 5 61336488, Fax: 33 5 61336208, e-mail: salves@laas.fr, morancho@laas.fr, kisoird@laas.fr
[2]Freescale Semiconducteurs France SAS, Av du Général Eisenhower, BP 72329, 31023 Toulouse Cedex 1, France
e-mail: stephane.alves@freescale.com, jean-michelreynes@freescale.com, joel.margheritta@freescale.com, ivana.deram@freescale.com

## RESUME

Dans ce papier, le concept des “îlots flottants” a été implémenté sur silicium : pour la première fois une FLIDiode a été fabriquée. Les résultats expérimentaux confirment les simulations prédictives 2D : cette nouvelle diode affiche une importante tenue en tension (aux alentours de 95 Volts) avec une concentration de la couche épitaxiée de $1{,}1.10^{16}$ $cm^{-3}$ qui est habituellement utilisée pour des composants 50 Volts. Ces mesures valident d’une part le concept des “îlots flottants” et, d’autre part, l’efficacité de la structure de bord qui sera utilisée dans la technologie FLIMOS : on peut donc espérer que la résistance spécifique à l’état passant du transistor FLIMOS sera considérablement réduite par rapport à celle du transistor VDMOS conventionnel.

## 1. INTRODUCTION

Le transistor MOS de puissance est un composant très utilisé dans les applications d’électronique de puissance, en raison de ses avantages intrinsèques : forte impédance d'entrée, commutation rapide et stabilité thermique. Le secteur automobile fait appel à l’électronique et plus particulièrement à la microélectronique pour rendre les véhicules plus fiables, plus économiques, plus sûrs, plus confortables et plus écologiques. L’importance de la microélectronique dans ce secteur n’a fait que croître alors que les sources de puissance n’ont radicalement pas progressé. Le développement de nouvelles applications est à ce jour limité par la puissance disponible. Le passage du réseau 14 Volts à un réseau 42 Volts ouvre de grandes perspectives pour les applications futures. L’intérêt de ce travail est de proposer des transistors MOS pour des applications automobiles. Ainsi, les transistors MOS 85V sont des composants de choix pour ces applications. Dans les circuits électroniques de puissance, les transistors MOS de puissance sont principalement utilisés en commutation : leur résistance à l'état passant ($R_{on}$.S) et leur tenue en tension ($BV_{dss}$) sont les deux paramètres les plus importants. Aujourd'hui, pour réduire les pertes en conduction dans un transistor MOS, il faut réduire sa résistance à l'état passant. Le transistor Vertical Double diffusé MOS - VDMOSFET - (Fig. 1) est la structure MOS de puissance la plus utilisée. Cette structure est basée sur la double diffusion des régions P-body et $N^+$ de source en utilisant le polysilicium comme masque. La tenue en tension de cette structure est donnée par le claquage de la jonction "P-body/épitaxie $N^-$" qui dépend à la fois de l’épaisseur et du dopage de la région faiblement dopée (c’est-à-dire de la région épitaxiée $N^-$, dans le cas des transistors VDMOS à canal N) [1].

Les avancées technologiques ont permis d’augmenter la densité d'intégration des transistors et, par conséquent, de réduire la résistance à l'état passant. Cependant cette amélioration a été limitée par les équipements d'une part et par la tenue en tension d'autre part, qui nécessite une couche épitaxiée faiblement dopée et relativement épaisse.

Récemment, plusieurs configurations de transistors MOS ont été proposées afin de réduire cette résistance, tout en conservant une tenue en tension élevée : on peut citer les composants à îlots flottants [2], [3], [4] et les composants à Superjonction [5].

Les composants unipolaires à “îlots flottants”, tels que le FLIMOSFET [1], l’ODBR (Opposite Doped Buried Regions) MOSFET [2] et la Diode Schottky à couche enterrée P [3], présentent de plus faibles valeurs de résistance à l’état passant que les composants unipolaires conventionnels pour des applications moyenne et haute tensions (supérieures à 100 Volts). Il a également été montré [1] qu’ils étaient de sérieux concurrents des composants à Superjonction [4] pour des tensions inférieures à 600 Volts ; de plus,

la technologie nécessaire à la fabrication de tels composants est moins complexe que celle utilisée pour les Superjonctions [3]. Les transistors FLIMOS Verticaux à canaux N pour les applications automobiles (batteries duales 12 V / 42 V, c'est-à-dire pour des composants ayant une tenue en tension inférieure à 100 Volts) ont pour la première fois été proposés à l'ISPSD'03 [5]. En terme de compromis "résistance à l'état passant / tenue en tension", le transistor FLIMOS avec un seul îlot flottant P entre le drain et la source s'avère être un des meilleurs transistors MOS de puissance pour des applications basse tension [5]. Dans ce papier, nous proposons de valider expérimentalement le concept des "îlots flottants" par la réalisation d'une Diode à Ilots Flottants (FLIDiode).

## 2. PRINCIPE DES ILOTS FLOTTANTS

### 2.1. Principe

Des coupes schématiques du transistor DMOS Vertical conventionnel (transistor VDMOS) et du transistor FLIMOS Vertical sont présentées Figures 1 et 2. La différence majeure consiste en l'introduction d'une couche enterrée P (appelée îlot flottant) dans la couche épitaxiée $N^-$ ; cette couche enterrée P est localisée sous la jonction plane $P/N^-$ ce qui permet, à l'état bloqué, de diviser le champ électrique en deux (Fig. 3) autorisant ainsi une augmentation de la tenue en tension pour une même concentration de la couche épitaxiée $N^-$. En d'autres termes, pour obtenir une tenue en tension identique à celle du transistor VDMOS, le dopage de la couche épitaxiée $N^-$ doit être augmenté.

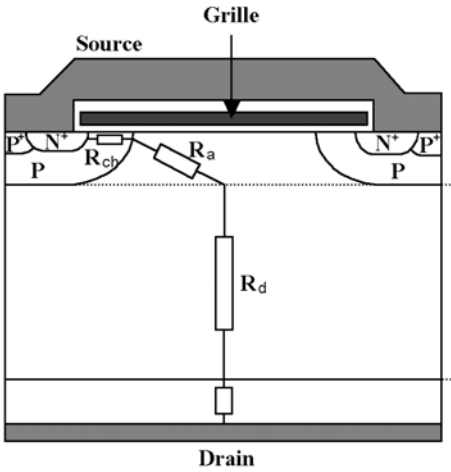


Fig. 1 : Transistor VDMOS conventionnel.

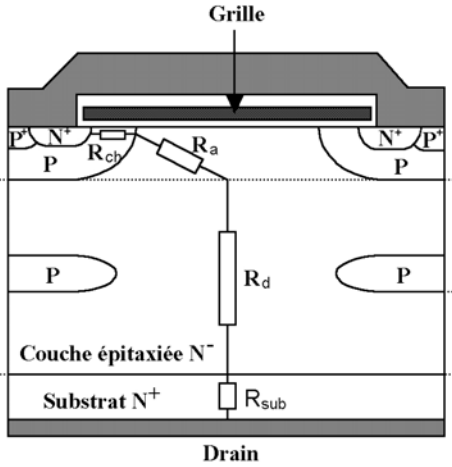


Fig. 2 : FLIMOS Vertical avec une couche enterrée flottante P entre le drain et la source.

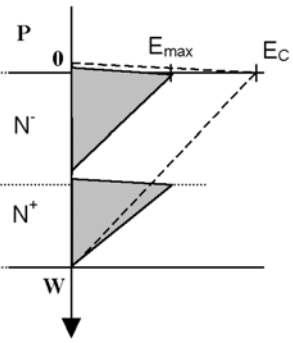


Fig. 3 : Distribution théorique du champ électrique du VDMOS conventionnel et du FLIMOS en régime bloqué.

### 2.2. Paramètres des composants

Les principaux paramètres du VDMOS et du FLIMOS sont donnés (Tableau 1).

| | MOS et Diode conventionnels | FLIMOS / FLIDiode Cellule centrale | FLIMOS / FLIDiode Cellule de bord |
|---|---|---|---|
| Épaisseur de la couche épitaxiée $N^-$ (µm) | 4,75 | 4,05 | 4,05 |
| Résistivité de la couche épitaxiée $N^-$ (Ω.cm) | 1,05 | 0,50 | 0,50 |
| Concentration maximale du P flottant ($cm^{-3}$) | -- | $10^{17}$ | $10^{17}$ |
| Concentration maximale du P flottant latéral ($cm^{-3}$) | -- | -- | $10^{19}$ |

Tableau 1 : Paramètres principaux du transistor MOS conventionnel et du FLIMOS (et de leurs diodes équivalentes).

Lorsque la tenue en tension des deux composants est de 85 V, la concentration de la couche épitaxiée $N^-$ du transistor VDMOS est de $5{,}5.10^{15}$ $cm^{-3}$ et de $1{,}1.10^{16}$ $cm^{-3}$ pour le transistor FLIMOS.

## 3. RESULTATS ET DISCUSSION

Afin de valider le concept des "îlots flottants", nous avons étudié et réalisé une FLIDiode. Cette étude traite du comportement à l'état bloqué de la FLIDiode comparé à une diode $PN^-N^+$ conventionnelle. Les paramètres principaux des deux diodes sont donnés tableau 1. La principale différence entre une diode conventionnelle et la FLIDiode consiste en l'introduction d'une couche enterrée P dans la couche épitaxiée $N^-$.

Concernant l'état bloqué, on peut noter que les simulations 2D confirment ce que nous

espérions (Fig. 4) : le champ électrique maximal est divisé est deux parties, une localisée à la jonction P-body/épi $N^-$, et l'autre à la jonction couche enterrée P/épi $N^-$; la Figure 4 montre le dopage (Fig. 4a), la distribution du champ électrique (Fig. 4b) et la distribution du potentiel (Fig. 4c) au claquage dans la cellule centrale de la FLIDiode.

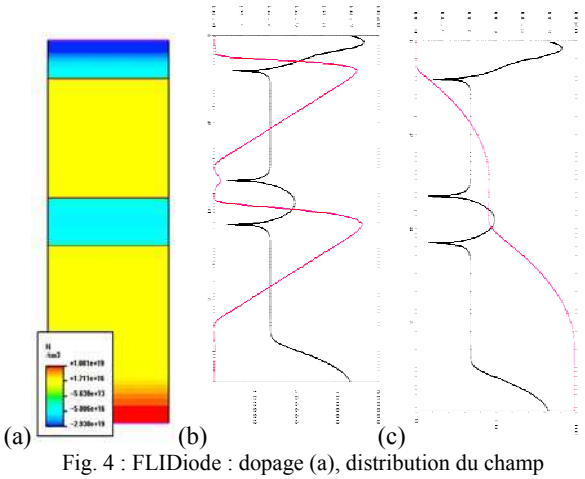


Fig. 4 : FLIDiode : dopage (a), distribution du champ électrique (b), du potentiel (c) au claquage.

En raison du dopage élevé de la couche épitaxiée dans ce nouveau composant, il est important de trouver une terminaison (cellule de bord) efficace : la coupe schématique de la cellule de bord de la FLIDiode est présentée Figure 5.

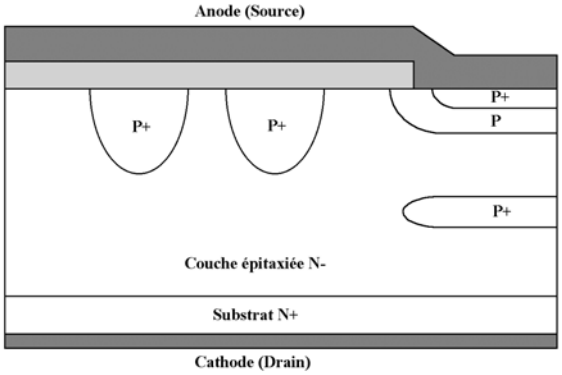


Fig. 5 : Cellule de bord de la FLIDiode Verticale.

Lors de l'étude théorique (simulation 2D), la cellule centrale et la cellule de bord de la FLIDiode présentaient une tenue en tension identique (95 Volts) (Fig. 4c). Au claquage, cette structure est bien en configuration de non perçage. On constate que le claquage se produit bien au droit de la jonction $P^+N^-$ et que le champ électrique est bien linéaire par morceaux. Les îlots $P^+$ jouent donc bien leur rôle de diviseurs de champ électrique. On peut également observer que le potentiel, qui est parabolique par morceaux, est uniquement supporté par les couches $N^-$. En effet, on n'observe aucune chute de tension dans les îlots $P^+$. Sur la cellule de bord, l'emplacement des deux îlots flottants $P^+$ en surface a été optimisé afin de répartir le champ électrique entre les deux îlots en surface, l'îlot dans le volume et la jonction cylindrique $P/N^-$. La Figure 6 présente le dopage de la cellule de bord de la FLIDiode Verticale. La Figure 7 montre la simulation 2D de la distribution du champ électrique au claquage dans la cellule de bord de la FLIDiode. La profondeur des îlots flottants latéraux est un paramètre très important : plus ces îlots sont profonds, plus les lignes de potentiel sont repoussées dans le volume, provoquant ainsi le claquage de la jonction plane $P/N^-$.

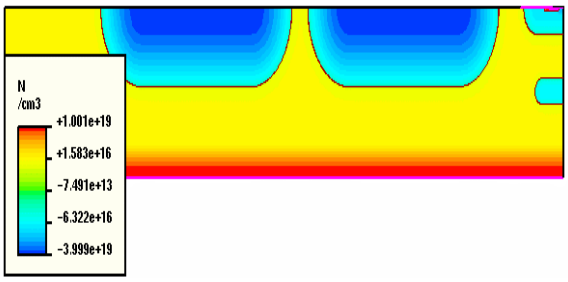


Fig. 6 : Dopage de la cellule de bord de la FLIDiode Verticale.

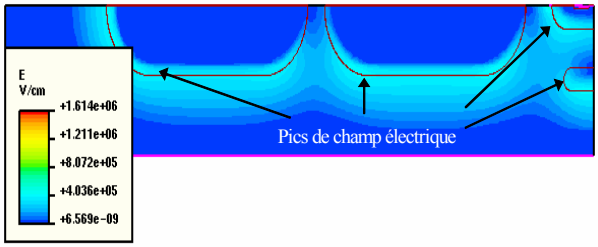


Fig. 7 : Distribution du champ électrique au claquage de la cellule de bord de la FLIDiode Verticale.

Ces FLIDiodes ont été réalisées sur silicium : la Figure 8 montre la variation de la tenue en tension en fonction de l'épaisseur de la deuxième épitaxie ; nous avons obtenu une large fenêtre de fonctionnement supérieure à 85 Volts.

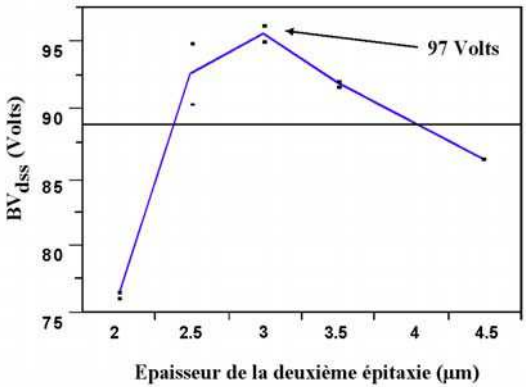


Fig. 8 : Tenue en tension mesurée de la FLIDiode en fonction de l'épaisseur de la 2i$^{ème}$ épitaxie.

Ce travail valide donc le concept des îlots flottants mais également l'efficacité de la cellule de bord. Cette nouvelle diode présente une tenue en tension élevée avec un dopage de la couche épitaxiée $N^-$ de $1{,}1.10^{16}$ $cm^{-3}$ qui est habituellement utilisé pour des composants 50 Volts.

La Figure 9 présente les tensions de claquage mesurées de la diode conventionnelle (50 Volts) et de la FLIDiode Verticale (97 Volts), pour un même dopage de la couche épitaxiée $N^-$ ($1{,}1.10^{16}$ $cm^{-3}$).

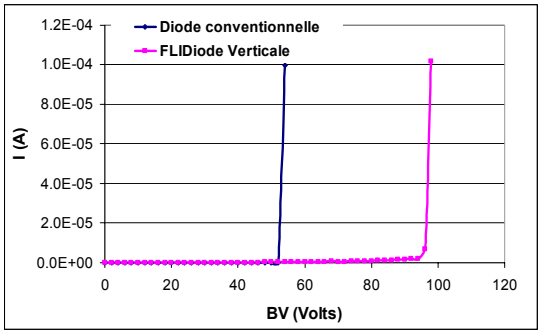


Fig. 9 : Tensions de claquage mesurées de la diode conventionnelle et de la FLIDiode Verticale.

Par ailleurs, les mesures $V_f$, présentées Figure 10, montrent que l'îlot flottant P est complètement transparent lorsque l'on compare la Diode conventionnelle (50 Volts) et la FLIDiode Verticale (97 Volts). L'îlot flottant P n'a donc pas d'impact sur le $V_f$.

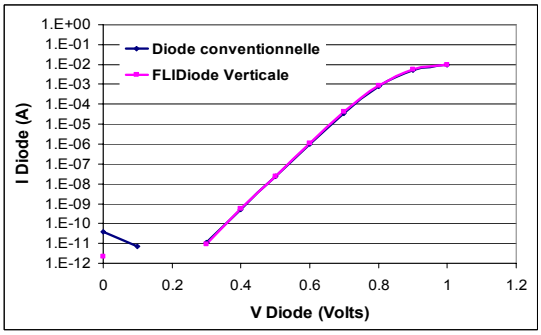


Fig. 10 : Mesures $V_f$ de la diode conventionnelle et de la FLIDiode Verticale.

La prochaine étape de ce travail sera de valider ce concept sur un transistor FLIMOS : avec un tel niveau de dopage de la couche épitaxiée, nous pouvons légitimement espérer que la résistance passante spécifique sera considérablement réduite par rapport aux transistors VDMOS conventionnels [5], [6]. Ce transistor FLIMOS utilisera la même terminaison que la FLIDiode verticale. Le procédé technologique est en cours et utilise plusieurs niveaux d'épitaxie (Figure 11, profil de dopage SUPREM).

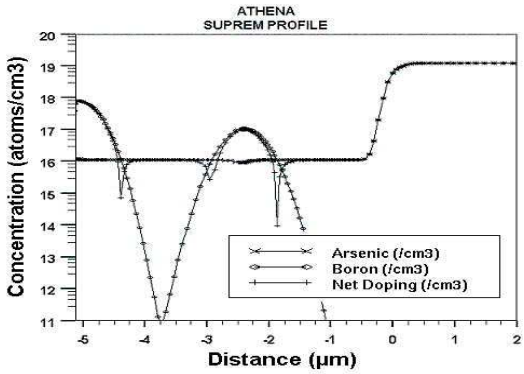


Fig. 11 : Profil SUPREM du transistor FLIMOS. '0 µm' correspond à l'interface substrat / couche épitaxiée. La distance '- 5,15 µm' correspond à la surface du composant.

Les transistors FLIMOS deviennent intéressants lorsque l'on augmente la tenue en tension. Pour une même tenue en tension (environ 85 Volts), il a été montré que la résistance à l'état passant du transistor FLIMOS (qui utilise des carrés flottants P) était réduite de 33% par rapport à un transistor MOS conventionnel [5].

## 4. CONCLUSION

Dans ce papier, le concept des "îlots flottants" a été implémenté sur silicium : pour la première fois une FLIDiode a été fabriquée. Les résultats expérimentaux confirment les simulations prédictives 2D : cette nouvelle diode affiche une importante tenue en tension (aux alentours de 95 Volts) avec une concentration de la couche épitaxiée $N^-$ de $1{,}1.10^{16}$ $cm^{-3}$ qui est habituellement utilisée pour des composants 50 Volts. Ces mesures valident d'une part le concept des "îlots flottants" et, d'autre part, l'efficacité de la structure de bord qui sera utilisée dans la technologie FLIMOS : on peut donc espérer que la résistance spécifique à l'état passant du transistor FLIMOS sera considérablement réduite par rapport à celle du transistor VDMOS conventionnel.

## 5. RÉFÉRENCES


[1] N. Cézac, F. Morancho, P. Rossel, H. Tranduc, A. Peyre-Lavigne, "A New Generation of Power Unipolar Devices: the Concept of the FLoating Islands MOS Transistor (FLIMOST)", Proc. ISPSD'2000 (Toulouse, France), pp. 69-72, Mai 2000.

[2] X.B. Chen, X. Wang, J.K.O. Sin, "A Novel High-Voltage Sustaining Structure with Buried Oppositely Doped regions", IEEE Trans. On Electron Devices, Vol. 47, n°6, pp. 1280-1285, Juin 2000.

[3] W. Saitoh, I. Omura, K. Tokano, T. Ogura, H. Ohashi, "Ultra Low On-Resistance SBD with P-Buried Floating Layer", Proc. ISPSD'02 (Santa Fe, USA), pp. 33-36, Juin 2002.

[4] T. Fujihira, "Theory of Semiconductor Superjunction Devices", Jpn. J. Appl. Phys., Vol. 36, pp. 6254-6262, 1997.

[5] S. Alves, F. Morancho, J-M. Reynès, B. Lopes, "Vertical N-channel FLIMOSFETs for Future 12 V / 42 V Dual Batteries Automotive Applications", Proc. ISPSD'2003 (Cambridge, England), pp. 308-311, Avril 2003.