



HAL
open science

Métallisations cuivre 3D pour des passifs performants et l'interconnexion de puces MMIC

Ayad Ghannam, David Bourrier, Lamine Ourak, Christophe Viallon, Thierry Parra

► **To cite this version:**

Ayad Ghannam, David Bourrier, Lamine Ourak, Christophe Viallon, Thierry Parra. Métallisations cuivre 3D pour des passifs performants et l'interconnexion de puces MMIC. 18èmes Journées Nationales Microondes, May 2013, Paris, France. pp.4. hal-00924158

HAL Id: hal-00924158

<https://hal.science/hal-00924158>

Submitted on 6 Jan 2014

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Métallisations cuivre 3D pour des passifs performants et l'interconnexion de puces MMIC

Ayad Ghannam¹, David Bourrier¹, Lamine Ourak^{1,2}, Christophe Viallon^{1,2}, Thierry Parra^{1,2}

¹ CNRS ; LAAS ; 7 avenue Colonel Roche, F-31077 Toulouse, France

² Université de Toulouse ; UPS ; LAAS ; F-31077 Toulouse, France

aghannam@laas.fr, bourrier@laas.fr, lourak@laas.fr, cviallon@laas.fr, parra@laas.fr

Résumé

Ce papier décrit un procédé technologique faible coût capable d'intégrer, directement sur une puce active et en une seule étape de croissance électrolytique, des interconnexions et des inductances 3D multi-niveaux très faibles pertes. Ce procédé apparaît aussi adapté à l'interconnexion de puces pour des applications du type « System in Package – SiP ». Il s'appuie sur l'utilisation des résines polymères SU-8 et BPN ainsi que sur un procédé d'électrodéposition de cuivre, optimisé pour réaliser des métallisations 3D. Pour démontrer les potentialités de ce procédé, des inductances à fort coefficient de surtension (58 @ 5 GHz) ont été intégrées en dessus d'un transistor LDMOS de puissance. De même, des puces MMIC ont été interconnectées en intégrant simultanément des passifs inductifs.

1. Introduction

Avec la demande sans cesse croissante de systèmes intégrés de plus en plus miniaturisés, performants, fiables et faibles coûts, les fabricants doivent proposer de nouvelles technologies d'intégration efficaces qui satisfassent ces contraintes. Les technologies silicium sont ainsi très attractives. Cependant, compte tenu des développements avancés au niveau des composants actifs, la partie la plus exigeante pour ces technologies est devenue leur capacité d'intégrer des interconnexions et des dispositifs passifs faibles pertes, notamment des inductances, en tenant compte de la nature du substrat (résistivité et propriétés diélectriques). De nombreuses propositions visent l'amélioration des performances des inductances, en utilisant des substrats fortement résistifs en Si [1], en SOI [2] ou organiques [3][4], en gravant le silicium sous les inductances [5], en utilisant un plan de masse structuré [6][7], des spacers [8] ou en intégrant des structures suspendues ou tridimensionnelles [9]-[11]. Cependant, soit ces procédés restent limités au niveau des performances qu'ils permettent d'atteindre, soit ils sont la plupart du temps complexes à mettre en œuvre, onéreux, ou bien même incompatibles avec les technologies actives sur silicium empêchant ainsi leur utilisation à grande échelle.

Nous avons donc développé une technologie d'interconnexion cuivre 3D qui tente d'apporter une

réponse exempte des inconvénients cités auparavant. Efficace, simple, faible coût et compatible avec les techniques conventionnelles de lithographie et de croissance électrolytique de cuivre, ce procédé est capable de réaliser des interconnexions multi-niveaux et des composants passifs inductifs 3D très faibles pertes en une seule étape de métallisation. Les faibles températures qu'il nécessite le rendent compatible avec une intégration sur puce (Above-IC), ainsi que pour la connexion de puces dans la réalisation des systèmes électroniques.

2. Procédé technologique

Les principales originalités du procédé résident dans la structuration du polymère SU-8 ainsi que dans la croissance tridimensionnelle du cuivre en une seule étape, pour la réalisation des interconnexions et des inductances 3D. De même, quand aucun croisement n'est nécessaire, une ligne de connexion peut être intégrée sur plusieurs niveaux diélectriques en une étape unique de croissance de cuivre, alors que pour la plupart des technologies existantes une étape par niveau est nécessaire ainsi que des étapes supplémentaires pour la réalisation des trous métallisés connectant les divers niveaux entre eux.

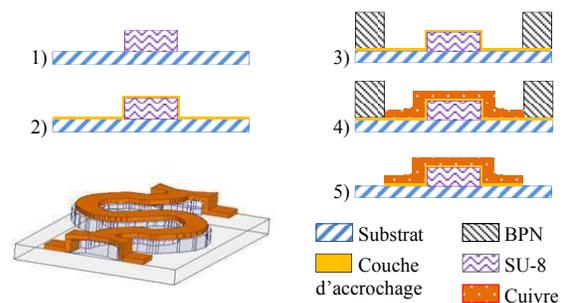


Figure 1. Intégration d'une inductance interconnectée en 3D en utilisant le procédé technologique

Pour réaliser les interconnexions 3D multi-niveaux en cuivre, quatre étapes sont nécessaires (Figure 1): 1/ déposer et structurer le diélectrique polymère épais en SU-8 sur la surface du substrat ; 2/ déposer une couche d'accrochage 3D uniforme ; 3/ réaliser un moule épais en résine BPN pour le dépôt électrolytique de cuivre ; 4/

faire croître la couche de métallisation 3D en utilisant un procédé de dépôt électrolytique optimisé.

2.a. Couche diélectrique

La structuration de la couche diélectrique épaisse (> 50 μm) représente un point clé du procédé. Le diélectrique n'est conservé que sous les bandes métalliques afin d'éloigner l'interconnexion du substrat tout en permettant un accès direct aux motifs métalliques du niveau inférieur (Figure 2a). Ce principe permet aussi de limiter les contraintes mécaniques subies par le substrat hôte. De plus, le procédé n'est pas limité à une seule couche diélectrique. En effet, l'addition de couches diélectriques supplémentaires permet de réaliser des interconnexions 3D multi-niveaux en utilisant une étape unique de croissance de cuivre (Figure 2b).

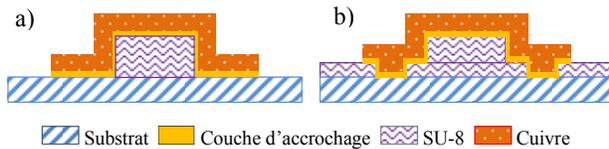


Figure 2. Méthodes pour réaliser des interconnexions 3D en utilisant : a) une couche diélectrique, b) deux couches diélectriques

Le matériau utilisé pour réaliser la couche diélectrique peut être n'importe quelle résine polymère photosensible (BCB, Polyimide, ...). Parmi les résines diélectriques disponibles, le choix a été fixé sur la SU-8 du fait de ses propriétés technologiques (réalisation de fortes épaisseurs, faibles contraintes, flancs droits ...) et électriques pour des applications jusqu'à la dizaine de GigaHertz [12]. Le Tableau 1 présente les procédés développés pour déposer une couche diélectrique en SU-8 ayant une épaisseur de 45 ou 90 μm .

Étapes	Épaisseur	
	45 μm	90 μm
Enduction	SU-8 3025 3000 tr/min 30s	SU-8 3050 1500 tr/min 30s
	1 min à 65 °C	1 min à 65 °C
Pré-recuit	30 min à 95 °C	44 min à 95 °C
	220 mj/cm ²	360 mj/cm ²
Insolation (UV)	1 min à 65 °C	1 min à 65 °C
	3 min à 95 °C	3 min à 95 °C
Recuit post-insolation	PGMEA 12 min	PGMEA 15 min
	1 min à 65 °C	1 min à 65 °C
Développement	2 min à 125 °C	2 min à 125 °C
	1 min à 65 °C	1 min à 65 °C
Recuit final	2 min à 125 °C	2 min à 125 °C

Tableau 1. Procédés pour obtenir deux épaisseurs de SU-8

2.b. Couche d'accrochage 3D

Afin de permettre le dépôt 3D du cuivre en utilisant une étape unique de croissance électrolytique, une couche d'accrochage 3D est nécessaire. De plus, cette couche doit avoir une excellente continuité électrique pour garantir un dépôt électrolytique homogène du cuivre. Cependant, compte tenu de la forte épaisseur de

la SU-8 et des flancs verticaux des motifs qui y sont gravés, le dépôt d'une couche d'accrochage 3D uniforme s'est avéré difficile. En effet, selon la nature, la taille et la densité des motifs en SU-8 ainsi que la technique utilisée pour le dépôt de la couche d'accrochage, des discontinuités peuvent apparaître dans cette dernière. Ces discontinuités, créées par des phénomènes d'ombre, se manifestent dans la couche d'accrochage sous forme de trous et de zones amincies (Figure 3a), empêchant la croissance uniforme et continue du cuivre électrolytique. Plusieurs équipements et combinaisons de métaux ont été testés afin d'aboutir à une couche d'accrochage uniforme (Figure 3b). Les résultats de ces essais ont montré qu'une excellente uniformité est obtenue en déposant, soit par évaporation soit par pulvérisation cathodique, une couche d'accrochage en Ti/Cu ou en Ti/Au ayant une épaisseur de 1000/2000 Å. (Figure 4).

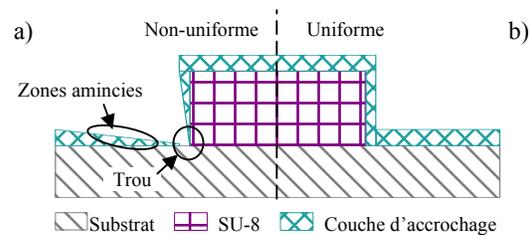


Figure 3. Vue en coupe illustrant les difficultés rencontrées lors du dépôt d'une couche d'accrochage 3D

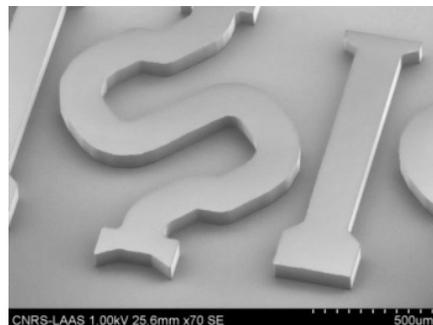


Figure 4. Microphotographie MEB de motifs en SU-8 recouverts par une couche d'accrochage

2.c. Résine pour réaliser des moules épais

Compte tenu de la présence de motifs en SU-8 en surface du wafer, la résine utilisée pour réaliser le moule nécessaire au dépôt électrolytique de cuivre doit présenter une épaisseur supérieure à la somme des épaisseurs de la SU-8 et du cuivre. De même, elle doit présenter des rapports de formes importants pour permettre une grande résolution lors de la réalisation des interconnexions. Parmi les résines épaisses disponibles, seules la SU-8 et la BPN sont en mesure de satisfaire ces exigences. Cependant, l'utilisation de la SU-8 a été écartée car sa gravure s'accompagne d'une détérioration des métallisations en cuivre. Le choix a donc été fixé sur la résine BPN, puisqu'elle peut être dissoute facilement sans attaque des métallisations adjacentes.

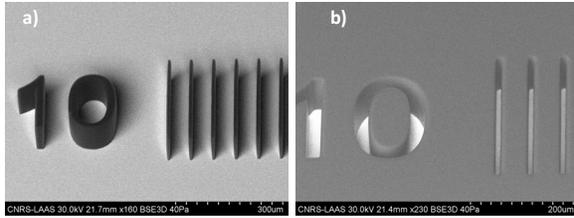


Figure 5. Micrographies SEM montrant le grand rapport de forme de la BPN, obtenu après optimisation du procédé. a) lignes, b) ouvertures

Le procédé de dépôt de la BPN est composé de 4 étapes : 1/ enduction, 2/ pré-recuit, 3/ isolation, 4/ développement. Bien que la BPN soit commercialisée avec un faible rapport de forme (2:1) comparé à la SU-8, l'optimisation du procédé mis en place pour cette résine a permis d'atteindre un rapport de forme de 16 :1 (Figure 5). La principale difficulté était de trouver les valeurs appropriées pour la température et le temps de recuit, pour la dose d'insolation ainsi que pour le temps de développement, en tenant compte des différences d'épaisseur de la BPN. Ces différences résultent de la présence de motifs en SU-8 en surface du wafer (Figure 6). Le temps d'insolation était le paramètre le plus sensible puisqu'il fallait trouver la dose UV nécessaire à la polymérisation des zones épaisses de la BPN sans surexposer les zones fines.

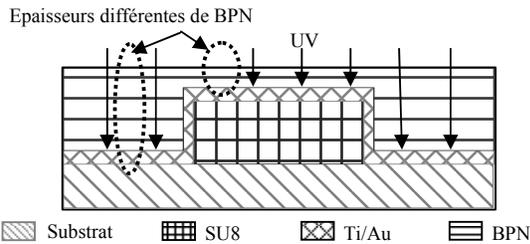


Figure 6. Illustration de la différence d'épaisseur de la BPN et de la difficulté pour son insolation

Pour déposer 160 µm de BPN, les étapes technologiques du procédé optimisé sont les suivantes :

1. Enduction de 8 ml de BPN 100A à 500 tours/min pendant 30s
2. Recuit pendant 3 min à 60°C puis 5 min à 120°C
3. Insolation UV avec une dose de 2500 mj/cm²
4. Développement pendant 10 min avec du TMAH

2.d. Procédé de dépôt du cuivre électrolytique

Le but de ce travail était de réaliser des interconnexions 3D en utilisant une étape unique de croissance électrolytique. Bien que les étapes précédentes du procédé soient cruciales pour l'obtention des structures 3D, le procédé de croissance électrolytique est d'une importance égale puisqu'il doit être en mesure de réaliser simultanément des transitions métalliques verticales et horizontales. Ceci a nécessité un travail considérable pour régler correctement tous les paramètres du procédé de croissance électrolytique, tels que les concentrations des additifs et la température du bain ainsi que la densité du courant de dépôt.

Nous avons effectué des tests à 25°C en utilisant un bain contenant 25 g/L de cuivre et des densités de courant allant de 0.5 à 6A/dm². La Figure 7 montre qu'une densité de courant de 2A/dm² donne le meilleur résultat puisque le cuivre présente une faible rugosité et les moules en BPN ne se sont pas cassés lors du dépôt. Une fois la densité de courant connue, il suffit d'ajuster le temps du dépôt pour obtenir l'épaisseur de cuivre désirée.

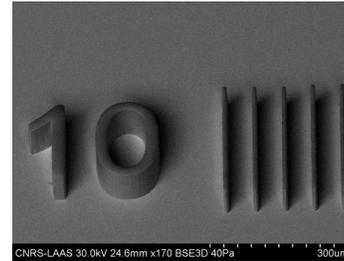


Figure 7. Micrographie SEM du cuivre après croissance dans un moule en BPN de 100µm d'épaisseur

3. Réalisations expérimentales

Après validation de chacune des étapes technologiques, des inductances interconnectées en 3D ont été dimensionnées et intégrées au-dessus d'un transistor LDMOS RF de puissance 50 W, pour former les réseaux de préadaptation d'impédances (Figure 8a). Dans un premier temps, ces inductances ont été intégrées et caractérisées isolément en utilisant un substrat très faible résistivité identique au substrat LDMOS. Les étapes suivantes ont été utilisées pour réaliser ces inductances :

1. Dépôt et structuration d'une première couche de SU-8 ayant une épaisseur de 45 µm
2. Dépôt et structuration de la deuxième couche de SU-8 ayant une épaisseur de 45 µm
3. Dépôt d'une couche d'accrochage en Ti/Au ayant une épaisseur de 1000/2000 Å
4. Dépôt et structuration d'une couche en BPN ayant une épaisseur de 160 µm pour réaliser le moule de dépôt électrolytique
5. Croissance de 30 µm de cuivre
6. Gravure de la BPN et de la couche d'accrochage

Des mesures sous pointes ont été réalisées en utilisant un analyseur de réseau vectoriel (Anritsu 37397C) et une station sous pointes. Un calibrage SOLT a été effectué pour localiser le plan de référence du signal RF au niveau des pointes et des motifs open/short ont été utilisés pour éplucher les accès coplanaires. Des mesures des paramètres-S, un facteur de qualité maximal de 58 @ 5 GHz pour une inductance totale de 0.8 nH a été relevé (Figure 8b). Pour le transistor intégrant le réseau de préadaptation, les mesures load-pull ont révélé un rendement de l'ordre de 60% à 2.4 GHz. Les résultats des caractérisations de ces puces ont montré que cette technologie pouvait remplacer avantageusement les fils micro-soudés utilisés jusqu'à présent.

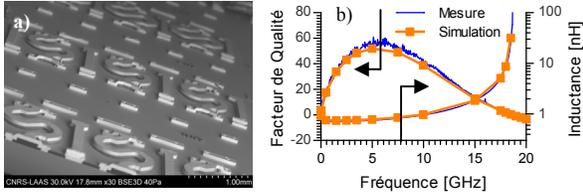


Figure 8. a) micrographie MEB des inductances intégrées, b) facteur de qualité et inductance mesurés

Ce procédé peut aussi convenir pour une interconnexion système de puces, compatible avec les applications SiP (Figure 9). Pour ce faire, les puces sont reportées sur un substrat vierge et toutes les interconnexions et les inductances à fort coefficient de surtension sont réalisées en une seule étape de métallisation. Cette solution conduit ainsi à l'intégration de systèmes miniaturisés, fiables et performants, tout en réduisant les temps et les coûts de fabrication.

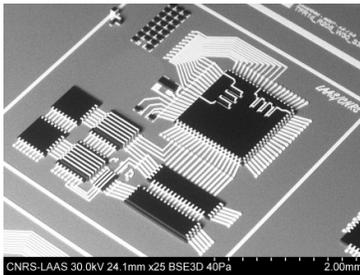


Figure 9. Image MEB de la réalisation simultanée d'interconnexions de puces et de passifs inductifs

4. Conclusion

Nous avons présenté un procédé d'interconnexion 3D multi-niveau, simple, efficace et faible coût. Celui-ci s'appuie sur la structuration de la SU-8, le dépôt d'une couche d'accrochage 3D, la fabrication d'un moule épais en résine BPN et, enfin, la croissance électrolytique 3D de cuivre. Ce procédé a conduit à la réalisation d'inductances above-IC pour lesquelles nous avons mesuré un coefficient de surtension de 58 @ 5 GHz pour une inductance totale de 0.8 nH. Ces inductances ont été appliquées avec succès pour la préadaptation de transistors RF LDMOS 50W. Nous avons aussi démontré les potentialités de ce procédé pour l'assemblage 3D de puces [13].

Ce procédé paraît très intéressant pour nombre d'applications RF, en permettant la réalisation d'antennes on-chip, d'inductances 3D et de baluns/transformateurs 3D.

Remerciements :

Nous tenons à remercier Messieurs JM. Boulay et G. Bouisse de la société Freescale Semiconductors pour la fourniture des transistors LDMOS RF.

Bibliographie

[1] K. B. Ashby, *et al.*, "High Q inductors for wireless applications in a complementary silicon bipolar

process," *IEEE J. Solid-State Circuits*, vol. 31, pp. 4-9, Jan. 1996.

- [2] F. Giancesello, *et al.*, "High current 3D symmetrical inductor integrated in an advanced HR SOI CMOS technology targeting RF power applications," in *Radio Frequency Integrated Circuits Symposium, 2009. RFIC 2009. IEEE, 2009*, pp. 517-520.
- [3] Y. Wansuk, A. Bavisi, V. Sundaram, M. Swaminathan, and E. Engin, "3D integration and characterization of high Q passives on multilayer liquid crystalline polymer (M-LCP) based substrate," in *Microwave Conference Proceedings, 2005. APMC 2005. Asia-Pacific Conference Proceedings, 2005*, p. 4 pp.
- [4] S. Dalmia, F. Ayazi, M. Swaminathan, M. Sung Hwan, L. Seock Hee, K. Woopong, K. Dongsu, S. Bhattacharya, V. Sundaram, G. White, and R. Tummala, "Design of inductors in organic substrates for 1-3 GHz wireless applications," in *Microwave Symposium Digest, 2002 IEEE MTT-S International, 2002*, pp. 1405-1408.
- [5] G. Lei and L. Xinxin, "Concave-Suspended High-Q Solenoid Inductors With an RFIC-Compatible Bulk-Micromachining Technology," *Electron Devices, IEEE Transactions on*, vol. 54, pp. 882-885, 2007.
- [6] C. P. Yue and S. Simon, "On-chip spiral inductors with patterned ground shields for Si-based RF ICs," *IEEE J. Solid-State Circuits*, vol. 33, pp. 743-752, May 1998.
- [7] J.N. Burghartz, "Progress in RF inductors on silicon-understanding substrate losses", *IEEE International Electron Devices Meeting (IEDM)*, 1998, pp. 523-526.
- [8] M. Bartek, S. Sinaga, and J. Burghartz, "Vertical Integration of RF Passive Components in Stacked Wafer-Level Packages," in *European Microelectronics and Packaging Conference & Exhibition (EMPC). 2005*, Brugge, Belgium, IMAPS, 2005, pp. 190-194.
- [9] N. Chomnawang, J.-B. Lee, and W. A. Davis, "Micromachined on-Chip 3D Inductors," in *Emerging Telecommunication Technologies Conference, 2002 IEEE*, Richardson, TX, 2002.
- [10] O. Jun-Yu, *et al.*, "Fabrication and Characterization of Microscaled On-Chip Toroidal Inductors," *Magnetics, IEEE Transactions on*, vol. 45, pp. 4767-4769, 2009.
- [11] R. Hsu, S. Muthukumar, Z. Guizhen, and H. Jiangqi, "3-D integrated inductor on silicon backend using compliant interconnect process for 10GHz low jitter VCO application," in *Electronic Components and Technology Conference, 2006. Proceedings. 56th*, 2006, p. 6 pp.
- [12] A. Ghannam, *et al.*, "Dielectric microwave characterization of the SU-8 thick resin used in an above IC process," in *Microwave Conference, 2009. EuMC 2009. European, 2009*, pp. 1041-1044.
- [13] A. Ghannam, *et al.*, "3D Multi-layer Copper Interconnects for High Performance Monolithic Devices and Passives", *Components, Packaging and Manufacturing Technology, IEEE Transactions on*, 2013.