



HAL
open science

Méthodologie d'analyse et de développement d'un applicatif de test à des fins de diagnostic

Rachel Ares Belkheiri, Frédéric Deschamps

► **To cite this version:**

Rachel Ares Belkheiri, Frédéric Deschamps. Méthodologie d'analyse et de développement d'un applicatif de test à des fins de diagnostic. QUALITA2013, Mar 2013, Compiègne, France. hal-00823143

HAL Id: hal-00823143

<https://hal.science/hal-00823143>

Submitted on 16 May 2013

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Méthodologie d'analyse et de développement d'un applicatif de test à des fins de diagnostic

Application à des équipements électroniques critiques embarqués à des fins de Troubleshooting (Locavar)

DESCHAMPS Frédéric
Direction Technique De L'Innovation
LGM
Toulouse, France
Frederic.deschamps@lgm.fr

COURTIAL Sébastien,
Direction Opérationnelle
LGM Ingénierie
Toulouse, France
Sebastien.courtial@lgm.fr

MALEMANT Pascal,
Direction Technique
LGM Ingénierie
Toulouse, France
Pascal.malemant@lgm.fr

Résumé— Cet article présente une méthodologie visant à spécifier puis développer une séquence de tests permettant de localiser des modules défaillants. Il présente les étapes mises en œuvre afin de tenir des exigences de type taux de localisation, taux de couverture et durée du test. Le processus a été industrialisé. Un retour d'expérience est discuté puisque cette méthode, qui évolue encore à ce jour, a été mise en œuvre sur 10 équipements différents. Les équipements analysés ont été soumis à l'injection de pannes afin vérifier la pertinence de l'ordonnement des tests définis.

Index Terms—Troubleshooting, Locavar, Logigramme de recherche de panne, Banc de test, Localisation, Couverture, Test, Testabilité, Diagnostique

I. INTRODUCTION

Certains opérateurs mettent en œuvre des bancs de tests génériques afin d'assurer un diagnostic sur des équipements électroniques complexes (pouvant contenir jusqu'à 20 cartes dont certaines ont plus de 1000 composants). Ces bancs de tests sont utilisés par des maintenanciers afin d'identifier le module électronique en panne et le remplacer dans un temps limité. Les performances des tests mis en œuvre sont spécifiées en termes de MTTR, performance de localisation (probabilité de déposer la carte réellement en panne) et en taux de couverture. Il existe de nombreuses normes définissant des approches liées à la testabilité ou au diagnostic (par exemple [1] ou [3]) qui peuvent aider à définir des méthodes.

Il est nécessaire de définir une méthodologie robuste prenant en compte une certaine variabilité des données d'entrées (présence ou non d'AMDEC, présence ou non d'étude orientée test, etc....) car elle doit s'appliquer à un grand nombre de calculateurs de fournisseurs différents.

Les travaux ont été menés dans le domaine ferroviaire, mais les principes sont transposables à de multiples domaines.

II. CONTEXTE TECHNIQUE

Lorsqu'une défaillance est détectée sur une Unité Remplaçable en Ligne (URL) d'un système, elle est déposée et remplacée par un nouvel équipement (maintenance de niveau 1). A l'issue, l'équipement est testé au niveau 2 afin d'identifier et échanger l'Unité Remplaçable en Atelier (URA) en panne. L'URA est testée au niveau 3 sur un banc de test « in situ » afin d'identifier le composant en panne et d'effectuer sa réparation. Cet article porte sur la maintenance au niveau 2 permettant d'identifier l'URA en panne.

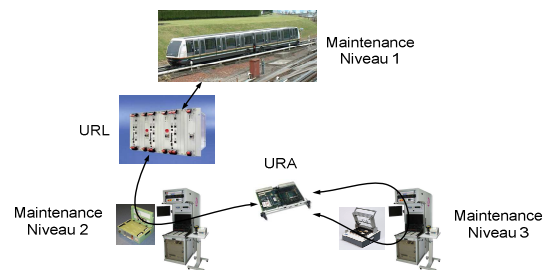


Fig. 1. Principe de la maintenance de niveaux 1, 2 et 3

La démarche mise en œuvre s'applique à des équipements déjà développés.

Il s'agit donc, à partir de ces éléments et du dossier de conception et de définition, de définir un Logigramme de Recherche de Panne (LRP). Cette analyse débouche sur la rédaction d'une spécification d'interface matérielle, et logicielle de la séquence de test.

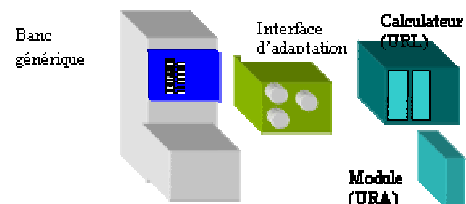


Fig. 2. Principe d'un banc de test générique

III. DEFINITION DES OBJECTIFS

Les séquences de test sont établies à partir de 3 critères de performance. Il existe plusieurs moyens d'estimation (c.f. [4]). Une synthèse intéressante est disponible dans la section 7 de [2].

- **Taux de couverture (TdC)** : représentation de la capacité à détecter une panne. Par exemple, le TdC doit être de 95% minimum.

$$TdC = \frac{\sum_{i=1}^N k_i \cdot N_i}{Nc} \quad (1)$$

Avec : N, nombre de blocs dans l'équipement,
 k_i , couverture du bloc i ($k=1$ si le bloc est couvert, $k=0$ sinon)¹,
 N_i , nombre de composants dans le bloc i,
 Nc , nombre total de composants de l'équipement.

Il est possible de définir d'autres mesures du TdC en prenant en compte le taux de défaillance associé à un composant, voir à un mode de défaillance spécifique du composant. Mais la coexistence de normes de fiabilité fournissant des valeurs de taux de défaillance différents pour un même composant peuvent générer des biais dans l'analyse. Donc cette approche a été rejetée.

- **Taux de localisation (TdL)** : représentation de la capacité du test à identifier correctement l'Unité Remplaçable en Atelier (URA) en panne. Par exemple le taux de localisation doit être de 90% à 1 URA, 95% à 2 URA et 100% à 3 URA. L'interprétation retenue (sur base d'un tri-substitution par carte et non pas par bloc) revient considérer que le maintenancier a une probabilité de 90% de réparer l'équipement au premier échange d'une URA, 95% au deuxième échange etc...

Le calcul est illustré à partir d'un exemple. Il s'agit d'un calculateur composé de 3 URA. Le maintenancier dispose de 3 tests différents.

TABLE I. ESTIMATION DU TdL

Test	Groupe d'ambiguïté	1 ^{ère} dépose	2 ^{ème} dépose	3 ^{ième} dépose
#1	URA1, URA2, URA3	URA1	URA2	URA3
#2	URA2, URA3	URA2	URA3	
#3	URA2	URA2		
Nombre de déposes		3	2	1
Nombre total de déposes		6		

Les performances de taux de localisation s'expriment ainsi :

Taux de localisation	1 URA	2 URA	3 URA
Performance	3 / 6 50%	2 / 6 33%	1 / 6 17%
TdL (Performance Cumulée)	50%	88%	100%
Exigence	90%	95%	100%

L'exigence fournie à titre d'exemple n'est pas atteinte. Il faut revoir les tests de localisation.

- **MTTR²** : durée du test et de l'échange URA. Par exemple le MTTR doit être de 4 heures maximum. Son calcul consiste à sommer les temps de tests et d'échange de cartes. Cette valeur est très difficile à évaluer en amont. Mais il est possible d'estimer les postes importants tels que le téléchargement de logiciel de test, ou l'ajout d'une carte prolongatrice.

Ces exigences sont prises en compte pour orienter les choix en matière de test.

IV. PROBLEMATIQUES RENCONTREES

La méthodologie est définie pour répondre aux problématiques suivantes :

1. Il s'agit d'identifier des pannes au niveau composant, ou câblage. Une approche purement fonctionnelle des cartes ne permet pas une localisation des pannes pouvant être implémentée directement dans un banc de test. Les composants électroniques peuvent être simulés par des outils dédiés (LT SPICE), mais cette approche est trop complexe et consommatrice en temps.
2. Des AMDEC sont disponibles, mais elles sont souvent orientées sécurité. Elles ne sont donc pas directement utilisables pour supporter la création d'un LRP.
3. L'équipement est parfois très complexe, avec de multiples reconfigurations et des voteurs intégrés. Cette complexité doit être prise en compte, notamment via l'estimation de couverture de test (par exemple sur les FPGA).
4. Les tests internes sont disponibles. Mais ils ont été développés par le fabricant pour la phase de validation (fin du cycle en V) et de fin de production (ATP). Ces tests n'ont pas été développés pour faire de la localisation d'avarie mais pour prouver le bon fonctionnement.
5. Compte tenu de la durée du projet et des nombreuses applications de test à bâtir, la méthode doit être reproductible par différents intervenants.

¹ Une couverture partielle est possible, mais ce point n'est pas développé dans cet article.

² Mean Time To Repair

- L'ordonnancement des tests doit être dicté par la tenue des objectifs de localisation, couverture et MTTR. La méthode doit permettre l'évaluation simple et simultanée de ces objectifs.
- Les tests étant réalisés boîtier fermé ils ne permettent pas systématiquement de localiser l'URA en panne. Dans ce cas il est nécessaire d'accéder à des signaux internes afin de lever des ambiguïtés. Cet accès s'effectue par exemple au moyen de cartes prolongatrices. Ces cartes ont un impact en termes financiers et en durée de test car elles complexifient les manipulations.

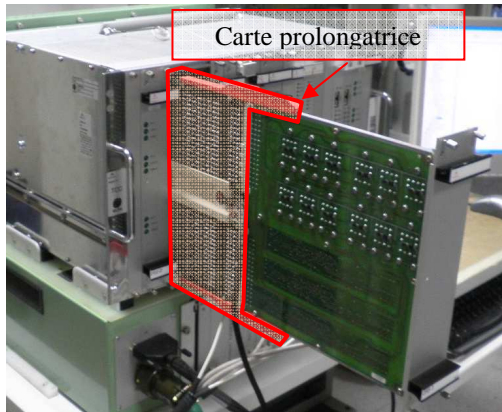


Fig. 3. Carte prolongatrice

V. PRINCIPE DU LOGIGRAMME DE RECHERCHE DE PANNE (LRP)

Un exemple simplifié est présenté afin de montrer le principe de la localisation de panne. L'équipement analysé est composé de 4 cartes A, B, C et D. Seule la carte A est détaillée. Les tests permettent de valider certaines parties de ces cartes. Par exemple le test 1 permet de valider 2 blocs de la carte A, ainsi qu'une partie des cartes B et C. Un test 1 non validé définit un groupe d'ambiguïté entre les 3 cartes. La combinaison avec d'autres tests permet de lever l'ambiguïté entre les cartes.

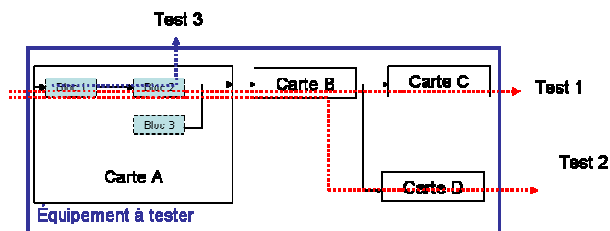


Fig. 4. Equipement à tester

Les combinaisons entre les tests permettent soit de dédouaner certaines parties d'une carte soit d'en incriminer.

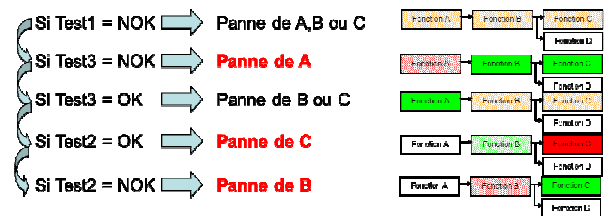


Fig. 5. Exemple de levée d'ambiguïté

Un ordonnancement correct permet de localiser l'URA en panne. Il est même possible parfois de localiser le groupe de composants en panne et ainsi d'orienter la recherche de niveau 3. Ci-après est présenté un LRP : les Test de Bon Fonctionnement (TBF) s'enchaînent sur la première colonne, dès que l'un est NOK, les Tests de Localisation d'Avarie (TLA) prennent le relais.

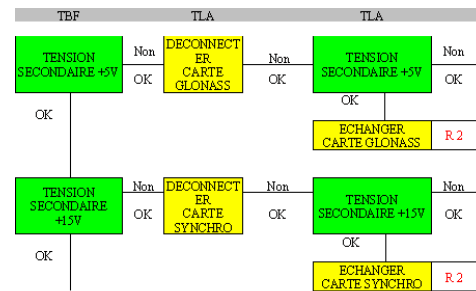


Fig. 6. Exemple de Logigramme de Recherche de Panne (LRP)

VI. ETAPES DE LA METHODE

La méthode mise en œuvre permet de spécifier le LRP et de coder la séquence de test associée. Le processus est découpé en 2 phases :

A- Définition du LRP en fonction des exigences de taux de couverture, taux de localisation et durée du test.

B- Affinage et Codage semi-automatique à partir de la spécification de LRP afin de limiter le nombre d'erreurs et de simplifier la validation du logiciel de test.

A l'issue de la phase A, l'analyse dispose d'un premier résultat composé du taux de couverture, d'une première estimation de taux de localisation (avant amélioration) et de groupes d'ambiguïtés. La phase A est assez rapide.

L'amélioration de la localisation se fait lors de l'étape B de façon conjointe avec une description plus poussée des tests permettant lorsque l'objectif est atteint d'obtenir de manière quasi-automatique le codage de l'algorithme de recherche de panne.

A. DEFINITION DU LRP

Les étapes sont les suivantes

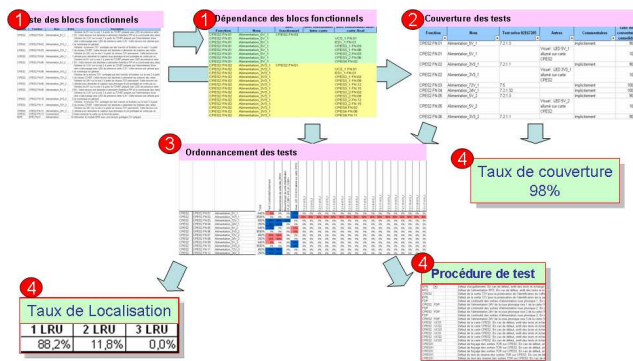


Fig. 7. Enchaînement des activités

- L'étape 1 consiste à définir les blocs organiques à un niveau de granulométrie suffisant pour la prise en compte de la couverture des tests.
- L'étape 2 permet de lister les tests et d'indiquer les blocs couverts. La démarche permet de façon semi-automatique de vérifier la couverture de fonctionnalité de tous les blocs en prenant en compte les dépendances définies lors de l'étape 1.
- L'étape 3 consiste à ordonnancer les tests.
- L'étape 4 représente la sortie de l'analyse à savoir les calculs de performances et la définition des procédures de test.

Pour chacune des étapes, certains points particuliers sont présentés.

Etape 1: cette phase consiste à découper le système en blocs élémentaires. Un exemple réel de découpage d'un boîtier de 12 cartes moyennement complexes est fourni ci-après :

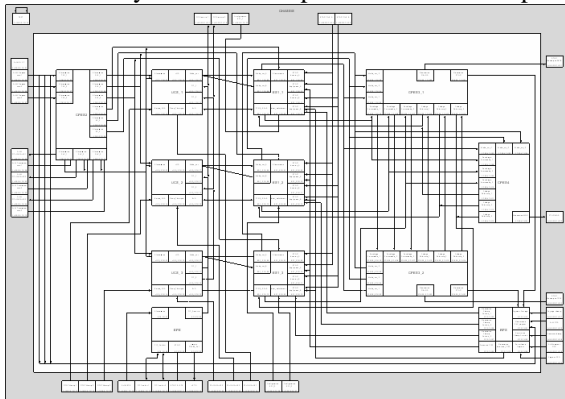


Fig. 8. Exemple de découpage en bloc sur un équipement

Le découpage doit permettre de définir simplement la couverture de chaque test. Il faut faire attention à ne pas découper de manière trop fine, car cela entraîne des temps d'analyse trop longs pour un gain minimale en terme de performance. Le lien entre niveau de découpage et la couverture de test est présentée dans l'étape 2.

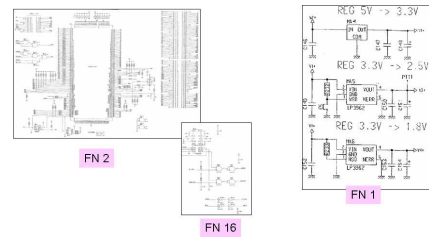


Fig. 9. Exemple de blocs sur un équipement

A chaque bloc sont associées les informations suivantes : description fonctionnelle, entrées, sorties, limites, blocs amont et aval, etc...

ID	Testeur	Nom	Précise	Fonction	Nom	Bloc fonctionnel	Bloc fonctionnel Inter-carte	Bloc fonctionnel Inter-
CPES2 FN01	Alimentation_5V_1	7.2.1.3	Visual : LED 5V_1 allumé sur carte CPES2	Alimentation_5V_1	Alimentation_5V_1	CPES2 FN02		UCS_1 FN01
CPES2 FN01	Alimentation_5V_1	7.2.1.1	Visual : LED 3V3_1 allumé sur carte CPES2	Alimentation_5V_1	Alimentation_5V_1			ESD_1 FN01
CPES2 FN02	Alimentation_3V3_1	7.2.1.1	Visual : LED 3V3_1 allumé sur carte CPES2	Alimentation_3V3_1	Alimentation_3V3_1			CPES2_1 FN02
CPES2 FN03	Alimentation_72V_1	7.5		Alimentation_72V_1	Alimentation_72V_1			CPES2_2 FN03
CPES2 FN04	Alimentation_24V_1	7.2.1.32		Alimentation_24V_1	Alimentation_24V_1			CPES2_1 FN03
CPES2 FN05	Alimentation_5V_2	7.2.1.3	Visual : LED 5V_2 allumé sur carte CPES2	Alimentation_5V_2	Alimentation_5V_2			CPES2_2 FN03
CPES2 FN05	Alimentation_5V_2	7.2.1.3	Visual : LED 5V_2 allumé sur carte CPES2	Alimentation_5V_2	Alimentation_5V_2			CPES2 FN06
CPES2 FN06	Alimentation_3V3_2	7.2.1.1		Alimentation_3V3_2	Alimentation_3V3_2			CPES2 FN11

Fig. 10. Exemple de découpage en bloc sur un équipement

Etape 2: Chaque test disponible est décrit puis sa couverture est renseignée (quels sont les blocs testés ? à quel taux ?). Il n'est pas nécessaire de lister la couverture pour tous les blocs dépendants (comme les alimentations par exemple) car les étapes suivantes permettent de vérifier la couverture d'un test par rapport aux blocs amont ou aval. Il est alors possible de déterminer une première estimation du taux de couverture et au besoin de spécifier les tests manquants. Il est possible dès cette phase de fournir une première estimation du taux de couverture.

Fonction	Nom	Test selon 02E67205	Autres	Commentaires	Taux de couverture consolidé
CPES2 FN01	Alimentation_5V_1	7.2.1.3	Visual : LED 5V_1 allumé sur carte CPES2	Implicitement	90%
CPES2 FN01	Alimentation_5V_1	7.2.1.1	Visual : LED 3V3_1 allumé sur carte CPES2	Implicitement	10%
CPES2 FN02	Alimentation_3V3_1	7.2.1.1	Visual : LED 3V3_1 allumé sur carte CPES2	Implicitement	90%
CPES2 FN03	Alimentation_72V_1	7.5		Implicitement	100%
CPES2 FN04	Alimentation_24V_1	7.2.1.32		Implicitement	100%
CPES2 FN05	Alimentation_5V_2	7.2.1.3	Visual : LED 5V_2 allumé sur carte CPES2	Implicitement	90%
CPES2 FN05	Alimentation_5V_2	7.2.1.3	Visual : LED 5V_2 allumé sur carte CPES2	Implicitement	10%
CPES2 FN06	Alimentation_3V3_2	7.2.1.1		Implicitement	90%

Fig. 11. Exemple de découpage en bloc sur un équipement

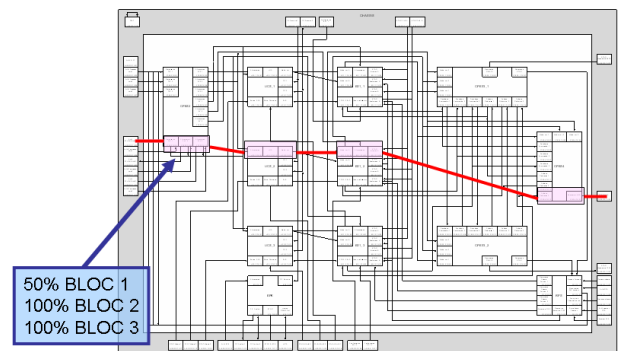


Fig. 12. Exemple de couverture d'un test

Les performances de TdL sont la plupart du temps non tenues suite à cette première itération. Souvent le taux de couverture est atteint puisque le but de l'ATP est de couvrir un maximum d'exigences. La suivante fournit les groupes d'ambiguïtés.

TABLE II. IDENTIFICATION DES GROUPES D'AMBIGUÏTÉ

Bloc		1. Test d'éléments des ES du tronç TID	2.1 Test de non continuité des entrées alimentation	2.2 Test de non continuité des STORS	3. Débogage avec les cartes UCS	4. Débogage avec la carte IREL	5.1 Lecture des ETOIRS (Voir MOI)
RX_MDI	liaison LNS MDI (ligne de réception)	0%	0%	0%	0%	0%	0%
72V/BT1	Alim 72BT permanente voie 1	100%	100%	100%	100%	100%	100%
72V/BT2	Alim 72BT permanente voie 2&3	100%	100%	100%	100%	100%	100%
0V/BT2	Référence de l'alimentation 72V - Voies2&3	100%	100%	100%	100%	100%	100%
Nombre d'ambiguïté		4	3	3	3	2	2
URA en ambiguïté		CPES2 UCS_C2_M01 UCS_C2_M02 TID_SERV	CPES2 UCS_C2_M01 UCS_C2_M02	CPES2 UCS_C2_M01 UCS_C2_M02	CPES2 UCS_C2_M01 UCS_C2_M02	CPES2 UCS_C2_M01	CPES2 UCS_C2_M01

L'analyste travaille donc sur ces groupes pour ordonnancer les tests permettant de réduire ces ambiguïtés. Ce travail de reprise représente une charge importante. Il est fait lors de la phase B.

B. AFFINAGE ET CODAGE SEMI-AUTOMATIQUE

Lors cette phase l'analyste mène deux activités, à savoir l'ordonnancement des tests et, une description fine de ceux-ci au fur et à mesure de l'analyse. La description des tests est faite dans un pseudo langage, qui permettra de générer automatiquement la séquence de test dans le langage cible. Bien sûr les drivers commandant les différents moyens ne sont pas codés en automatique.

L'implémentation de la séquence de test est réalisée au moyen d'un outil de génération de code semi-automatique ayant le LRP en données d'entrée.

EPE		Defaut d'acquitterment. En cas de défaut, arrêt des tests et échange
RPS		Defaut de l'alimentation RPS. En cas de défaut, arrêt des tests et é
CPES2		Defaut de la sortie 72V pour la polarisation de l'identification de la ca
EPE		Defaut de la sortie 72V pour la polarisation de l'identification de la ca
FDP		Defaut de continuité des sorties d'alimentation roue phonique 1. En c
CPES2 FDP		Defaut de l'alimentation 24V de la roue phonique voie 1 de la carte C
FDP		Defaut de continuité des sorties d'alimentation roue phonique 2. En c
CPES2 FDP		Defaut de l'alimentation 24V de la roue phonique voie 2 de la carte C
FDP		Defaut de continuité des sorties d'alimentation roue phonique 3. En c
CPES2 FDP		Defaut de l'alimentation 24V de la roue phonique voie 3 de la carte C
CPES2 UCS1		Defaut de la carte CPES2. En cas de défaut, arrêt des tests et écha
CPES2 UCS2		Defaut de la carte CPES2. En cas de défaut, arrêt des tests et écha
CPES2 UCS3		Defaut de la carte CPES2. En cas de défaut, arrêt des tests et écha
CPES2 UCS1		Defaut de la carte CPES2. En cas de défaut, arrêt des tests et écha
CPES2 UCS2		Defaut de la carte CPES2. En cas de défaut, arrêt des tests et écha
CPES2 UCS3		Defaut de la carte CPES2. En cas de défaut, arrêt des tests et écha
CPES31		Defaut de forçage des sorties TOR sur CPES3. En cas de défaut, ar
CPES31		Defaut de forçage des sorties TOR sur CPES3. En cas de défaut, ar
CPES31		Defaut de forçage des sorties TOR sur CPES3. En cas de défaut, ar
CPES31		Defaut de test de réséne des sorties TOR sur CPES3. En cas de dé
CPES31		Defaut de test des réséne des sorties TOR sur CPES3. En cas de dé

Fig. 18. Principe de Pseudo Langage

Le pseudo langage présenté ci-dessus est donné à titre d'illustration. Le langage réel est beaucoup moins lisible.

VII. RETOUR D'EXPERIENCE

Cette démarche a été mise en œuvre sur plus de 10 boîtiers de complexité variable. Le tableau ci-après résume quelques caractéristiques pour 4 boîtiers.

Les tests sont des regroupements de tests unitaires, ce qui explique le faible nombre.

Les paramètres dimensionnant en termes de charge de travail sont : le nombre de signaux de sortie, la présence de voteurs ou redondances, le nombre de cartes et l'âge du dossier de définition.

Plus le dossier de définition dernier est ancien, plus il est difficile d'avoir accès à des informations détaillées. Néanmoins la méthode a permis dans tous les cas d'arriver à une spécification et une implémentation des LRP.

TABLE III. ÉLÉMENTS

Type boîtier	NB de cartes	Nb de blocs	Nb de tests
Calculateur	6	157	4 (Macro test)
« Alimentation Intelligente »	13	77	22
Concentrateur de données	6	93	24
Calculateur	12	202	40

VIII. CONCLUSION

Cette méthode permet de réaliser des LRP de façon systématique qui répondent à des exigences chiffrées de localisation et couverture.

L'implémentation et la maintenance des séquences sur banc de test sont facilitées par le codage semi-automatique à partir du LRP.

La mise en œuvre de cette méthode a permis de s'adapter à un grand nombre de cas comprenant des applications de puissance ou des calculateurs sécuritaires complexes.

Cette approche donne une certaine assurance de pouvoir arriver au bout de l'analyse.

Des développements futurs sont prévus notamment une automatisation plus poussée de l'ordonnancement lors de la phase B. Cette étape représente la plus grande charge de travail.

L'applicabilité de cette démarche à un niveau système de type systèmes distribués à base de COTS est également envisagée.

REFERENCES

- [1] International Electrotechnical Commission, « Partie 5: Testabilité et tests pour diagnostic », IEC 60706-5, édition 2.0, septembre 2007.
- [2] Department of Defense (US), "Military Handbook, ELECTRONIC Reliability design handbook", MIL-HDBK-338B, 1^{er} octobre 1998.
- [3] Ministry of Defence (UK), "Requirements for the achievement of testability in electronic and allied equipment", DEF-STAN 00-13, 17 juin 1994
- [4] John W. Sheppard, Mark Kaufman, "Formal specification of testability metrics in IEEE P1522", 2001