Evaluation de différentes structures en transistors des portes " C-Element "

Sylvain Guilley

▶ **To cite this version:**

Sylvain Guilley. Evaluation de différentes structures en transistors des portes " C-Element ". 2004. hal-00707987

HAL Id: hal-00707987
https://hal.science/hal-00707987

Submitted on 13 Jun 2012

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Evaluation de différentes structures en transistors des portes « C-Element »

Sylvain GUILLEY
GET / Télécom Paris, CNRS LTCI,
Département communication et électronique
46 rue Barrault, 75634 Paris Cedex 13, France.

E-mail: sylvain.guilley@enst.fr

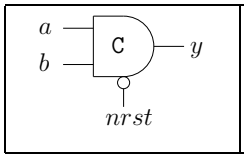
Résumé

Les portes « C-Element » sont utilisées en logique asynchrone pour assurer la synchronisation locale des processus, comme par exemple dans les mécanismes de poignées de main. Différentes architectures existent pour ces portes de rendez-vous. Nous proposons une nouvelle architecture, symétrique dans l'échange des données et dans le mécanisme de rebouclage interne, qui est utilisable en logique différentielle. L'étude des performances montre que le C-Element à rebouclage faible constitue une bonne solution et que le C-Element proposé est meilleur que le C-Element conventionnel.

1. Introduction

Les C-Elements sont des portes logiques à mémoire dont la sortie y ne change que pour une certaine configuration des entrées a, b, *etc*. Le comportement du C-Element à deux entrées est illustré dans la Tab. 1.

TAB. **1. Le C-Element à deux entrées accompagné de son comportement décrit en VHDL.**




```
if (nrst = 0) then
    y <= 0;
elsif (a = b) then
    y <= a;
end if;
```

Il réalise le *rendez-vous* des entrées a et b : y prend la valeur des entrées lorsqu'elles ont toutes la même valeur.

Les C-Elements sont donc des portes de synchronisation. Elles sont principalement utilisées dans les circuits à synchronisation locale. Les C-Elements constituent notamment l'élément de base du micropipeline de Sutherland [4]. Elles servent aussi dans les portes logiques sécurisées, où l'évaluation ne doit pas être anticipée [1].

Le reste de l'article est organisé de la façon suivante : la Sec. 2 présente et explique les architectures en transistors des C-Elements. Une nouvelle architecture, dérivée de la bascule RS, est proposée. La Sec. 3 passe en revue quelques variantes sur la fonctionnalité des C-Elements. Enfin, la performance des C-Elements à deux entrées est évaluée en technologie $0,13$ μm dans la Sec. 4.

2. Structures en transistors des C-Elements

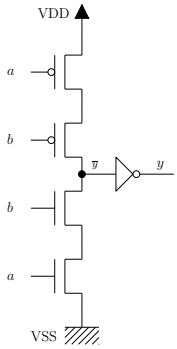


FIG. **1a. C-Element dynamique.**

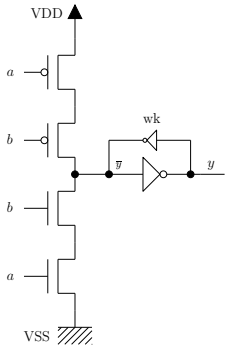


FIG. **1b. C-Element à rebouclage faible.**

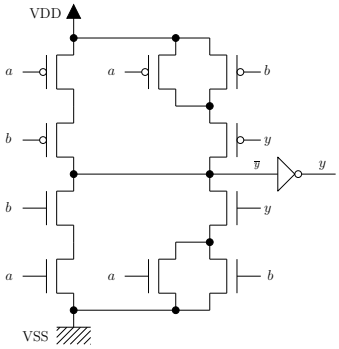


FIG. **1c. C-Element conventionnel.**

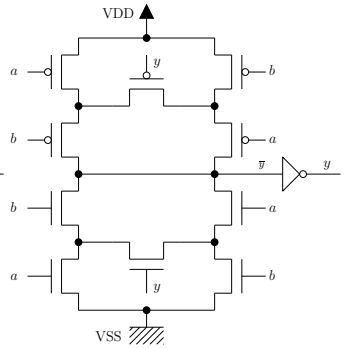


FIG. **1d. C-Element symétrique.**

Différentes architectures en transistors du C-Element à deux entrées ont été proposées [2]. Elles se répartissent en trois catégories :

1. *dynamique* : la mémorisation est capacitive. La sortie y est en état *haute impédance* quand il n'y a pas de rendez-vous des entrées.
2. *à conflit* : la mémorisation est assurée par un point mémoire, comme deux inverseurs rebouclés.
3. *statique* : il existe toujours un chemin « passant » entre l'équipotentielle $\overline{y}$ et soit le 0, soit le 1 logique.

L'architecture dynamique (Sec. 2.1) est à la fois la plus compacte, la plus rapide et la moins consommante. Elle sert donc de référence évaluer les autres architectures. Son inconvénient est de ne conserver son état que pendant un

temps limité : à cause des fuites de charges dans le substrat, la tension du nœud y fluctue dans le temps. L'architecture à conflit (Sec. 2.2) pallie à ce problème en ajoutant un point mémoire à la sortie du C-Element. La commutation de la sortie se réalise par un conflit électrique entre le point mémoire et la nouvelle valeur à y écrire. Les architectures statiques (Sec. 2.3, 2.4 et 2.5) assurent que la sortie y est pilotée quelque soient les entrées : y ne se retrouve jamais ni en haute impédance, ni en court-circuit.

2.1. Le C-Element dynamique

Le C-Element dynamique (Fig. 1a) est constitué d'une branche de transistors N en série, dont le rôle est de tirer l'équipotentielle $\overline{y}$ à 0 quand toutes les entrées valent 1, et d'une branche de transistors P en série, tirant $\overline{y}$ à 1 lors d'un rendez-vous des entrées à 0.

2.2. Le C-Element à rebouclage faible

Le C-Element à rebouclage faible (Fig. 1b) est identique au C-Element dynamique, à la différence que l'état de la sortie y est mémorisée en l'absence de rendez-vous par le rebouclage d'un inverseur de forte résistance de $\overline{y}$ à y.

2.3. Le C-Element conventionnel

L'équation d'évolution de la sortie d'un C-Element à deux entrées s'écrit : $y = a \cdot b + y \cdot (a + b) = \mathsf{MAJ}(a, b, y)$, où MAJ est la fonction majorité à trois entrées. La fonction MAJ peut s'implémenter de manière symétrique dans l'échange des transistors N et P, ce qui permet de se restreindre à l'étude la branche N. Cette branche est constituée de la mise en parallèle de :

- deux transistors en série commandés par a et b, assurant le tirage à 0 dans l'expression $a \cdot b$, et de
- deux transistors en parallèle commandés par a et b, en série avec un transistor commandé par y, afin de réaliser les valeurs nulles de $y \cdot (a + b)$.

Pour augmenter la vitesse de commutation du C-Element, on connecte le minimum de transistors à l'équipotentielle $\overline{y}$, ce qui conduit à la structure de la Fig. 1c.

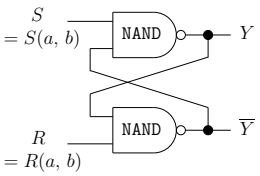
2.4. Le C-Element symétrique

Dans la structure dynamique du C-Element, les entrées a est b sont discernables. Dans le C-Element symétrique (Fig. 1d), les branches de tirage à 0 ou à 1 sont dupliquées pour rendre les entrées indiscernables. On connecte les équipotentielles de ces branches du réseau N (resp. P) entre elles par un transistor, passant uniquement si le dernier rendez-vous était à 1 (resp. 0). De cette façon, il existe toujours un chemin entre la masse (resp. l'alimentation) et l'équipotentielle $\overline{y}$, même après un rendez-vous.

2.5. Le C-Element à bascule RS

La bascule RS est un élément de mémorisation commandé par deux signaux, R et S. Le signal R (*reset*), actif à 0, force la sortie Y à 0, alors que S (*set*), aussi actif à 0, force Y à 1. Quand R et S sont simultanément inactifs

TAB. **2. Principe du fonctionnement du C-Element à bascule RS. Les entrées sont a et b et la sortie est Y.**



a b	RS	Y	**Commentaire**
0 0	0 1	0	Rendez-vous à 0
1 1	1 0	1	Rendez-vous à 1
0 1	1 1	Y	Mémorisation
1 0	1 1	Y	(*par 2 inverseurs rebouclés*)

($R = S = 1$), la bascule mémorise son dernier état. L'état $R = S = 0$ est interdit.

En calculant R comme $R(a, b) = a$ OR b et S comme $S(a, b) = a$ NAND b, on contrôle la bascule RS pour la faire se comporter comme un C-Element à 2 entrées, comme illustré dans la Tab. 2.

La structure en portes se simplifie en considérant que $S(a, b) = a$ NAND $b = \overline{a}$ OR $\overline{b}$. On obtient donc l'architecture de la Fig. 2a. En logique CMOS, les portes OR et NAND peuvent se fusionner en une seule porte « AOI », ce qui permet d'implémenter le schéma de la Fig.2a comme l'assemblage de transistors de la Fig. 2b. Pour les C-Elements conventionnel et symétrique, le rebouclage permettant la mémorisation de l'état y est assuré par un inverseur. L'architecture à base de bascule RS présente une symétrie dans la rebouclage interne. De plus, dans un contexte différentiel (où toutes les données a sont propagées comme un couple $(a, \overline{a})$), cette structure assure une symétrie $a \leftrightarrow \overline{a}$.

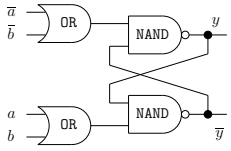


FIG. **2a. Structure en portes du C-Element à bascule RS.**

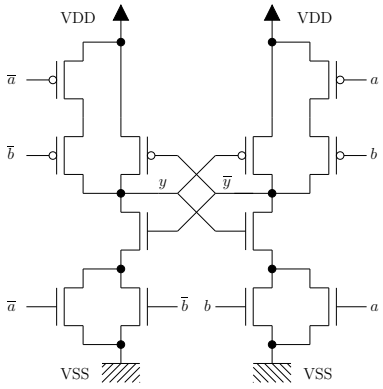


FIG. **2b. Structure en transistors du C-Element à bascule RS de la Fig. 2a.**

3. Variantes sur les C-Elements

Les structures présentées dans la Sec. 2 peuvent se voir adjoindre une entrée d'initialisation, ou être dissymétrisées dans les rendez-vous à 0 ou à 1 [3]. Les variantes sont illustrées dans la Tab. 3 pour le C-Element dynamique, mais se généralisent à tous les C-Elements de la Sec. 2.

3.1. Signal d'initialisation

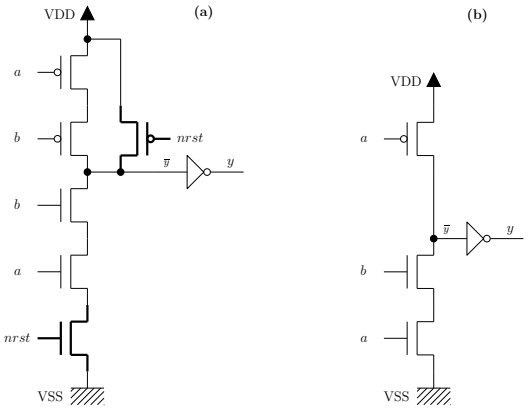
Les C-Elements étant des portes séquentielles, il faut être en mesure de les initialiser. Un transistor P entre

l'équipotentielle $\overline{y}$ et l'alimentation et commandé par une signal d'initialisation négatif ($nrst$) est utilisé pour forcer la sortie y à 0. Afin d'éviter un éventuel court-circuit, un transistor N déconnecte le réseau N de la masse quand le signal d'initialisation est actif.

3.2. Rendez-vous asymétriques

Il peut arriver qu'un rendez-vous entre toutes les entrées ne soit pas nécessaire pour faire commuter la sortie y. Si l'on souhaite faire le rendez-vous de a et de b quand ces entrées passent à 1, mais que l'on ne souhaite pas attendre l'entrée b pour le retour à 0, on supprime le transistor commandé par b dans la (les) branches P où les transistors sont en série, comme illustré dans la figure (b) de la Tab. 3.

TAB. **3. (a) : C-Element dynamique avec son matériel d'initialisation (cf. Tab. 1). (b) : C-Element asymétrique où b n'est pas attendu pour le rendez-vous à 0.**



4. Performance des C-Elements

4.1. Environnement de simulation

Les C-Elements de la Sec. 2 ont été évalués en technologie $0,13$ μm. L'environnement de simulation utilisé est similaire à celui présenté dans [2]. Deux inverseurs unitaires pilotent les entrées d'un C-Element chargé par trois inverseurs unitaires. On mesure le temps de propagation dans les inverseurs d'entrée et le C-Element ainsi que la consommation nécessaire à la transistion de la sortie y pour différents dimensionnements « dim » des transistors du C-Element ($0,75 \leq \text{dim} \leq 6$), comme illustré dans la Fig. 3. Les trois situations où a et b arrivent l'un avant l'autre ou simultanément ont été simulées. L'énergie dissipée est mesurée comme la moyenne sur ces trois cas et le temps de propagation est évalué comme le pire cas. Le dimensionnement optimal en temps de propagation est proche de la prévision théorique : $\text{dim} = \sqrt{C_{\text{sortie}}/C_{\text{entrée}}} = \sqrt{3}$.

4.2. Résultats

Les résultats sont représentés dans un diagramme énergie-temps pour différents paramètres de dimensionnement dim des transistors des C-Elements. Il apparaît que le C-Element à rebouclage faible peut être dimensionné pour

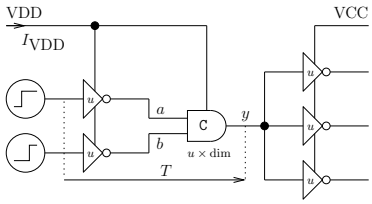


FIG. **3. Montage utilisé pour la simulation électrique des C-Elements. VDD et VCC sont deux alimentations.**

être le plus rapide et le moins consommant des C-Elements à mémorisation non capacitive. Ces performances ont obtenues en choisissant pour l'inverseur de rebouclage une largeur de grille égale à 8 fois la valeur minimale et dimensionnant la longueur de grille à son minimum. Comme constaté dans [2], le C-Element symétrique est meilleur que le conventionnel. Le C-Element conventionnel est aussi moins bon que celui utilisant le principe de la bascule RS.

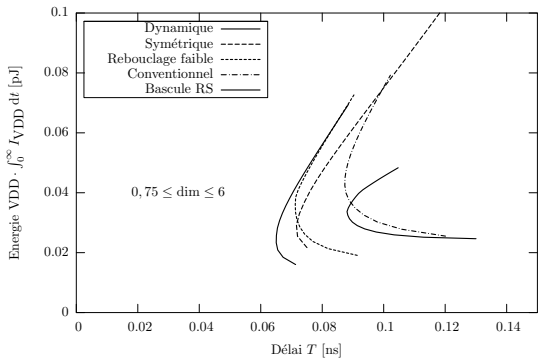


FIG. **4. Courbes énergie-temps pour les différents C-Elements de la Sec. 2 (Fig. 1a, 1b, 1c, 1d et 2b).**

5. Conclusion

Les architectures en transistors des C-Elements classiques (dynamique, à faible rebouclage, conventionnelle, symétrique) sont étudiées. Nous proposons de plus une architecture dérivée du fonctionnement de la bascule RS. Les performances de ces architectures sont évaluées en technologie $0,13$ μm. Le classement obtenu est, dans l'ordre décroissant : dynamique, faible rebouclage, symétrique, « à bascule RS », conventionnel. Ces résultats montrent que l'architecture à rebouclage faible n'est pas mauvaise et que l'architecture « à bascule RS » présente de bonnes performances, à condition que les entrées et les sorties soient codées en différentiel.

Références

[1] S. Moore, R. Anderson, P. Cunningham, R. Mullins, and G. Taylor. Improving Smart Card Security using Self-timed Circuits. pages 211–217. Proc. of Async'02, 2002.

[2] M. Shams, J. Ebergen, and M. Elmasry. Modeling and comparing CMOS implementations of the C-Element. *IEEE Transactions on VLSI Systems*, 6(4) :563–567, 1998.

[3] J. Sparsø and S. Furber. Chapter 2 : Fundamentals. *Principles of Asynchronous Circuit Design*, pages 29–40, 2001. Kluwer.

[4] I. E. Sutherland. Micropipelines. *Communications of the ACM (Turing award)*, 32(6) :720–738, 1989.