



Amplificateur de Puissance Reconfigurable en Technologie CMOS pour Application Cellulaire 3GPP LTE

Adrien Tuffery, Nathalie Deltimple, Bernardo Leite, Philippe Cathelin, Vincent Knopik, Eric Kerherve

► To cite this version:

Adrien Tuffery, Nathalie Deltimple, Bernardo Leite, Philippe Cathelin, Vincent Knopik, et al.. Amplificateur de Puissance Reconfigurable en Technologie CMOS pour Application Cellulaire 3GPP LTE. Colloque du GDR SoC-SiP, Jun 2011, Lyon, France. <hal-00669845>

HAL Id: hal-00669845

<https://hal.science/hal-00669845v1>

Submitted on 14 Feb 2012

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



HAL Authorization

Amplificateur de Puissance Reconfigurable en Technologie CMOS pour Application Cellulaire 3GPP LTE

Adrien Tuffery¹, Nathalie Deltimple¹, Bernardo Leite¹, Philippe Cathelin², Vincent Knopik², Eric Kerhervé¹

¹ IMS laboratory, University of Bordeaux, Talence, France

² ST-Ericsson, Crolles, France

Email: adrien.tuffery@ims-bordeaux.fr

I. INTRODUCTION

Ce document présente un amplificateur de puissance (PA) reconfigurable entièrement intégré en technologie 65-nm CMOS, robuste à la fluctuation de la tension de la batterie, et combinant les techniques d'amélioration du rendement suivantes : l'Envelope Tracking (ET) et la technique du Power Transistor Switching (PTS). L'objectif principal de l'architecture proposée est d'augmenter le rendement par rapport à un PA fonctionnant seul.

La technique de transmission utilisée par le 3GPP LTE est l'OFDM (orthogonal frequency division multiplexing) et elle impose au design un PAPR (Peak to Average Power Ratio) d'environ 8-10 dB contre 3.5dB pour les standards de deuxième et troisième génération [1].

Or pour un PA utilisé seul, le rendement est maximisé lorsque la puissance de sortie est au maximum, et, par conséquent, l'amplificateur se trouve « surdimensionné » avec un PAPR important pour les faibles niveaux de puissance.

Afin d'améliorer le rendement pour les faibles niveaux de puissance, différentes techniques d'amélioration du rendement peuvent être implémentées autour du PA afin de le reconfigurer en puissance [2-4].

Les améliorations sont généralement réalisées en concevant des PAs adaptatifs en termes de courant de polarisation, tension d'alimentation, ou d'impédance de charge.

Parmi les techniques d'amélioration du rendement les plus attractives pour les applications cellulaires, les suivantes ont été retenues pour ce travail :

- Power Transistor Switching (PTS) [3,4]: Avec cette topologie, la reconfiguration en puissance est assurée par l'activation de cellules amplificatrices en parallèle, en fonction de l'enveloppe du signal d'entrée, et donc en fonction de la puissance de sortie à fournir, tout en conservant un gain constant même quand le courant DC est réduit.
- Envelope Tracking (ET) [2]: Cette technique permet de faire varier la tension d'alimentation de l'amplificateur de puissance au rythme du signal d'enveloppe, afin d'augmenter le rendement global de l'amplificateur de puissance.

Une autre contrainte imposée par les applications cellulaires est la chute de la tension fournie par la batterie au cours du fonctionnement. Un PA fonctionnant seul sera très sensible à cette variation du fait qu'il est directement connecté à la batterie, et ses performances seront dégradées au cours du fonctionnement. L'architecture adoptée consiste par conséquent à combiner les deux techniques présentées, mais

également à résoudre le problème posé par la fluctuation de la tension de la batterie.

Le papier est organisé de la manière suivante : La partie II présente l'architecture globale au niveau système. La partie III décrit le design du PA avec un focus sur l'étage de puissance composé de quatre cellules amplificatrices. Des simulations menées sur l'étage de puissance à 2.535GHz sont présentées dans la partie IV où la PAE obtenue avec l'architecture proposée est comparée avec un PA utilisé seul.

II. ARCHITECTURE GLOBALE

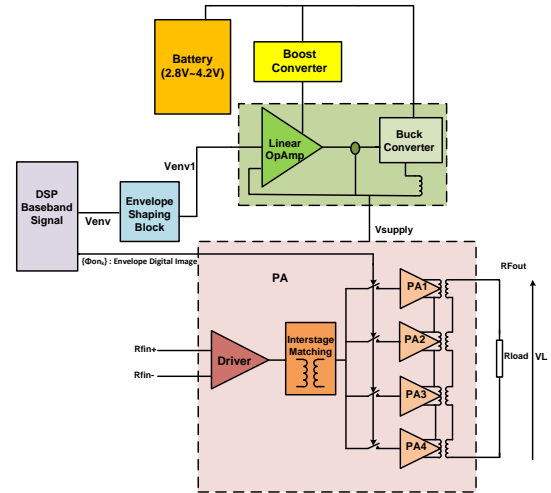


Figure 1. Architecture globale avec control digital .

L'architecture proposée est illustrée en Figure 1. Elle est composée de plusieurs blocs :

- Un PA composé d'un étage driver, d'un étage de puissance avec 4 cellules amplificatrices, et d'un réseau d'adaptation inter-étage. Un transformateur avec des entrées multiples et une seule sortie (power combiner) permet la recombinaison de la puissance en sortie.
- Le système utilisé pour l'amplification d'enveloppe (ET), composé d'un amplificateur hybride et d'un convertisseur de type Boost. L'amplificateur hybride est constitué d'un amplificateur linéaire (AOP) et d'un convertisseur de type Buck. Le convertisseur Boost agissant comme un régulateur de tension pour l'AOP, il permet de maintenir sa tension d'alimentation constante même si la tension de la batterie chute.
- Un bloc permettant de réduire la bande passante du signal qui va piloter l'amplificateur d'enveloppe (ET) afin de diminuer les pertes par commutation du convertisseur Buck.

Le système opère de la manière suivante : la tension d'alimentation du PA est modulée par le signal d'enveloppe fourni par l'amplificateur d'enveloppe, pendant que les cellules amplificatrices de l'étage de puissance (PA1 à PA4) sont allumées et éteintes en fonction de la puissance de sortie désirée.

III. DESIGN DE L'AMPLIFICATEUR DE PUISSANCE

A. Topologie retenue

L'architecture globale du PA est représentée sur la figure 2. Afin d'économiser de l'énergie, un seul étage driver a été implémenté avec une tension d'alimentation fixée à 2.6V. L'adaptation inter-étage est réalisée par l'intermédiaire de transformateurs, qui partitionnent la puissance en sortie du driver sur les cellules amplificatrices de l'étage de puissance. La plage de variation de la tension d'alimentation de l'étage de puissance est fixée dans l'intervalle suivant [2.5V – 4V].

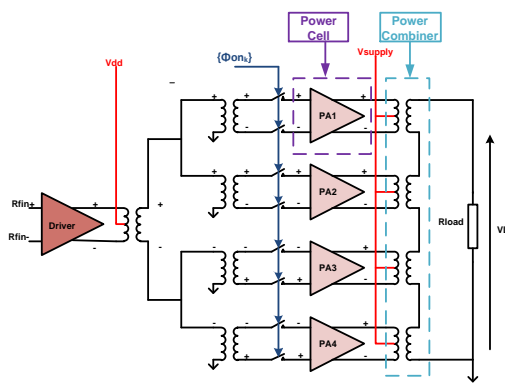


Figure 2. Architecture du PA.

B. Implementation du Power Combiner

Le power combiner constitue l'un des blocs les plus critiques du design [4]. Il permet la recombinaison de la puissance en sortie et module également la charge présentée à chaque cellule amplificatrice (PA1 à PA4).

Une topologie spécifique a été réalisée, elle consiste en une architecture composée de 4 primaires et d'un seul secondaire, représentée sur la figure 3. Le primaire empilé sur le secondaire est composé de deux tours, pour présenter une impédance optimale à chaque primaire. Les pertes d'insertion ont été évaluées à 1.6dB sous HFSS.

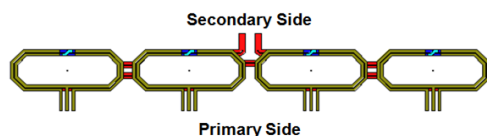


Figure 3. Topologie spécifique du Power Combiner.

IV. RESULTATS DE SIMULATIONS

Des simulations ont été menées dans la bande de fréquence du standard 3GPP LTE à 2.535GHz sous CADENCE. Les techniques ET & PTS ont été simulées respectivement avec V_{supply} fixé à une valeur faisant fonctionner le transistor de puissance proche de la saturation et avec une cellule amplificatrice allumée manuellement lorsque le gain est réduit de 0.5dB.

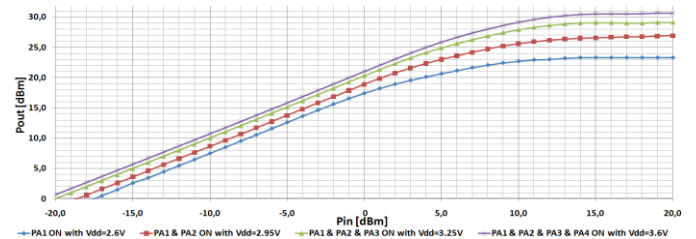


Figure 4. Pout vs Pin avec différentes tensions V_{supply} .

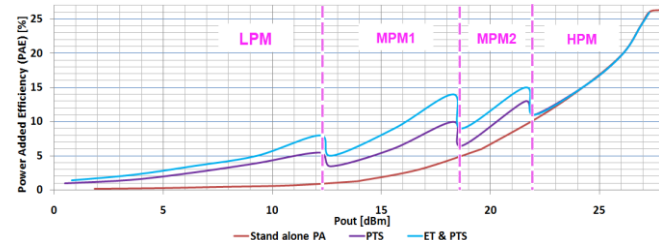


Figure 5. PAE : PA reconfiguré vs PA seul.

La figure 4 présente la caractéristique Pout vs Pin. Le point de compression P_{-1dB} variant de 19.5dBm dans le mode LPM (low power mode) à 28dBm dans le mode HPM (high power mode), le gain variant de 3.2 dB.

La figure 5 décrit les améliorations apportées par l'architecture proposée en termes de PAE. Dans le mode HPM, (PA1 à PA4 ON), les performances sont les mêmes qu'un PA seul. Les améliorations les plus significatives sont obtenues à $P_{out} = 18.5dBm$ (9 dB back-off) où $PAE_{PA_alone} = 6\%$, $PAE_{PA_PTS} = 10\%$ et $PAE_{PA_PTS+ET} = 14\%$, et à $P_{out} = 12.5dBm$ (12 dB back-off) où $PAE_{PA_alone} = 1.1\%$, $PAE_{PA_PTS} = 5.5\%$ et $PAE_{PA_PTS+ET} = 8\%$.

V. CONCLUSION

Un amplificateur de puissance (PA) reconfigurable qui permet de combiner les techniques ET & PTS est proposé afin d'améliorer le rendement par rapport à un PA seul. Une topologie spécifique de transformateur a été également conçue afin de recombinaison la puissance générée par les cellules amplificatrices de l'étage de puissance. Des simulations réalisées à 2.535GHz ont été menées pour quantifier les améliorations en termes de PAE. Le résultat le plus significatif est obtenu avec un back-off de 9 dB de 27.5dBm (PA1 & PA2 ON) où la PAE est augmentée de 8%.

REFERENCES

- [1] P Asbeck, L Larson, D Kimball, S Pornpromlikit, J.H Jeong, C Presti "Design Option for High Efficiency Linear Handset Power Amplifiers", *IEEE Topical Meeting on SIRF 2009 IEEE*, pp 1-4.
- [2] D Kim, J. Choi, D Kang, B Kim, "High efficiency and wideband envelope tracking power amplifier with sweet spot tracking", in *IEEE RFIC 2010*, pp. 255–258.
- [3] L Leyssenne, E Kervhervé, Y Deval, N Deltimple, D Belot "A novel WLAN power amplifier adaptive loop based on delta-sigma non-linearity", in *IEEE RWS 2009*, pp 594-597.
- [4] G.Liu, P. Haldi, T.J.K Liu, A.M Niknejad, "Fully Integrated CMOS Power Amplifier With Efficiency Enhancement at Power Back-Off", in *JSSC 2008*, vol 43, issue 3, pp 600-609.