



HAL
open science

Control Robusto y Optimo de una FLL en Nanocircuitos

Carolina Albea-Sanchez, Diego Puschini, Suzanne Lesecq, Edith Beigné

► **To cite this version:**

Carolina Albea-Sanchez, Diego Puschini, Suzanne Lesecq, Edith Beigné. Control Robusto y Optimo de una FLL en Nanocircuitos. XXXII Jornadas de Automática, Sep 2011, Sevilla, España. pp.1. hal-00610006

HAL Id: hal-00610006

<https://hal.science/hal-00610006>

Submitted on 20 Oct 2011

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

CONTROL ROBUSTO Y ÓPTIMO DE UNA FLL EN NANOCIRCUITOS

Carolina Albea

LAAS-CNRS, Université de Toulouse, UPS;

7 avenue du Colonel Roche F-31077 Toulouse cedex 4, Francia, carolina.albea@gmail.com

Diego Puschini, Suzanne Lesecq and Edith Beigné

CEA LETI-MINATEC Campus, 17 rue des Martyrs, 38000 Grenoble, Francia

Resumen

El escalado dinámico de tensión y de frecuencia (DVFS) en microchips se está convirtiendo en un importante requisito en arquitecturas Globalmente Asíncronas y Localmente Síncronas (GALS). Sin embargo, se debe tener en cuenta el área de implementación requerida por los 'actuadores' de frecuencia y de tensión de cada 'isla' de cómputo para optimizar el circuito. Un *frequency-Locked Loop* (FLL) rápidamente reprogramable en granularidad fina es una buena opción como 'actuador' de frecuencia. Su implementación en $32nm$ representa $0,0016mm^2$, siendo de 4 a 20 veces más pequeña que en las técnicas clásicas utilizadas como un *Phase-Locked Loop* (PLL) en la misma tecnología. Otro aspecto relevante en un FLL es el diseño del controlador, el cual debe ser adecuado para implementarlo en un área reducida. En este trabajo, se deduce un modelo analítico de un FLL a partir de precisas simulaciones en Spice. Se tiene en cuenta el retardo introducido por el sensor. A partir de este modelo, se desarrolla una ley de control óptima y robusta con una superficie de implementación mínima.

Palabras clave:– Nanocircuito, FLL, control robusto, optimización, rechazo de perturbaciones, LMIs.

1. INTRODUCCIÓN

El continuo incremento de relojes de frecuencias en un chip respecto al escalado de tecnología ha generado la implementación de un único reloj global. Un diseño Globalmente Asíncrono Localmente Síncrono (GALS) soluciona el problema de la distribución de relojes en diferentes áreas del chip. Un sistema con diferentes dominios de frecuencia de reloj aparece como una posible arquitectura en granularidad fina de consiente energética. En realidad, el consumo de energía es un factor limitante en la integración de grandes escalas o Very-Large-Scale Integration (VLSI), especialmente para aplicaciones móviles. El escalado dinámico de tensión y de frecuencia (DVFS) [4] ha demostrado proveer una alta eficiencia para

reducir el consumo de energía del chip, mientras que se satisfacen los requisitos de funcionamiento [8]. La idea clave detrás de una DVFS local es la variación en granularidad fina de la tensión y de la frecuencia de alimentación de una 'isla' en tiempo de ejecución. Esta idea reduce el consumo de energía de la 'isla' considerada al mismo tiempo que se satisfacen las restricciones de cómputo y funcionamiento [3].

Las técnicas DVFS se basan principalmente en dos 'actuadores'. Estos 'actuadores' deben ser controlados dinámicamente a fin de reducir el consumo de energía, a la vez que se alcanza el funcionamiento requerido. En otras palabras, la ley de control debe ser cuidadosamente diseñada para lograr una alta eficiencia energética con bajo coste de área de implementación. El actuador de tensión provee la tensión de alimentación en la 'isla' de tensión y de frecuencia (VFI). Éste puede ser un convertidor buck clásico [9] o un convertidor discreto Vdd-hopping [1, 10]. Por otro lado, el 'actuador' de frecuencia es un generador de reloj. Este 'actuador' de frecuencia está relacionado con el control de tensión de alimentación para evitar *timing faults* [14]. Este generador de reloj está clásicamente basado en una *Phase Locked-Loop* (PLL) o un *Frequency Locked-Loop* (FLL).

Otra consecuencia del escalado de tecnología es la variabilidad de los procesos *in-die* (en el mismo chip) y *die-to-die* (entre distintos chips) (P-variabilidad). Desde un punto de vista práctico, es cada vez más difícil la fabricación de circuitos integrados, con ajustados valores paramétricos [10]. Como consecuencia, la variación del proceso *in-die* significa que el punto óptimo de funcionamiento y energético de todo el circuito se puede encontrar, si el número i de la VFI tiene su frecuencia de funcionamiento en el rango $[F_{min,i}, F_{max,i}]$ [13]. Si el reloj se genera para todo el circuito, y se distribuye en cada VFI, la frecuencia aceptable máxima (es decir, la que se asegurará que no se produzcan *timing faults* en ninguna VFI) será $F_{max,i} = \min\{F_{max,i} \ \forall i\}$, que conduce a un funcionamiento óptimo del circuito. Por lo tanto, con el fin de obtener el mejor funcionamiento del circuito, el reloj debe ser localmente generado y

controlado de acuerdo a las variaciones de los procesos, de la tensión y de la temperatura (PVT). Recientemente, las técnicas de control se han aplicado al problema de la DVFS (por ejemplo, ver [1, 2]). Sin embargo, estas obras abordan el control del actuador de tensión en bucle cerrado, como el control del circuito Vdd-hopping.

En el marco del proyecto industrial francés LoCoMoTiV¹ circuito, se ha elegido una FLL como actuador de frecuencia, debido a la restricción de superficie. En un contexto GALS de granularidad fina, la FLL puede efectivamente replicarse en cada VFI del tamaño de un procesador en una arquitectura de multinúcleo (multicore). La FLL se ha implementado en un tecnología de STMicroelectronics de 32nm. El diseño físico del FLL presentado en la Fig. 1 es totalmente compatible con la metodología de célula estándar, que se integra fácilmente en GALS en microchips (SoC). Su área es aproximadamente 0,0016mm², la cual es de 4 a 20 veces más pequeña que en un PLL clásico de la misma tecnología.

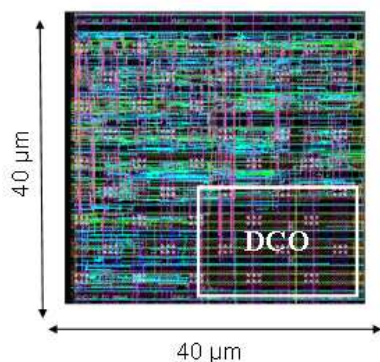


Figura 1: *Layout* del FLL.

El objetivo principal de este trabajo es diseñar una ley de control para la FLL (ver Fig.2) teniendo en cuenta los siguientes objetivos:

- robustez con respecto a variaciones PVT;
- correcto funcionamiento (sin sobreoscilaciones, sin error estático, transitorios rápidos);
- bajo coste de área de implementación y
- rechazo de perturbaciones exógenas.

Por lo tanto, el controlador diseñado no sólo debe garantizar la estabilización del punto de equilibrio, sino también otros criterios.

¹Compensación Local de la Variabilidad Inducida en la Tecnología Moderna (Locomotiv), el cual es un proyecto de CEA-Leti Minattec

A partir de precisas simulaciones hechas en Spice, se ha visto que el oscilador controlado digitalmente (DCO) puede ser modelado como un sistema lineal. Por otra parte, el sensor presenta un retraso que hay que tener en cuenta y se remarca las posibles variaciones del modelo del sistema debido a los efectos de PVT.

Se propone un controlador integrador simple que requiere un área mínima de implementación. El ajuste de la ganancia de control, se realiza formulando un problema de control robusto y óptimo, que debe minimizar un funcional. Para resolver este problema se definen unas Inecuaciones Matriciales Lineales (LMI). Si se satisfacen estas LMIs en el problema de optimización, se cumplirán de todos los objetivos en el sistema en bucle cerrado. En consecuencia, se obtiene una ley de control óptima y robusta del FLL.

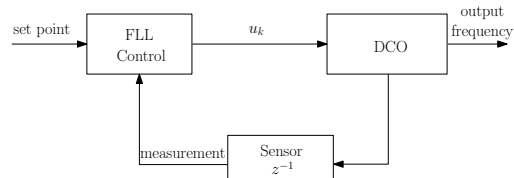


Figura 2: Diagrama de bloques del FLL.

Simulaciones hechas en el entorno de Matlab/Simulink muestran la alta eficacia del controlador propuesto. Además, el sistema en bucle cerrado fue implementado en RTL, obteniendo resultados de simulación similares a los obtenidos por Matlab/Simulink. El el diseño físico resultante (mostrado en la Fig.1.) fue implementada en el circuito LoCoMoTiV en tecnología CMOS de 32nm.

El resto de este artículo se organiza de la siguiente manera: en la Sección 2 se presenta el modelo del circuito dl FLL, así como sus propiedades y la ecuación de error. La formulación del problema de control óptimo y robusto se establece en la Sección 3. Asimismo, en Sección 4, se resuelve este problema proporcionando un método para ajustar la ganancia del controlador. En la Sección 5, se calcula la ganancia de control, siendo probado y aplicado en la Sección 6. El artículo termina con las conclusiones y trabajos futuros.

Notación. Para un conjunto dado \mathcal{S} , la notación $\mathcal{Co}(\mathcal{S})$ denota la envolvente convexa del conjunto \mathcal{S} . $\Delta\eta \triangleq \eta^+ - \eta^-$, donde η^+ y η^- respectivamente son $\eta(k+1)$ y $\eta(k)$, es decir, el valor de η en dos tiempos de muestreo consecutivo. Finalmente, \mathcal{L}_2 es el espacio de $\{x_k\}$ con la norma: $\|x_k\|_2^2 \triangleq \sum_{k=0}^{\infty} x_k^T x_k < \infty$.

2. CONCEPTO DEL FLL

Los bloques principales del FLL se modelan a partir de consideraciones de diseño y precisas simulaciones. Los bloques principales son un oscilador controlado digitalmente (DCO), que proporciona una frecuencia, un sensor (en este caso, un contador) para medir dicha frecuencia y un controlador que contiene un comparador de señal entre la frecuencia específica y la frecuencia de salida y un controlador “inteligente”. En la Fig. 3, se muestra un diagrama del FLL.

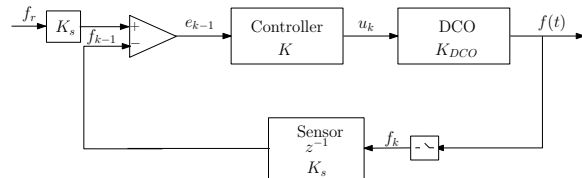


Figura 3: Arquitectura del FLL.

Oscilador Controlado Digitalmente. Para obtener un modelo del DCO, se realizaron precisas simulaciones en SPICE. La Fig. 4 muestra las características de la frecuencia del DCO (con extractos de R&C parásitos) en función de la palabra de entrada binaria de 8 bits. El eje Y corresponde a la frecuencia en bruto: esta frecuencia se debe dividir por dos para obtener una frecuencia de reloj útil con un 50% de ciclo de trabajo. El caso “nominal” (curva céntrica) se mide con $25C^\circ$ y con una tensión de alimentación de $1,1V$. El caso ‘mejor’ (curva superior) se obtiene con el mejor de los casos de los extractos parásitos (mínima R, mínima C), transistores ‘FastFast’, una tensión de alimentación de $1,2V$ y una temperatura de $125C^\circ$. El caso ‘peor’ de simulación se realiza con el peor de los casos de extracto parásitos (máximo R, máximo C), transistores ‘SlowSlow’, una tensión de alimentación de $1,0V$ y una temperatura de $0C^\circ$.

A partir de precisas simulaciones realizadas en Spice, se puede suponer que el DCO tiene un modelo lineal. Este modelo varía con respecto a la variación del proceso, los cambios de temperatura y tensión (PVT).

El modelo del DCO es

$$f_k = b + K_{DCO}u_k + B_w w_k$$

$f_k \in \mathbb{R}^1$ es la salida de la frecuencia analógica, $u_k \in \mathbb{N}$ está codificada en 8 bits entre 0 y 255, respectivamente. b es el offset, K_{DCO} es una ganancia. w_k es una señal de energía limitada que tiene en cuenta las perturbaciones, y B_w es una constante que define la magnitud de la perturbación. Para tener en cuenta los efectos de la variación de

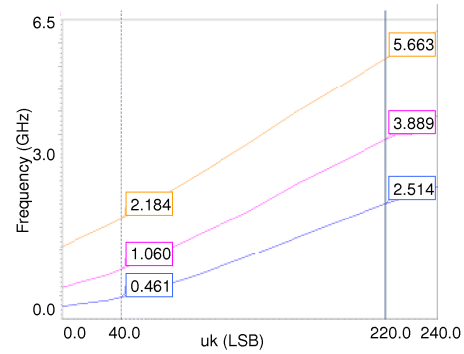


Figura 4: Característica del DCO (medida de la frecuencia bruta con respecto a la palabra binaria de entrada)

PVT, se supone que los parámetros K_{DCO} , b y B_w pueden variar en el intervalo

- $K_{DCO} \in [K_{DCO}^m, K_{DCO}^M]$,
- $B_w \in [B_w^m, B_w^M]$,
- $b \in [b^m, b^M]$.

Sensor. El sensor, el cual es un contador, mide la frecuencia de salida del DCO. Este sensor presenta un retraso de un periodo de muestreo. El retraso se presenta en el bucle de retroalimentación

$$M_k \triangleq K_s f_{k-1}.$$

Control. Define $e_k \triangleq K_s f_r - f_k$, donde f_r es la referencia de la señal y K_s es una constante positiva que representa la ganancia del sensor. Entonces, la ecuación de error es

$$e_k = -b - K_{DCO}u_k - B_w w_k + K_s f_r. \quad (1)$$

Para limitar el área de silicio y teniendo en cuenta los objetivos de control anteriormente expuestos, se define un integrador digital simple

$$u_k = u_{k-1} + K(K_s f_r - M_k) = u_{k-1} + K K_s e_{k-1} \quad (2)$$

donde K es la ganancia del controlador a ajustar.

A partir de Eq. (1), se obtiene

$$u_{k-1} = \frac{-e_{k-1} - b - B_w w_{k-1} + K_s f_r}{K_{DCO}}$$

el cual provee el sistema en bucle cerrado

$$e_k = e_{k-1} - K_{DCO} K_s K e_{k-1} + B_w w_{k-1} - B_w w_k$$

Esto puede ser reescrito en la siguiente forma lineal:

$$e_{k+1} = A e_k + B \bar{u}_{k+1} + B_w w_k - B_w w_{k+1}, \quad (3)$$

donde

$$A = 1, \quad B = -K_{DCO}K_s$$

y

$$\bar{u}_{k+1} = Ke_k. \quad (4)$$

Téngase en cuenta que b no cambia la respuesta del sistema.

3. FORMULACIÓN DEL PROBLEMA

Ecuación (3) se puede reescribir de la siguiente forma explícita en bucle cerrado, de manera que se puede formular un problema de control H_∞ :

$$e_{k+1} = Ae_k + BKe_k + B_w w_k - B_w w_{k+1}, \quad (5)$$

$$z_{k+1} = e_{k+1}. \quad (6)$$

Problema 1 *El problema trata de encontrar una ganancia óptima K , tal que la ley de control (2) sea robusta y la respuesta del sistema sea la más rápida posible sin sobreoscilaciones. Además, existe un funcional de Lyapunov $V_k > 0$, tal que $V_{k+1} - V_k$ a lo largo de la solución de (5) satisface*

$$V_{k+1} - V_k < 0, \quad (7)$$

y para cualquier perturbación de entrada, existe una atenuación mínima de dicha perturbación $\gamma^* \geq 0$, tal que, para todo $\gamma \geq \gamma^*$, la ganancia \mathcal{L}_2 entre los vectores de perturbación w_k y w_{k+1} , y el vector de salida z_{k+1} sea menor o igual a γ , es decir,

$$\|z_{k+1}\|_2^2 - \gamma^2(\|w_k\|_2^2 + \|w_{k+1}\|_2^2) < 0, \quad \forall w_k, w_{k+1} \in \mathcal{L}_2. \quad (8)$$

La solución a este problema garantiza un adecuado comportamiento del sistema, así como una estabilidad y un rechazo robusto de perturbaciones del sistema (5)–(6).

4. CONTROL ÓPTIMO H_∞

Para abordar el problema 1 se realiza una manipulación matemática de (5) efectuando un cambio de variable. Esto permite la obtención de LMIs factibles a través de un problema de robustez [7].

4.1. TRANSFORMACIÓN DEL MODELO

Considere

$$y_k \triangleq e_{k+1} - e_k.$$

Entonces, la ecuación (5) se reescribe bajo la forma [5]:

$$\begin{bmatrix} e_{k+1} \\ 0 \end{bmatrix} = \begin{bmatrix} y_k + e_k \\ -y_k + (A - 1 + BK)e_k + B_w(w_k - w_{k+1}) \end{bmatrix}$$

Este sistema puede tener la siguiente formulación compacta:

$$E\bar{e}_{k+1} = \bar{A}\bar{e}_k + \begin{bmatrix} 0 \\ B_w \end{bmatrix} w_k - \begin{bmatrix} 0 \\ B_w \end{bmatrix} w_{k+1},$$

donde

$$\bar{A} \triangleq \begin{bmatrix} 1 & 1 \\ A + BK - 1 & -1 \end{bmatrix},$$

$$E \triangleq \text{diag}\{1, 0\}, \quad \bar{e}_k \triangleq \begin{bmatrix} e_k \\ y_k \end{bmatrix}.$$

4.2. SÍNTESIS DEL CONTROLADOR

El problema 1 pueden formularse en términos de LMIs [6].

Hipótesis 1 *Existe una función de Lyapunov V_k , con condición (7) y γ , tal que,*

$$V_{k+1} - V_k + z_{k+1}^T z_{k+1} - \gamma^2(w_k^T w_k + w_{k+1}^T w_{k+1}) \leq \zeta^T \Gamma \zeta < 0. \quad (9)$$

donde $\zeta \triangleq [\bar{e}_k \quad w_k \quad w_{k+1}]^T$ es el vector de estado aumentado y $\Gamma \in \mathbb{R}^{4 \times 4}$ es una matriz simétrica.

V_k se define con la función de Lyapunov

$$V_k = \bar{e}_k^T E P E \bar{e}_k, \quad (10)$$

donde $P \triangleq \begin{bmatrix} P_1 & P_2 \\ P_2^T & 0 \end{bmatrix}$, siendo $P \in \mathbb{R}^{2 \times 2}$, $P_2 \neq 0$ y $P_1 > 0$.

Seguidamente, se deriva una condición suficiente para la estabilidad asintótica y rechazo de perturbaciones.

Teorema 1 *Considere el sistema (5)–(6) con $K \in \mathbb{R}^{1 \times 1}$ y w_k y w_{k+1} con energía limitada. Si se satisfacen las siguientes LMIs*

$$P_1 > 0 \quad (11)$$

$$\Gamma < 0. \quad (12)$$

donde Γ se define en (13) que se encuentra en la parte superior de la página siguiente, Entonces, el equilibrio del sistema en bucle cerrado (5)–(6) es asintóticamente estable y existe un valor de γ^* , tal que para $\gamma < \gamma^*$ se satisface la condición (8).

Demostración 1 *El objetivo es satisfacer $V_{k+1} - V_k + z_{k+1}^T z_{k+1} - \gamma^2(w_k^T w_k + w_{k+1}^T w_{k+1}) < 0$ tanto para el rechazo de perturbaciones como para la estabilidad asintótica del equilibrio para el sistema (5)–(6).*

$$\Gamma \triangleq \begin{bmatrix} \bar{A}^T P \bar{A} - EPE + \text{diag}\{1, 0\} & & & \\ & * & & \\ & & * & \\ & & & * \end{bmatrix} \bar{A}^T P \begin{bmatrix} 0 \\ B_w \end{bmatrix} - \bar{A}^T P \begin{bmatrix} 0 \\ B_w \end{bmatrix} \begin{bmatrix} -\gamma^2 & & & \\ & 0 & & \\ * & & & \\ & & & -\gamma^2 \end{bmatrix} < 0. \quad (13)$$

El método de Lyapunov proporciona:

$$\begin{aligned} V_{k+1} - V_k &= \bar{e}_{k+1}^T EPE \bar{e}_{k+1} - \bar{e}_k^T EPE \bar{e}_k \\ &= \{ \bar{e}_k^T \bar{A}^T + (w_k [0 \ B_w^T] - w_{k+1} [0 \ B_w^T]) \} P \\ &\quad \left\{ \bar{A} \bar{e}_k + \begin{bmatrix} 0 \\ B_w \end{bmatrix} w_k - \begin{bmatrix} 0 \\ B_w \end{bmatrix} w_{k+1} \right\} \\ &\quad - \bar{e}_k^T EPE \bar{e}_k = \bar{e}_k^T [\bar{A}^T P \bar{A} - EPE] \bar{e}_k \\ &\quad + \bar{e}_k^T \bar{A}^T P \begin{bmatrix} 0 \\ B_w \end{bmatrix} w_k - \bar{e}_k^T \bar{A}^T P \begin{bmatrix} 0 \\ B_w \end{bmatrix} w_{k+1} \\ &\quad + w_k [0 \ B_w^T] P \bar{A} \bar{e}_k - w_{k+1} [0 \ B_w^T] P \bar{A} \bar{e}_k, \end{aligned}$$

Esta expresión desarrollada se aplica a la desigualdad (9), de tal forma que se obtiene la LMI (13).

4.3. CONTROL ROBUSTO

Ahora, se considera la incertidumbre paramétrica de la Sección 2 para garantizar la robustez del sistema, al mismo tiempo que se garanticen la estabilidad del bucle cerrado, así como el rechazo de perturbaciones en el sistema FLL. Esto significa la necesidad del diseño de un control robusto que tenga en cuenta las incertidumbres paramétricas. Por esta razón, se realiza una extensión del teorema 1 en el caso de incertidumbres politópicas.

Observe

$$\Omega \triangleq [BK \ B_w]$$

y suponga que $\Omega \in \mathcal{C}o\{\Omega_j, \ j = 1, 2, 3, 4\}$ concretamente

$$\Omega = \sum_{j=1}^n \lambda_j \Omega_j, \quad \forall \lambda_j, \quad 0 \leq \lambda_j \leq 1, \quad \sum_{j=1}^n \lambda_j = 1$$

estando los vértices del politopo descrito por $\Omega_j = [B^{(j)}K \ B_w^{(j)}]$ para $j = 1, 2, 3, 4$.

Pre- y post-multiplicando la LMI (13) por $Q = \text{diag}\{Q_1, Q_1, 1, 1\}$ y tomando $Q_1 = P_2^{-1} > 0$ y $\bar{P}_1 = Q_1 P_1 Q_1$, se alcanza la siguiente condición suficiente.

Teorema 2 Considere el sistema (5)–(6) con w_k y w_{k+1} de limitada energía, y $K \in \mathbb{R}^{1 \times 1}$. Si existe $T \in \mathbb{R}^{1 \times 1}$ y $Q_1 \in \mathbb{R}^{1 \times 1}$ con $K = TQ_1^{-1}$ y $y \in \mathbb{R}^{1 \times 1}$ tal que

$$\bar{P}_1 > 0$$

$$\bar{\Gamma}^{(j)} = \begin{bmatrix} \bar{\Gamma}_1^{(j)} & \bar{\Gamma}_2^{(j)} & B_w^{(j)} Q_1 - B_w^{(j)} Q_1 \\ * & \bar{P}_1 - 2Q_1 B_w^{(j)} Q_1 - B_w^{(j)} Q_1 \\ * & * & -\gamma^2 & 0 \\ * & * & * & -\gamma^2 \end{bmatrix} < 0,$$

donde

$$\begin{aligned} \bar{\Gamma}_1^{(j)} &\triangleq 2Q_1(A - 1) + 2B^{(j)}T + 1 \\ \bar{\Gamma}_2^{(j)} &\triangleq \bar{P}_1 + Q_1A - 2Q_1 + TB^{(j)}, \quad j = 1, 2, 3, 4, \end{aligned}$$

entonces, en los vértices j , el equilibrio es asintóticamente estable, y las perturbaciones son rechazadas en el politopo entero.

Demostración 2 Este teorema es una extensión del teorema 1 teniendo en cuenta las incertidumbres politópicas y realizando ciertas manipulaciones matemáticas. Por lo tanto, la prueba de este teorema es inmediata.

4.4. CONTROL ROBUSTO Y ÓPTIMO

Para satisfacer todos los puntos del problema 1, se realizan algunas hipótesis.

Hipótesis 2 Para $w_k \equiv 0$ y $w_{k+1} \equiv 0$, los polos del sistema en bucle cerrado (5) son

$$Z = 1 + BK.$$

Si se elige $Z > 0$, se evitan las sobreoscilaciones. Además, si se maximiza K el tiempo de respuesta será el más rápido posible [12]. Recuerde la estructura del control (2).

Hipótesis 3 Existe un funcional de coste

$$J \triangleq \|u_{k+1}\|_2^2 + \|z_{k+1}\|_2^2 - \gamma^2(\|w_k\|_2^2 + \|w_{k+1}\|_2^2) \quad (14)$$

El primer término del lado derecho cuantifica el tiempo de respuesta al ser un integrador puro. Del mismo modo, los otros términos (en el lado derecho) cuantifican la atenuación de perturbación.

Lema 1 Suponga que se satisfacen las hipótesis 1, 2 y 3 y $\bar{Z}^{(i)} \triangleq Q_1^T Z^{(i)} Q_1$. Entonces, se puede encontrar la ganancia K del problema 1 mediante:

Minimiza $-J$

sujeto a:

$$\begin{aligned} \bar{\Gamma}^{(j)} &< 0 \quad j = 1, 2, 3, 4, \\ \bar{Z}^{(i)} &> 0 \quad i = 1, 2 \end{aligned}$$

donde $\bar{Z}^{(i)} = Q_1 + B^{(i)}$ $i = 1, 2$.

Demostración 3 El problema 1 de optimización se resuelve mediante el lema 1 si se satisface la condición (8) [11].

Para $w_k \neq 0$ y $w_{k+1} \neq 0$ y bajo condiciones iniciales nulas

$$V_{k+1} - V_k \leq -z_{k+1}^T z_{k+1} + \gamma^2 (w_k^T w_k + w_{k+1}^T w_{k+1}).$$

La suma de ambas partes es

$$V_{k+1} - V_0 \leq -\sum_{k=0}^k z_{k+1}^T z_{k+1} + \gamma^2 \sum_{k=0}^k (w_k^T w_k + w_{k+1}^T w_{k+1}).$$

Para $k \rightarrow \infty$, bajo la condición inicial $V_0 = 0$ y la positividad de la función de Lyapunov, se prueba

$$\sum_{k=0}^{\infty} z_{k+1}^T z_{k+1} \leq \gamma^2 \sum_{k=0}^{\infty} w_k^T w_k + \gamma^2 \sum_{k=0}^{\infty} w_{k+1}^T w_{k+1}$$

$$\|z_{k+1}\|_2^2 \leq \gamma^2 (\|w_k\|_2^2 + \|w_{k+1}\|_2^2).$$

Corolario 1 La ganancia óptima K se obtiene aplicando el lema 1 que garantiza tanto la estabilidad robusta como el rechazo de perturbaciones robusto. También proporciona un rápido período transitorio sin sobreoscilaciones.

5. CONTROL ROBUSTO Y ÓPTIMO RESULTANTE

En esta sección, se calcula un control óptimo y robusto para la FLL, empleando el enfoque presentado anteriormente.

Oscilador Controlado Digitalmente. Los parámetros del DCO pueden variar dentro del siguiente intervalo:

$$K_{DCO} \in [10, 30] \cdot 10^{-3} \text{GHz}/\text{LSB}$$

Y el parámetro de perturbaciones es dado por

$$B_w \in [0,1, 0,4].$$

Sensor. La frecuencia máxima en la entrada del sensor se supone igual a 5GHz y $K_s = 85$ (LSB/GHZ).

el problema de control óptimo (Problem 1) es resuelto, obteniendo

$$K = 0,392, \quad (15)$$

junto con $\gamma = 1,8$ y $P_1 = 0,2663$.

6. RESULTADOS DE SIMULACIÓN Y DE IMPLEMENTACIÓN

En esta sección, se muestran algunas simulaciones en Matlab que muestran la robustez de la ley de

control propuesta por el FLL. Para estas simulaciones, se utilizan los datos anteriores y un período de muestreo de 60ns .

Recuerde que la curva característica del FLL puede cambiar debido a las variaciones de PVT, como se muestra en la Fig. 4. Para validar la robustez del sistema en relación a estos cambios, se consideran tres modelos diferentes (ver Fig. 5):

syst 1: $K_{DCO} = 19,8 \cdot 10^{-3} \frac{\text{GHz}}{\text{LSB}}$, $b = -0,03\text{GHz}$,

syst 2: $K_{DCO} = 14,2 \cdot 10^{-3} \frac{\text{GHz}}{\text{LSB}}$, $b = 4,58\text{GHz}$,

syst 3: $K_{DCO} = 25,5 \cdot 10^{-3} \frac{\text{GHz}}{\text{LSB}}$, $b = 2,08\text{GHz}$.

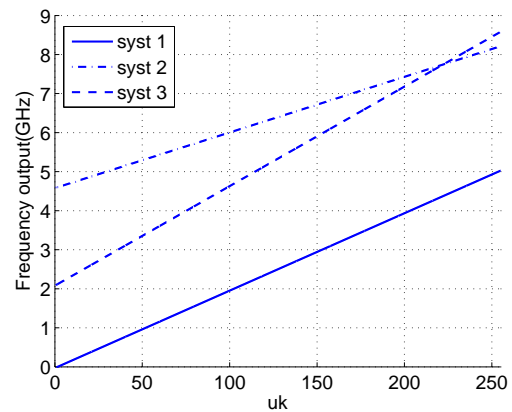


Figura 5: Variación de las curvas características.

La Fig. 6 muestra la respuesta del bucle cerrado del 'syst 1', 'syst 2' y 'syst 3' a un cambio en la frecuencia de referencia, f_r . Estas pruebas demuestran que el equilibrio es robusto con respecto a la incertidumbre de la curva característica. Tenga en cuenta que el tiempo de respuesta al 5% se alcanza antes del 7^{mo} periodo de muestreo. La Fig. 7 muestra la frecuencia de salida, cuando la curva característica varía ('syst 1', 'syst 2' and 'syst 3') y cuando aparecen algunas perturbaciones exógenas en la salida del sistema. Este ejemplo muestra la gran robustez del sistema cuando se emplea el ajuste de control robusto óptimo.

El FLL con el controlador se ha implementado en VHDL, obteniendo el el diseño físico de la estructura (ver Fig. 1). La evolución de la señal se presenta en la Fig. 8. Téngase en cuenta que u_k presenta un retraso con respecto a f_r , esto se debe a cuestiones de sincronización del chip, y no es pertinente en el bucle cerrado del circuito. En la Fig. 6 se puede apreciar tanto el retraso presentado por el sensor f_{k-1} , como la respuesta ral del sistema, f .

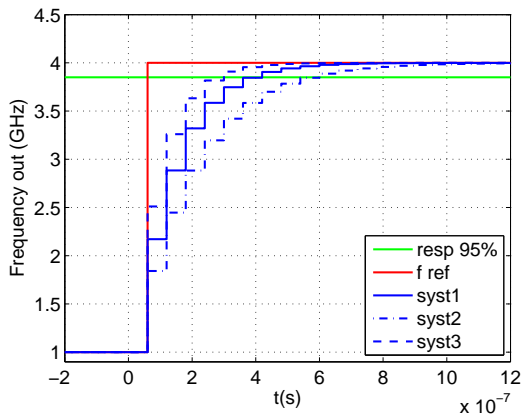


Figura 6: Evolución de la frecuencia de salida de los tres sistemas ('syst 1', 'syst 2' and 'syst 3') (azul), la frecuencia de referencia (rojo) y el tiempo de respuesta al 5% (verde).

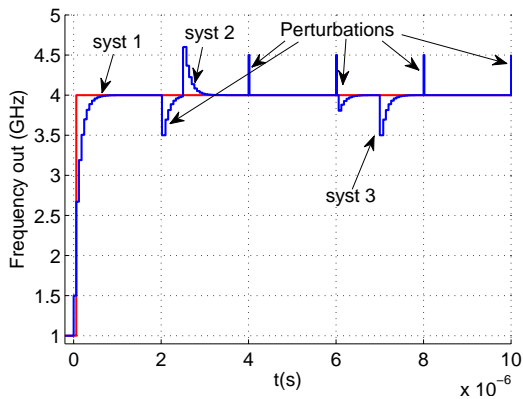


Figura 7: Evolución de la frecuencia de salida con perturbaciones en la entrada y variaciones del sistemas.

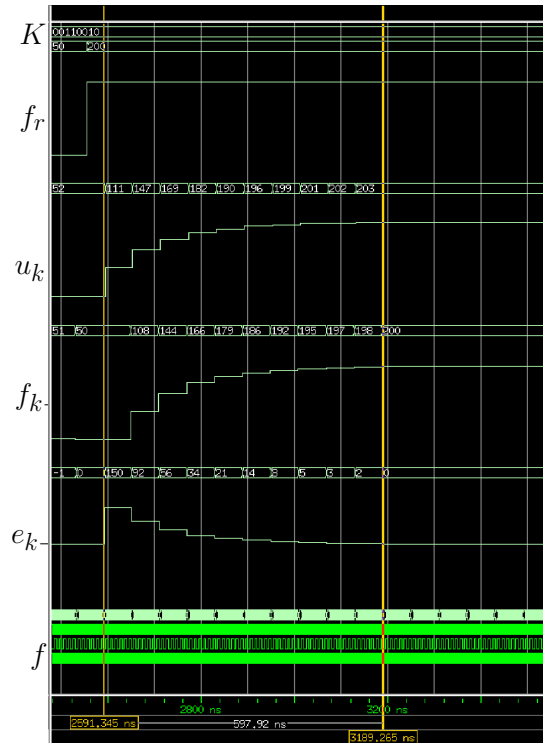


Figura 8: La simulación en VHDL del 'syst 1'.

7. CONCLUSIÓN

En este trabajo, se ha implementado un FLL de tamaño reducido en un sistema DVFS en arquitecturas GALS. El diseño de una ley de control simple ha permitido una aplicación totalmente digital en células estándar, alcanzando una superficie reducida. La implementación del diseño propuesto en una tecnología de 32nm representa 0,0016mm², es decir de 4 a 20 veces más pequeña que la técnica clásica utilizada, PLL, en el mismo nivel de tecnología. Asimismo, esta ley de control es óptima con respecto al funcionamiento del sistema (transitorios rápidos y sin sobreoscilaciones) y atenuación de perturbación. Otra de las buenas prestaciones que ofrece esta ley de control es la robustez con respecto a las variaciones de PVT. Simulaciones con Matlab muestran la robustez del sistema en bucle cerrado. Asimismo, la FFL con el controlador se ha implementado en VHDL con el fin de obtener el diseño físico de la aplicación.

La primera versión del FLL (incluida la ley de control propuesta en este trabajo) se ha implementado en una tecnología de 32nm.

AGRADECIMIENTOS

Los autores desean agradecer a ST Microelectronics sus valiosos comentarios.

Referencias

- [1] C. Albea, C. Canudas-de Wit, and F. Gordillo. Control and stability analysis for the Vdd-hopping mechanism. In *Proc. IEEE Conference on Control Applications (CCA)*, 2009.
- [2] H. Bui and Y. Savaria. A generic method for embedded measurement and compensation of process and temperature variations in SOCs. *IEEE Workshop on System-on-Chip for Real-Time Applications*, pages 557–562, 2005.
- [3] K. Choi, R. Soma, and M. Pedram. Fine-grained dynamic voltage and frequency scaling for precise energy and performance trade-off based on the ratio of off-chip access to on-chip computation times. *IEEE Trans on Computer-Aided Design of Integrated Circuits and Systems*, 24(1):18–28, 2004.
- [4] P. Choudhary and D. Marculescu. Hardware based frequency/voltage control of voltage frequency island systems. In *In Proc. IEEE Hardware/Software Codesign and System Synthesis (CODES, ISSS)*, pages 34–39, 2007.
- [5] E. Fridman and U. Shaked. A Descriptor System Approach to H_∞ Control of Linear Time-Delay Systems. *IEEE Trans. on Automatic Control*, 47(2):253–270, 2002.
- [6] E. Fridman and U. Shaked. Delay-dependent H_{inf} control of uncertain discrete delay systems. *European Journal of Control*, 11(1):29–39, 2005.
- [7] U. Fridman, E. Shaked. An LMI approach to stability of discrete delay systems. *Proc. of the European Control Conference*, 2003.
- [8] M. Horowitz, T. Indermaur, and R. González. Low-power digital design. In *IEEE Symposium Low Power Electronics*, pages 8–11, 2002.
- [9] P. Liu, J. Liu, and L. Geng. A dynamic buck converter with ultra fast response and low voltage ripples designed for DVS systems. *IEICE Electronics Express*, 6(21):1490–1496, 2009.
- [10] S. Miermont, P. Vivet, and M. Renaudin. A power supply selector for energy- and area-efficient local dynamic voltage scaling. *Lectures Notes in Computer Science*, page 4644:556, 2007.
- [11] P. Millan, L. Orihuela, C. Vivas, and F. Rubio. An optimal control L_2 -gain disturbance rejection design for networked control systems. In *Proc. IEEE American Control Conference (ACC)*, pages 1344–1349, 2010.
- [12] K. Ogata. *Discrete-time control systems*. Prentice-Hall Englewood Cliffs, NJ, 1987.
- [13] C. Tretz, C. Guo, and L. Jacobowitz. An all digital frequency-locked loop immune to hysteresis effects for power management of multicore processors. In *In Proc. IEEE ProcSOI Conference (SOI)*, pages 1–2, 2010.
- [14] B. Zhai, D. Blaauw, D. Sylvester, and K. Flautner. The limit of dynamic voltage scaling and insomniac dynamic voltage scaling. *IEEE Trans. on Very Large Scale Integration (VLSI) Systems*, 13(11):1239–1252, 2005.