



HAL
open science

Conception et intégration ” Above-IC ” d’inductances à fort coefficient de surtension pour applications de puissance RF

Ayad Ghannam, David Bourrier, Christophe Viallon, Jean-Marie Boulay,
Gérard Bouisse, Thierry Parra

► To cite this version:

Ayad Ghannam, David Bourrier, Christophe Viallon, Jean-Marie Boulay, Gérard Bouisse, et al.. Conception et intégration ” Above-IC ” d’inductances à fort coefficient de surtension pour applications de puissance RF. 17èmes Journées Nationales Microondes, May 2011, Brest, France. 4p. hal-00591689

HAL Id: hal-00591689

<https://hal.science/hal-00591689>

Submitted on 10 May 2011

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L’archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d’enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Conception et intégration « Above-IC » d'inductances à fort coefficient de surtension pour applications de puissance RF

Ayad Ghannam¹, David Bourrier¹, Christophe Viallon^{1,2}, Jean-Marie Boulay³, Gerard Bouisse³, Thierry Parra^{1,2}

¹ CNRS ; LAAS ; 7 avenue Colonel Roche, F-31077 Toulouse, France

² Université de Toulouse ; UPS ; LAAS ; F-31077 Toulouse, France

³ Freescale Semiconducteurs, 134 av. General Eisenhower, F-31023 Toulouse, France
aghannam@laas.fr, bourrier@laas.fr, cviallon@laas.fr, jean-marie.boulay@orange.fr,
gerard.bouisse@freescale.com, parra@laas.fr

Résumé

Ce papier décrit l'optimisation du coefficient de surtension Q d'inductances intégrées au-dessus de substrats à très faibles résistivités ($\rho < 0,1 \Omega.cm$). L'impact de ces résistivités sur les performances ainsi que l'inefficacité des plans de masses structurés sont présentés. Après optimisation du plan de masse, de l'épaisseur du diélectrique ainsi que des sections des métallisations, un coefficient de surtension de 58 à 5 GHz pour une valeur d'inductance totale de 0.8 nH est atteint. Un procédé technologique faible coût a été développé permettant l'intégration de ces inductances au-dessus de transistors LDMOS de puissance en utilisant la résine SU8 comme diélectrique.

1. Introduction

La réalisation de circuits intégrés RF faible coût et miniaturisés nécessite l'intégration des éléments passifs, notamment des inductances, sur le même substrat que la puce active. La plupart du temps intégrées sur silicium, ces inductances souffrent de dégradation des performances à cause de l'énergie dissipée dans le substrat hôte. Cette dégradation est d'autant plus importante que la résistivité du substrat diminue, rendant ainsi difficile la réalisation d'inductances à fort coefficient de surtension. Ceci est particulièrement le cas des filières CMOS ou LDMOS où les substrats affichent des résistivités inférieures à 0,1 $\Omega.cm$. Différentes approches ont déjà été proposées pour résoudre les problèmes de substrat et améliorer les performances des inductances tel que l'utilisation de substrats fortement résistifs [1][2] (Si ou SOI), la gravure du silicium sous les selfs [3] ou l'intégration de structures suspendues ou 3D [4][5]. La structuration du plan de masse [6][7] est aussi une solution largement utilisée mais, comme nous allons le montrer, cette solution s'avère inefficace dans le cas de substrats de très faible résistivité.

Le but de ce papier est la conception et l'intégration « Above IC » d'inductances de puissance à fort coefficient de surtension au-dessus de substrats LDMOS de très faibles résistivités (0,01 $\Omega.cm$). Cette technologie

est connue pour sa facilité de mise en œuvre et ses faibles coûts, mais, elle est souvent écartée à cause des performances moyennes auxquelles elle conduit. Nous allons montrer les techniques que nous avons utilisées pour optimiser cette technologie et aboutir à des performances à l'état de l'art.

2. Inductances intégrées au-dessus de substrats à très faible résistivités

2.a. Influence d'une très faible résistivité de substrat

Dans le cas de très faibles résistivités ($< 0,1 \Omega.cm$), les courants de Foucault qui circulent à l'intérieur du substrat diminuent fortement les performances de l'inductance à cause de l'effet de proximité. La Figure 1 montre les effets de la valeur de résistivité. Elle présente le facteur de qualité simulé à 2 GHz d'une inductance de 2 spires implémentée au-dessus d'une couche d'oxyde de 6 μm d'épaisseur déposée sur un substrat silicium dont la résistivité varie de 10^{-7} à $10^3 \Omega.cm$.

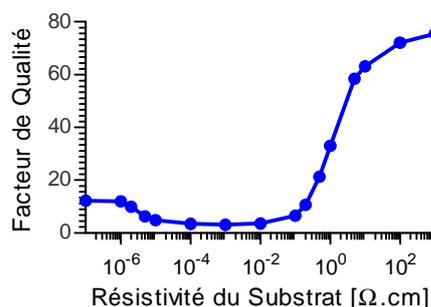


Figure 1. Facteur de qualité d'une inductance de 2 spires en fonction de la résistivité du substrat

La Figure 1 montre que le facteur de qualité atteint des forts niveaux lorsque la résistivité du substrat est élevée alors qu'il dégrade rapidement et atteint une valeur proche de zéro quand celle-ci diminue (entre 10 et 0.01 $\Omega.cm$). Cette dégradation résulte de la dissipation d'énergie dans le substrat que nous expliquons en

analysant le champ électrique (E) et magnétique (H). Ces champs induisent dans le substrat des courants de fuite (E) et de Foucault (H) dont la densité dépend de la résistivité. Pour un substrat de $1 \Omega.cm$, E et H pénètrent le substrat et génèrent respectivement un fort courant de fuite et des faibles courants de Foucault. A $0.1 \Omega.cm$, le champ E ne pénètre plus le substrat (pas de courant de fuite) tandis que H le pénètre toujours et génère des forts courants de Foucault. Les courants de Foucault ont un grand impact sur les performances des selfs puisqu'ils diminuent la valeur de l'inductance et augmentent sa résistance série.

Pour des valeurs de résistivités inférieures à $0.1 \Omega.cm$, le substrat peut être approximé par un plan de masse solide (plein) couplé à l'inductance et qui présente des fortes pertes (Figure 2) [6]. Donc, l'effet de ce substrat est modélisé par une impédance Z_r en série avec celle du circuit primaire Z_s constituant l'inductance. Dans ce cas, l'impédance totale du circuit est :

$$Z_T = Z_s + Z_r =$$

$$\left(R_s + \frac{R_i (\omega M_i)^2}{R_i^2 + (\omega L_i)^2} \right) + j\omega \left(L_s - \frac{L_i (\omega M_i)^2}{R_i^2 + (\omega L_i)^2} \right) \quad (1)$$

Avec :

$$Z_s = R_s + j\omega L_s \quad (2)$$

$$Z_r = \frac{(\omega M_i)^2}{R_i + j\omega L_i} \quad (3)$$

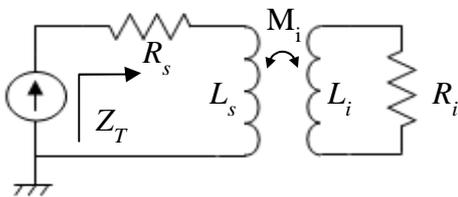


Figure 2. Circuit électrique équivalent d'une inductance ayant un plan de masse solide

Ce modèle explique l'amélioration du facteur de qualité sur la Figure 1 quand la résistivité est inférieure à $10^{-6} \Omega.cm$. En effet, quand R_i diminue, la partie réelle de Z_T diminue améliorant ainsi le facteur de qualité. Cette amélioration est modeste puisque le fort couplage mutuel négatif M_i réduit la valeur de l'inductance (partie imaginaire de l'éq. (1)).

2.b. Influence de la topologie des plans de masse

Pour masquer les effets du substrat, il convient d'utiliser un plan de masse. Alors que les plans de masse structurés sont généralement considérés [6][7], cette solution s'avère inefficace lorsque la résistivité est inférieure à $0,1 \Omega.cm$ puisque ces plans n'empêchent pas le champ magnétique de pénétrer le substrat et de générer de forts courants de Foucault. Dans ce cas, pour écranter le substrat et améliorer le facteur de qualité, un plan de masse solide (plein) est obligatoire. Pour le démontrer, nous avons effectué des simulations électromagnétiques sur la même structure inductive mais en utilisant plusieurs topologies de plans de masse (Figure 3). De même, deux épaisseurs de diélectrique (6 et $60 \mu m$) ont

été simulées. Le facteur de qualité et la valeur d'inductance ont été extraits à 2 GHz et représentés sur la Figure 4. Cette figure montre que l'utilisation de plans de masse structurés (Halo et Perforé) n'apporte pas de gain sur Q tandis que la structure ayant le plan de masse solide, présente les meilleures performances avec une amélioration de 372% sur le facteur de qualité lorsque l'épaisseur du diélectrique est de $60 \mu m$.

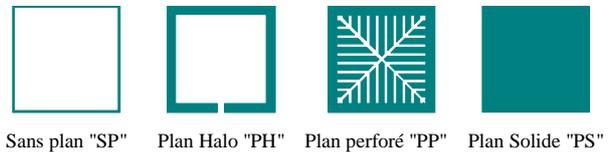


Figure 3. Différentes structures de plan de masse

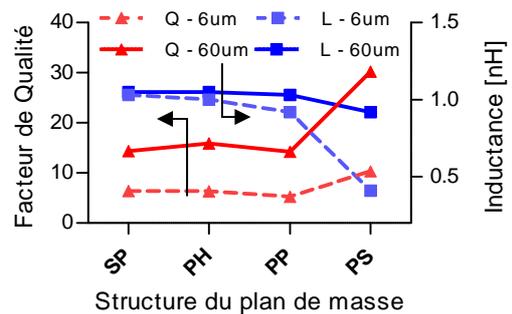


Figure 4. Facteur de qualité et inductance à 2 GHz en fonction de la structure du plan de masse et de l'épaisseur du diélectrique

Type du plan	Q maximal et fréquence de résonance			
	Diélect. - $6 \mu m$		Diélect. - $60 \mu m$	
	Q_{max}	$f_{srf}(GHz)$	Q_{max}	$f_{srf}(GHz)$
Sans Plan "SP"	8	14	15	26
Halo "PH"	8	14	16	26
Perforé "PP"	6	15	16	26.5
Solide "PS"	11	20	41	28

Tableau 1. Comparatif des performances en fonction du type de plan de masse

Le Tableau 1 résume le facteur de qualité maximal Q_{max} et la fréquence de résonance f_{srf} en fonction du type du plan de masse. Une autre fois, le plan de masse solide offre les meilleures performances.

Pour conclure, seul un plan de masse solide est capable d'améliorer les performances d'inductances intégrées au-dessus d'un substrat à très faible résistif pourvu qu'une forte épaisseur de diélectrique est utilisée.

3. Optimisation des inductances

3.a. Epaisseur du plan de masse

Pour qu'il soit effectif, le plan de masse solide doit être implémenté avec une épaisseur appropriée. Cette épaisseur est liée à l'épaisseur de peau dans le métal. Si l'épaisseur du métal est inférieure à celle de peau, le plan de masse solide n'écranter pas entièrement le substrat conduisant ainsi à une dégradation du facteur de qualité.

Donc, l'épaisseur du plan de masse doit être dimensionnée en fonction de la fréquence d'utilisation de l'inductance et du métal constituant ce plan. La Figure 5 illustre ce point avec une épaisseur minimale de métal de $1.8 \mu\text{m}$ requise pour obtenir le meilleur facteur de qualité ; Cette épaisseur correspond à celle de peau pour le cuivre à 2 GHz.

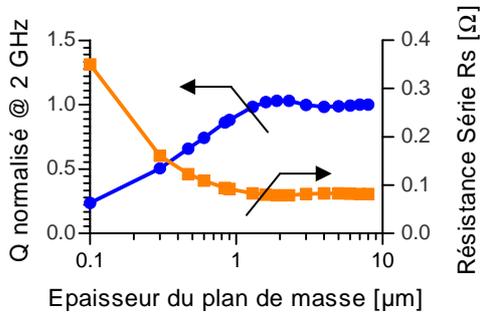


Figure 5. Effets de l'épaisseur du plan de masse sur les performances d'une inductance à 2 GHz

3.b. Epaisseur et choix du matériau diélectrique

Comme démontré auparavant, un plan de masse solide diminue la valeur de l'inductance à cause du fort couplage mutuel négatif (M_i). Ce couplage peut être minimisé en éloignant davantage l'inductance de son plan de masse en augmentant l'épaisseur du diélectrique (Figure 6). Cependant, ceci nécessite un matériau diélectrique capable de former ces fortes épaisseurs tout en ayant des bonnes propriétés électriques (faible permittivité et angle de pertes). Le choix s'est porté sur la résine diélectrique SU8 en raison de ses avantages technologiques et car elle présente des caractéristiques bien suffisantes pour la bande RF. L'intérêt d'utiliser cette résine pour réaliser des circuits passifs faibles pertes fonctionnant à des fréquences inférieures à 4 GHz a été démontré auparavant [8]. Les métallisations sont réalisées par croissance électrolytique.

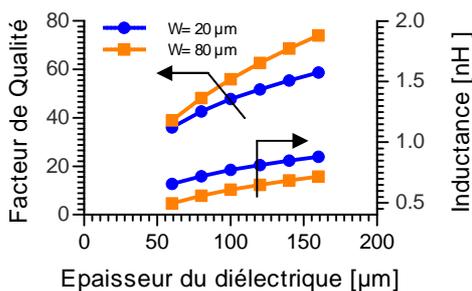


Figure 6. Facteur de qualité et inductance à 2 GHz en fonction de l'épaisseur du diélectrique et de la largeur du ruban

3.c. Largeur et facteur de forme du ruban

Des améliorations des performances peuvent être obtenues en augmentant la largeur du ruban w tel présenté sur la Figure 6. Cependant, un compromis entre faible et forte largeur est nécessaire puisque l'augmentation de w augmente le couplage mutuel négatif M_i .

En outre, en gardant la même section du ruban et en changeant son facteur de forme w/t (t épaisseur du

métal), les performances de l'inductance peuvent être améliorées telles présentées sur la Figure 7.

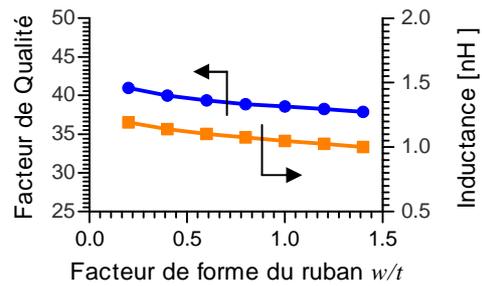


Figure 7. Facteur de qualité et inductance à 2 GHz en fonction du facteur de forme du ruban w/t

4. Réalisation et caractérisation des selfs

Un procédé technologique faible coût a été développé permettant de réaliser des inductances « Above IC » en intégrant tout d'abord un plan de masse en cuivre de $2 \mu\text{m}$ d'épaisseur, puis de faire croître des vias en cuivre de $60 \mu\text{m}$ de hauteur, de déposer la SU8 de $60 \mu\text{m}$ d'épaisseur et finalement de faire croître les rubans en cuivre de $30 \mu\text{m}$ d'épaisseur (Figure 8). La Figure 9 montre une image MEB des inductances réalisées.

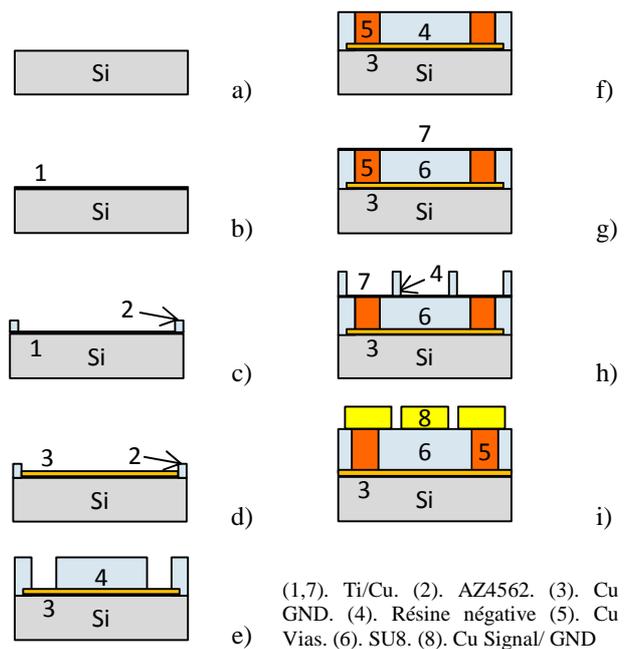


Figure 8. Etapes technologiques du procédé d'intégration d'inductances Above-IC

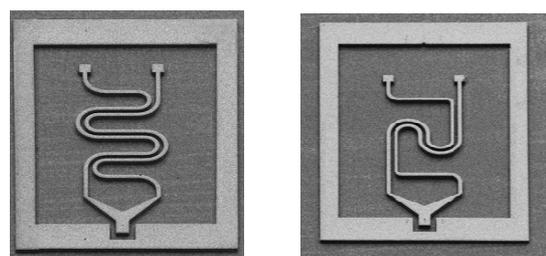


Figure 9. Inductances réalisées sur de la SU8.

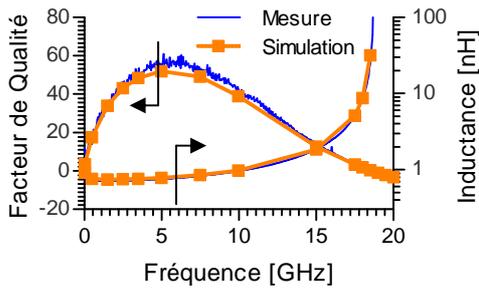


Figure 10. Comparaison simulations/mesures de la valeur du coefficient de surtension et de l'inductance totale

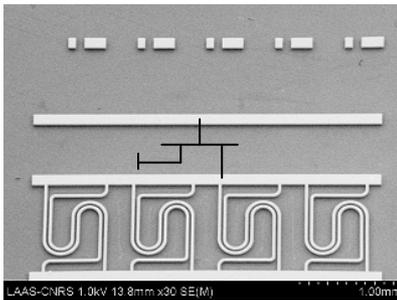


Figure 11. Inductances intégrées au-dessus d'un transistor LDMOS 50W

Un analyseur de réseau vectoriel (Anritsu 37397C) et une station sous pointes ont été utilisés pour effectuer des mesures paramètres-S allant jusqu'à 20 GHz. Un calibrage SOLT a été effectué pour ramener les plans de référence au niveau des pointes et des structures thru/short/open ont été utilisées pour éplucher les accès coplanaires de posé des pointes.

Des mesures sous pointes, nous avons relevé un facteur de qualité maximal de 58 @ 5 GHz pour une inductance totale de 0.8 nH (Figure 10). Ces résultats sont en parfait accord avec les simulations. Compte tenu des excellents résultats obtenus, nous avons intégré ces inductances au-dessus de transistors LDMOS de puissance 50 W pour former les réseaux de préadaptation d'impédances (Figure 11). Les résultats des caractérisations de ces puces ont montré que notre technologie pouvait remplacer avantageusement les fils micro-soudés utilisés jusqu'à présent (avec, pour le transistor, un rendement mesuré de l'ordre de 60%).

5. Conclusion

Ce papier traite de l'intégration « above IC » d'inductances à fort coefficient de surtension au-dessus de transistors LDMOS. Nous avons démontré que l'utilisation d'un plan de masse solide est obligatoire, les plans structurés étant inefficaces pour les très faibles valeurs de résistivités du substrat. Après optimisation du plan de masse, de l'épaisseur du diélectrique, de la section et du facteur de forme du ruban, les réalisations faible coût ont conduit à un coefficient de surtension de 58 @ 5 GHz pour une inductance totale de 0.8 nH. Ces inductances ont été appliquées avec succès pour la préadaptation de transistors RF LDMOS 50W.

6. Bibliographie

- [1] K. B. Ashby, et al., "High Q inductors for wireless applications in a complementary silicon bipolar process," *IEEE J. Solid-State Circuits*, vol. 31, pp. 4-9, Jan. 1996.
- [2] F. Ganesello, et al., "High current 3D symmetrical inductor integrated in an advanced HR SOI CMOS technology targeting RF power applications," in *Radio Frequency Integrated Circuits Symposium, 2009. RFIC 2009. IEEE, 2009*, pp. 517-520.
- [3] G. Lei and L. Xinxi, "Concave-Suspended High-Q Solenoid Inductors With an RFIC-Compatible Bulk-Micromachining Technology," *Electron Devices, IEEE Transactions on*, vol. 54, pp. 882-885, 2007.
- [4] J. Zou, et al., "Development of Three-Dimensional Inductors Using Plastic Deformation Magnetic Assembly (PDMA)" *IEEE trans. On microwave theory and Techniques*, Vol. 51, No. 4, April 2003
- [5] O. Jun-Yu, et al., "Fabrication and Characterization of Microscaled On-Chip Toroidal Inductors," *Magnetics, IEEE Transactions on*, vol. 45, pp. 4767-4769, 2009.
- [6] C. P. Yue and S. Simon, "On-chip spiral inductors with patterned ground shields for Si-based RF ICs," *IEEE J. Solid-State Circuits*, vol. 33, pp. 743-752, May 1998.
- [7] J.N. Burghartz, "Progress in RF inductors on silicon-understanding substrate losses", *IEEE International Electron Devices Meeting (IEDM)*, 1998, pp. 523-526.
- [8] A. Ghannam, et al., "Dielectric microwave characterization of the SU-8 thick resin used in an above IC process," in *Microwave Conference, 2009. EuMC 2009. European, 2009*, pp. 1041-1044.