



**HAL**  
open science

## Tension de seuil réduite pour composants de puissance à grille: Intérêts et conséquences.

Timothé Simonot, Nicolas Clément, Jean-Paul Rouger, Xuan Hoa Nguyen,  
Jean-Christophe Crébier, Abdelhakim Bourennane, Jean-Louis Sanchez,  
Laurent Gerbaud

### ► To cite this version:

Timothé Simonot, Nicolas Clément, Jean-Paul Rouger, Xuan Hoa Nguyen, Jean-Christophe Crébier, Abdelhakim Bourennane, et al.. Tension de seuil réduite pour composants de puissance à grille: Intérêts et conséquences.. Électronique de Puissance du Futur, Jun 2010, Saint-Nazaire, France. 4p. hal-00498857

**HAL Id: hal-00498857**

**<https://hal.science/hal-00498857>**

Submitted on 12 Jul 2010

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# Tension de seuil réduite pour composants de puissance à grille: Intérêts et conséquences.

T. Simonot<sup>1</sup>, N. Rouger<sup>1</sup>, H. X. Nguyen<sup>1</sup>, JC Crébier<sup>1</sup>, A. Bourennane<sup>2</sup>, JL. Sanchez<sup>2</sup>, L. Gerbaud<sup>1</sup>

<sup>1</sup>Laboratoire de génie électrique de Grenoble – G2ELab, UMR 5269 CNRS/ Grenoble –INP / UJF, St. Martin D'Hères, France,

<sup>2</sup>Laboratoire d'Analyse et d'Architecture des Systèmes – LAAS, UPR 8001 CNRS, Toulouse, France

Contact : [rouger@g2elab.grenoble-inp.fr](mailto:rouger@g2elab.grenoble-inp.fr), [abourenn@laas.fr](mailto:abourenn@laas.fr)

*Résumé: Les composants de puissance à grille ont généralement des tensions de seuil proches de 3 à 4V et des tensions de grille nominales entre 15 et 20V. Ces caractéristiques électriques unanimement reconnues et utilisées sont revisitées dans le cadre d'une collaboration G2ELab-LAAS pour évaluer quels pourraient être les gains et conséquences d'une réduction de la tension de seuil des composants de puissance. Les transistors MOS à niveau de commande logique existent mais cet article propose d'étudier de manière théorique l'évolution des caractéristiques électriques et physique de composants à grille en fonction de la tension de seuil pour voir si les valeurs habituelles, évidentes et appropriées à une époque d'un standard de micro-électronique sont toujours appropriées aux évolutions actuelles de l'électronique de puissance.*

## I. CONTEXTE.

Si les composants de puissance à grille couvrent de larges plages de courants et de tensions selon leurs technologies et leurs tailles, ils sont très souvent pilotés par des niveaux de tension de grille standardisés de 15 à 20V nominal [1][2] et des tensions de seuil de 3 à 4V. Ces grandeurs sont historiquement issues de la micro-électronique qui, à l'époque des premiers composants à grille, étaient couramment pilotés à base de composants 15 à 20V. Cette gamme de valeurs est généralement retenue car elle présente des niveaux suffisamment élevés pour limiter les effets induits par les perturbations extérieures ou physiques comme la température. Aujourd'hui, à travers le processus d'intégration et grâce à l'accès aux moyens technologiques que nous possédons, le LAAS et le G2ELab évaluent si ces choix sont encore pertinents. En effet, l'intégration monolithique ou l'hybridation en surface permet d'envisager une remise en question de la conception des composants de puissance, ainsi que des circuits de commande qui leur sont associés [3]. En redonnant des degrés de liberté sur la conception et la fabrication des composants de puissance et de leur commande associée, nous voulons apporter un point de vue actuel sur ce choix de tension de seuil "historique", pour voir si il correspond toujours aux besoins actuels ou bien s'il serait souhaitable de modifier les compromis de conception à différents niveaux, selon l'application ou selon le contexte. Cet article présente une étude qualitative et quantitative de l'influence de la tension de seuil sur les caractéristiques électriques et physiques des composants de puissance, en lien avec l'environnement électrique de la grille, à savoir le circuit de commande rapproché et la connectique du composant de puissance. Cette étude montre que la réduction de la tension de seuil du composant de puissance est favorable en termes de performances en commutation des composants de puissance, tout en ouvrant la voie de fonctionnalités intéressantes en termes de circuits de commande associés.

## II. PARAMETRES PHYSIQUES MODIFIANT LA TENSION DE SEUIL

Une étude analytique basée sur les modèles classiques a été entreprise. La tension de seuil d'un transistor VDMOS est décrite par les équations (1) et (2) :

$$V_{th} = \frac{e_{SiO_2} \cdot \sqrt{2 \cdot q \cdot Na \cdot \epsilon_{Si} \cdot \epsilon_0 \cdot \left( 2 \cdot \frac{k \cdot T}{q} \cdot \ln \left( \frac{Na}{ni} \right) \right)}}{\epsilon_{SiO_2} \cdot \epsilon_0} + V_{fb} + 2 \cdot \frac{k \cdot T}{q} \cdot \ln \left( \frac{Na}{ni} \right) \quad (1)$$

$$\text{Avec } V_{fb} = - \left( \frac{k \cdot T}{q} \cdot \ln \left( \frac{Na}{ni} \right) + \frac{Eg}{2 \cdot q} \right) \quad (2)$$

Les paramètres intervenant dans la tension de seuil  $V_{th}$  sont décrits dans le tableau 1.

Vfb	tension de bandes plates	V
K	Constante de Boltzman	$1,38 \cdot 10^{-23} J.K^{-1}$
q	Charge de l'électron	$1,6 \cdot 10^{-19} C$
$\epsilon_0$	Permittivité diélectrique du vide	$8,85 \cdot 10^{-14} F.cm^{-1}$
$\epsilon_{Si}$	Constante diélectrique relative du silicium	11,9
$\epsilon_{SiO_2}$	Constante diélectrique relative de l'oxyde	3,9
ni	Concentration intrinsèque à l'équilibre (T=300K)	$1,26 \cdot 10^{10} cm^{-3}$
Na	concentration de dopants accepteurs dans le silicium dopé P	$cm^{-3}$
$e_{SiO_2}$	Epaisseur d'oxyde thermique de grille	cm
Eg	Energie de la bande interdite	eV

Tableau 1 : paramètres intervenant dans l'équation de la tension de seuil

La tension de seuil est donc dépendante de paramètres technologiques qui sont, d'une part, la concentration de la zone de porte canal Na et, d'autre part, l'épaisseur de l'oxyde de grille  $e_{ox}$ . Elle est également dépendante d'un paramètre physique qui est la température, les autres paramètres intervenant dans l'équation (1) étant des constantes. Les influences de ces paramètres sur la tension de seuil ainsi que l'impact de la réduction de la tension de seuil sur les caractéristiques statiques et dynamiques d'un transistor VDMOS vont être analysées au cours de cette étude.

### a- Modification de la concentration du dopage en surface du porte canal P-

Un des deux paramètres de la structure physique permettant la diminution de la tension de seuil est la concentration en

surface du porte canal P-. Du point de vue technologique, la concentration en surface est fonction de la dose effectivement implantée DoseEFF ainsi que du temps Tdiff et de la température de diffusion après implantation t. Ceci est décrit dans l'équation (3) où Nv représente le dopage du substrat et Db le coefficient de diffusion du dopant en fonction de la température de diffusion [4].

$$Na(Tdiff, t) := \left| \frac{DoseEFF}{\sqrt{\pi \cdot Db(Tdiff) \cdot t}} - Nv \right| \quad (3)$$

Afin de déterminer les plages de variations admissibles sur le paramètre Na, nous devons considérer 2 phénomènes prépondérants : le perçage statique de la jonction N+P-Nv et l'amorçage de ce transistor parasite lors de dVds/dt positifs. Il apparaît par ailleurs évident que la profondeur des caissons P doit rester aussi faible que possible. Le perçage du transistor parasite s'opère lorsque la Zone de Charge d'Espace (ZCE) de la jonction Collecteur-Base NvP- s'étend au delà de la ZCE de la jonction Emetteur-Base N+P-. L'amorçage du transistor bipolaire parasite peut s'opérer lors de dVds/dt positifs et afin de prévenir cet amorçage, la résistance répartie dans le porte canal P- doit être suffisamment faible. La concentration en porteurs majoritaires dans la zone dopée P- dite « pincée » doit donc être suffisamment élevée. Cependant, la tenue en tension de la jonction N+/P- doit rester élevée afin de permettre une bonne tenue en tension des fonctions éventuellement intégrées de façon monolithique et selon le même procédé technologique. Ces différentes contraintes nous montrent qu'il est difficile d'ajuster la tension de seuil en modifiant le profil de dopage du porte canal. L'intérêt de modifier la tension de seuil par la concentration en surface du porte canal est cependant de ne pas modifier les capacités parasites du transistor de puissance tout en abaissant sa tension de seuil.

#### b- Modification de l'épaisseur d'oxyde de grille

Selon les expressions (1) et (2), la tension de seuil varie fortement en fonction de l'oxyde de grille, et ce d'autant plus que Na est élevé. Ce paramètre est donc approprié pour faire varier la tension de seuil entre 1 et 4V pour un dopage Na supérieur à  $10^{16} \text{cm}^{-3}$ . Il faut cependant vérifier que certaines contraintes n'empêchent pas cette variation, notamment lorsque l'épaisseur devient faible (inférieur à 20nm). Une contrainte de dimensionnement peut être le champ maximal de claquage de cet oxyde, ESiO2. Ce champ maximal est en général situé aux alentours de 10 MV/cm car l'oxyde de grille est le plus souvent issu d'une oxydation thermique en milieu sec ce qui lui confère des performances et une qualité très élevées. L'épaisseur d'oxyde peut être dimensionnée par la relation :  $eox = Vgs / ESiO2$ . Ainsi pour une épaisseur de 20nm soit une tension de seuil de 1,1V pour un dopage  $Na = 10^{17} \text{cm}^{-3}$ , la tension Vgs maximale sera de 20V, ce qui donne un rapport suffisant par rapport à Vth. Le champ de claquage n'est donc pas ici pénalisant même pour de faibles épaisseurs d'oxyde. Cependant lorsque cette épaisseur est diminuée, les capacités Cgd et Cgs du transistor MOS augmentent, il faut donc observer les implications de cette augmentation de la capacité d'entrée sur les caractéristiques dynamiques du composant de puissance.

#### c- Effets de la température

L'influence de la température sur la tension de seuil est décrite dans le tableau 2. L'influence de l'évolution des travaux de sorties des matériaux est ici prise en compte, par la modification de  $Eg$  et  $ni$  en fonction de la température (équation (2)). La décroissance de la tension de seuil est principalement due à l'augmentation de la valeur de la concentration intrinsèque du silicium avec la température selon les équations que l'on peut trouver dans [5]. La température a une influence non négligeable sur la tension de seuil car une chute de 0.75, 0.5 et 0.3V est observée pour des tensions de seuil respectives de 4, 2 et 1V sur une plage de température allant de 25 à 155°C. L'influence de Vfb diminue la sensibilité de la tension de seuil à la température car son évolution positive compense la diminution de la tension de seuil lorsque la température augmente.

Vth(300K)	Vth(450K)	S= $\Delta Vth/\Delta T$	Vfb(300K)	Vfb(450K)
1.00 V	0.71 V	-1.93 mv/K	-0.97 V	-0.83 V
2.00 V	1.56 V	-2.93 mv/K	-0.97 V	-0.83 V
4.00 V	3.23 V	-5.13 mv/K	-0.97 V	-0.83 V

Tableau 2 : Sensibilité de la tension de seuil à la température

La sensibilité à la température est donc réduite d'un facteur 2,5 environ lorsque la tension de seuil est réduite de 4V à 1V. L'influence de la baisse de la tension de seuil est donc globalement neutre vis-à-vis de la température. Cette tendance est confirmée par [6] qui est un composant à niveaux de commande logique affichant une sensibilité en température de  $-4,5 \text{mV}/^\circ\text{C}$  sur sa tension de seuil typique de 1,75V. On doit cependant être vigilant pour des tensions de seuil inférieures à 1V car dans ce cas la tension de seuil devient proche de zéro pour de fortes températures.

### III. EFFETS DE LA REDUCTION DE LA TENSION DE SEUIL SUR LE TRANSISTOR DE PUISSANCE

#### a- Composants considérés et approche de simulation

Pour l'étude qui va être conduite, nous avons fixé une structure de composant VDMOS, dimensionnée de façon optimale grâce à l'outil CADES [7] pour un calibre maximum en tension de 600V et commutant une source de courant de 1A à une fréquence de 40kHz et un rapport cyclique de 0.5. Les paramètres technologiques et de conception de la cellule élémentaire du VDMOS sont présentés sur le tableau 3 et la figure 1. Le transistor de puissance est composé de 3000 cellules carrées élémentaires, les contacts de grille et de source de chaque cellule étant connectés en parallèle. Les caractéristiques électriques induites au niveau du composant de puissance vont être étudiées pour trois épaisseurs d'oxyde de grille différentes. Pour l'étude de la commutation de ces composants (valeurs et variations des capacités, dynamiques et pertes de commutation, énergie de commande), nous avons utilisé un modèle analytique basé sur la description en 7 phases de la commutation, modélisant de façon fine la variation non linéaire des capacités du transistor de puissance [8-9]. Dans tous les cas, nous simulerons la phase de fermeture du composant de puissance, et la tension commutée sera de 400V, le courant de 1A, et la tension de commande de grille

(sortie de driver) sera un échelon de 0V à  $5 \cdot V_{th}$ . La résistance de grille  $R_g$  sera ajustée afin de permettre des conditions identiques de dynamiques de commutation. Ces commutations s'effectueront sur des charges inductives idéales et nous négligerons toute influence externe au composant sur la dynamique de commutation (recouvrement de diode, inductances de câblage). Bien que classiquement la concentration en surface du porte canal soit choisie plus élevée (surtout dans le cas des composants IGBT), nous avons considéré un composant VDMOS dont la jonction N+P- assure une tenue en tension de 20V, afin d'assurer l'intégration monolithique d'autres fonctions au sein du VDMOS [10].

Na (at/cm <sup>3</sup> )	$5 \cdot 10^{16}$	Lcell (μm)	48
Xja (μm)	6	Lp (μm)	12
Na+ (at/cm <sup>3</sup> )	$5 \cdot 10^{18}$	Ln (μm)	10
Xja+ (μm)	7	Lp+ (μm)	20
Nv (at/cm <sup>3</sup> )	$1 \cdot 10^{14}$	Lintercell(μm)	48
Nd (at/cm <sup>3</sup> )	$5 \cdot 10^{19}$	Lcanal (μm)	3
Xjn (μm)	1,1	LN+(μm)	15
eox (nm)	Vth=1V => eox=46nm		
	Vth=2V => eox=80nm		
	Vth=4V => eox=149nm		
ev(μm)	43+Xja		
egrille(μm)	0,4		

a) b)

Tableau 3 : a) Paramètres physiques de la cellule VDMOS étudiée  
b) Paramètres géométriques de la cellule VDMOS étudiée

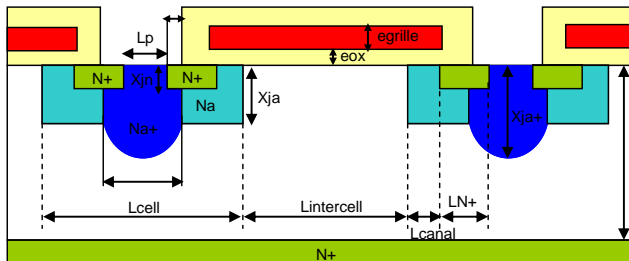


Figure 1 : Structure et paramètres physiques de la cellule VDMOS étudiée

### b- Dynamique de commutation du composant de puissance

La simulation de la phase de commutation du composant de puissance repose sur l'étude de la réponse à un échelon de tension de commande de grille. La résistance  $R_g$  entre cet échelon de tension et la grille du transistor de puissance permet de limiter le courant de charge ou de décharge de la capacité d'entrée du transistor de puissance ce qui permet de régler les dynamiques de commutation du composant de puissance. Lorsque nous modifions la tension de seuil du transistor de puissance par une action sur l'épaisseur d'oxyde de grille, la valeur des capacités non linéaires va être modifiée et il faut donc ajuster la résistance de grille afin de conserver des paramètres de commutations identiques. Pour comparer trois composants à trois épaisseurs différentes d'oxyde (46nm, 80nm et 149nm), nous avons donc ajusté la résistance de grille afin de conserver des pertes par commutation sensiblement identiques. Pour cela, nous avons considéré le cas idéal de la

tension de sortie fournie par le driver (pente infinie – échelon de Heaviside), et ajusté  $R_g$  afin de maintenir des pertes par commutation identiques entre les 3 composants. Comme nous l'avons précisé plus haut, la tension de pilotage de grille, à la sortie du circuit de commande rapprochée, est elle aussi ajustée à une valeur maximale de  $5 \cdot V_{th}$ . Pour ces trois composants, les formes d'ondes  $V_{gs}(t)$  et  $I_{gs}(t)$  sont représentées sur la figure 2. Nous avons utilisé les modèles de [8] et [9] décrivant le comportement dynamique des transistors de puissance VDMOS mis en œuvre dans un outil de résolution numérique déjà utilisé dans [9]. Le pas fixe de calcul utilisé pendant la simulation est de 0.1ns.

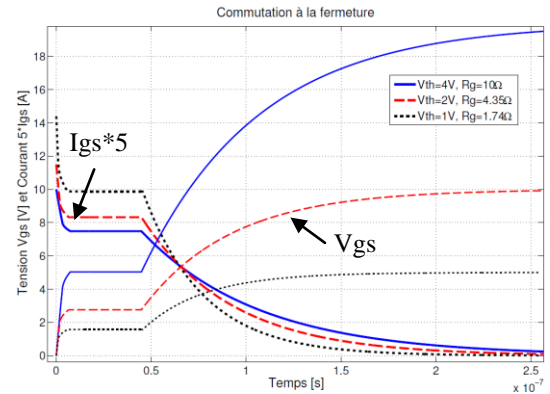


Figure 2 :  $I_{gs}(t)$  et  $V_{gs}(t)$  lors d'une commutation 400V/1A pour différentes tensions de seuil

Sur la figure 2, nous pouvons observer que l'augmentation des capacités liée à la diminution de l'oxyde de grille ne pénalise pas la commutation du transistor de puissance. En effet, pour compenser l'augmentation de  $C_{gd}$  avec la diminution de la tension de seuil, et donc l'augmentation du temps de décroissance de la tension  $V_{ds}$  pendant la commutation à la fermeture, nous devons augmenter la vitesse d'établissement de la source de courant dans le canal du transistor de puissance. Ainsi, en augmentant le courant de charge de la capacité d'entrée du transistor de puissance, il est aisé de piloter des transistors à tension de seuil réduite et de maintenir des pertes par commutation identiques. Notre stratégie d'ajustement de la résistance de grille  $R_g$  est la suivante: l'établissement du courant dans le transistor de puissance à tension de seuil  $V_{th}=1V$  doit être plus rapide que les composants à  $V_{th}=2V$  et  $V_{th}=4V$ , ce qui permet de compenser les pertes supplémentaires du composant  $V_{th}=1V$  pendant la décroissance de  $V_{ds}$ , sous l'effet de l'augmentation de la capacité  $C_{gd}$  avec la réduction de la tension de seuil (figures 3 - 4). Le gain notable que nous allons démontrer est que, en maintenant le même niveau de pertes par commutation entre ces composants à tension de seuil différente, l'énergie fournie par le circuit de commande rapprochée est très inférieure pour le composant de puissance à tension de seuil la plus faible. Un autre gain que nous allons montrer et que grâce à la diminution de la tension de seuil, le stress sur la dynamique du driver (établissement de la tension de commande en V/ns) est réduit.

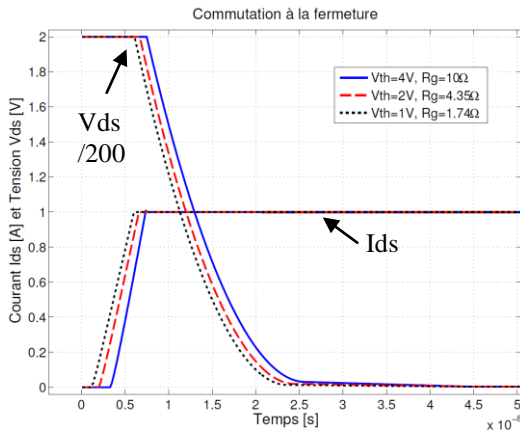


Figure 3 :  $C_{gd}(t)$ ,  $C_{gs}(t)$  et  $C_{ds}(t)$  lors d'une commutation

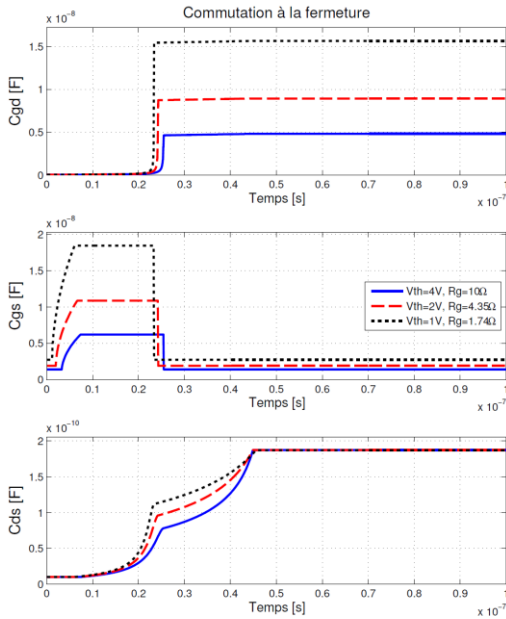


Figure 4 :  $C_{gd}(t)$ ,  $C_{gs}(t)$  et  $C_{ds}(t)$  lors d'une commutation 400V/1A pour différentes tensions de seuil

Les tableaux 4 et 5 présentent le bilan complet entre les trois composants de puissance différents, dans le cas de la commande par un échelon de tension parfait (sans temps de montée) et en ajustant la résistance de grille  $R_g$  en maintenant constantes les pertes par commutation ( $3.4\mu\text{J}$ ). L'énergie nécessaire pour la commutation du transistor de puissance passe de  $1.48\mu\text{J}$  à  $0.34\mu\text{J}$  lorsque  $V_{th}$  est réduit de 4V à 1V, et ce, même si le courant maximum de commande a été augmenté de 2A à 3A. Cette réduction d'un facteur 4.4 s'accompagne aussi d'une réduction sur la puissance fournie par le driver ( $3.22\mu\text{J}$  à  $0.77\mu\text{J}$ ), tout en maintenant des pertes en commutation identiques. La réduction de la tension de seuil apparaît donc ici comme une tendance très intéressante, avec des gains avoisinants les 25% à 40% sur l'ensemble des pertes par commutation.

$V_{th}$ (V)	$R_g$ ( $\Omega$ )	$I_{max}$ commande (A)	$E_{commande}$ ( $\mu\text{J}$ )	$E_{driver}$ ( $\mu\text{J}$ )	$P_{driver}$ @40kHz (mW)	$P_{commande}$ @40kHz (mW)
4	10	2	1.48	3.22	128.8	59.2
2	4.35	2.2	0.7	1.54	61.6	28
1	1.74	3	0.34	0.77	30.8	13.6

Tableau 4 : Bilan de l'énergie de commande et de l'énergie fournie par le driver

$V_{th}$ (V)	Temps de commutation 400V/1A (ns)	Temps total de commutation (ns)	E dissipée ( $\mu\text{J}$ )	$P_{commutation}$ @40kHz (mW)
4	41.6	44.9	3.4	272
2	42.9	44.9	3.4	272
1	44.4	45.6	3.4	272

Tableau 5 : Bilan de l'énergie dissipée pendant une commutation

De plus, dans le cas d'un driver ayant un temps d'établissement de la tension de pilotage plus faible, les performances du composant de puissance à tension de seuil réduite sont supérieures. Le courant de grille est représenté sur la figure 5, et la puissance instantanée dissipée par le transistor de puissance sur la figure 6, dans le cas d'une tension de pilotage de  $5 \cdot V_{th}$  avec une dynamique d'établissement de  $0.1\text{V/ns}$ . Dans ce cas, les pertes par commutation du transistor à  $V_{th}=1\text{V}$  sont de  $4.4\mu\text{J}$  contre  $6.1\mu\text{J}$  pour le  $V_{th}=4\text{V}$ , avec les mêmes résistances  $R_g$  fixées selon le cas précédent. De cette étude, nous concluons que les composants à tension de seuil réduite permettent de limiter les besoins énergétiques sur l'étage de sortie du driver, tout en offrant un bilan globalement favorable sur la vitesse de commutation, les pertes par commutation et l'énergie de commande nécessaire (tableaux 6 et 7).

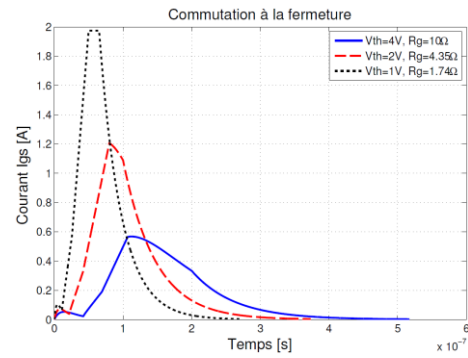


Figure 5 :  $I_{gs}(t)$  avec une dynamique du driver de  $0,1\text{V/ns}$  lors d'une commutation 400V/1A pour différentes tensions de seuil

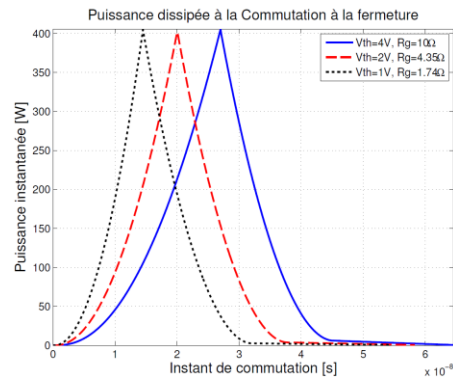


Figure 6 : Puissance instantanée avec une dynamique du driver de  $0,1\text{V/ns}$  lors d'une commutation 400V/1A pour différentes tensions de seuil.

$V_{th}$ (V)	$R_g$ ( $\Omega$ )	$I_{max}$ commande (A)	$E_{commande}$ ( $\mu\text{J}$ )	$E_{driver}$ ( $\mu\text{J}$ )	$P_{commande}$ @40kHz (mW)	$P_{driver}$ @40kHz (mW)
4	10	0.6	0.91	1.22	36.4	48.8
2	4.35	1.2	0.57	0.92	22.8	36.8
1	1.74	2	0.3	0.6	12	24

Tableau 6 : Bilan de l'énergie de commande et de l'énergie fournie par le driver pour une dynamique de commutation de  $0,1\text{V/ns}$

Vth (V)	Temps de commutation 400V/1A (ns)	Temps total de commutation (ns)	E dissipée (μJ)	Pcommutation @40kHz (mW)
4	64.5	107	6.1	488
2	58.3	80.1	5.1	408
1	54.1	65.1	4.4	352

Tableau 7 : Bilan de l'énergie dissipée pendant une commutation pour une dynamique de 0,1V/ns

### c- Susceptibilité au dv/dt

La susceptibilité du transistor se caractérise entre autres par sa sensibilité aux variations de courant et de tension entre drain et source pouvant induire des différences de potentiel significatives au niveau de sa grille. La figure 7 montre les composants parasites du transistor VDMOS influant sur sa susceptibilité dans le cas d'une variation de tension Vds.

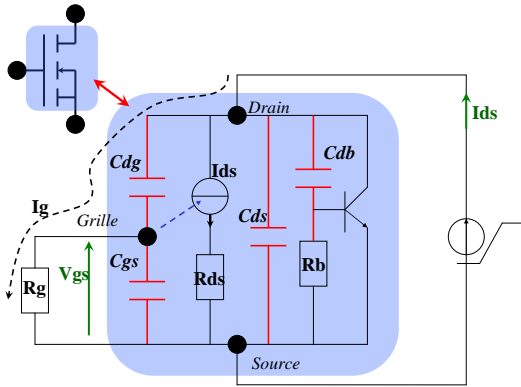


Figure 7 : Composants parasites du VDMOS influençant sa susceptibilité en fonction d'un dVds/dt

L'influence de l'évolution des capacités non linéaires d'entrée Cgd et Cgs va être étudiée dans un premier temps. La capacité Cgd et la résistance de grille Rg influent sur la susceptibilité du composant car le courant capacitif Ig peut remettre en conduction le composant principal alors que le circuit de commande impose un état bloqué (figure 7). En effet, lors d'une variation de tension entre drain et source, un courant Ig est induit dans la grille via la capacité Cgd. Dans le cas simple et non réaliste d'une capacité Cgd constante, l'expression de Vgs devient donc

$$V_{gs} = R_g \cdot C_{gd} \cdot \frac{dV_{ds}}{dt} \quad (3)$$

De façon approchée on peut estimer la variation de tension maximale entre drain et source en un temps donné de façon à ce que le transistor ne se remette pas en conduction. Pour cela, nous considérons la capacité Cgd pour une tension de seuil donnée, associée à l'équation 3 pour calculer le ΔVds/Δt maximal autorisé. Dans notre cas les valeurs du tableau 8 sont obtenues pour un temps Δt de 100ns.

Vth (V)	Rg (Ω)	Cgd (nF)	ΔVds (V)
1,00	1,74	0,14	410
2,00	4,35	0,09	510
4,00	10,00	0,05	800

Tableau 8 : ΔVds maximal estimé pour éviter la remise en conduction du transistor

Ces valeurs sont approchées car la capacité Cgd est non linéaire et varie fortement lors d'une variation de Vds. Le ΔVds estimé ici donne donc un ordre de grandeur qui est

acceptable dans le cas étudié, même pour un composant à tension de seuil de 1V car on peut appliquer un échelon de tension de plus de 400V en 100ns sans qu'il n'y ait de remise en conduction du transistor de puissance. Une campagne de simulations numériques a été conduite, afin de vérifier cette tendance, sur les mêmes composants. La figure 8 représente l'évolution du courant de drain et de la tension de grille pendant un dv/dt de 400V en 100ns. Ces simulations numériques conduites via le logiciel TCAD Sentaurus confirment que la susceptibilité des transistors à tension de seuil réduite est plus importante. En effet, sur la figure 8 nous pouvons voir que le potentiel de grille des composants à Vth=1V et Vth=2V s'élève au-delà de la tension de seuil, créant ainsi une brève mise en conduction parasite de la source de courant. La diminution de la capacité de réaction Cdg, par l'augmentation de la différence de potentiel Vds pendant le dv/dt permet d'interrompre la conduction du canal. Dans tous les cas, la fin de la perturbation due au dv/dt est sensiblement identique quelle que soit la tension de seuil des composants, car les capacités drain-source des transistors ont des valeurs très proches. Cette sensibilité accrue s'explique principalement par la valeur plus importante de Cgd dans les composants à tension de seuil réduite, au début du dv/dt (Cgd est maximale dans cette phase). L'immunité du transistor peut être améliorée par la réduction de la résistance de grille ou par l'emploi d'une commande bipolaire permettant d'appliquer une tension suffisamment négative sur la grille pendant l'état bloqué du transistor de puissance, à travers une résistance Rg. Dans ce cas, la tension Vgs négative diminue la valeur de la capacité Cgd et le courant Ig circulant dans Rg est ainsi plus faible. Une tension négative de  $-5 \cdot V_{th}$  devrait permettre une très forte réduction de cette capacité Cgd par le phénomène d'auto-écrantage. De plus, l'élévation de tension ΔVgs pendant le dVds/dt doit maintenant dépasser  $6 \cdot V_{th}$  pour que le transistor soit remis en conduction, le ΔVds maximal acceptable dans ce cas sera donc supérieur au cas de la commande unipolaire. Les simulations numériques de cette commande bipolaire (figure 9) confirment l'effet d'auto-écrantage, avec une réduction du courant parasite de charge de grille Ig qui est réduit d'un facteur 15 grâce à la tension de sortie du driver négative, ce qui garantit alors une élévation de moins de 0.2V du potentiel de grille pendant un dv/dt, et donc une très bonne immunité. Il n'y a pas lieu ici de comparer la remise en conduction du transistor bipolaire parasite sous l'effet de dv/dt positif, car la modification de l'épaisseur d'oxyde de grille ne modifie ni la résistance pincée Rb, ni la capacité Cdb, et donc cet amorçage du transistor bipolaire sera identique dans tous les cas.

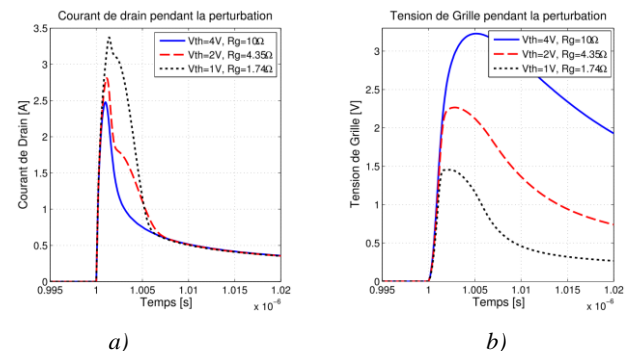


Figure 8 : Effets d'un dv/dt positif sur a) le courant de drain et b) la tension de grille, la tension de sortie du driver étant à 0V

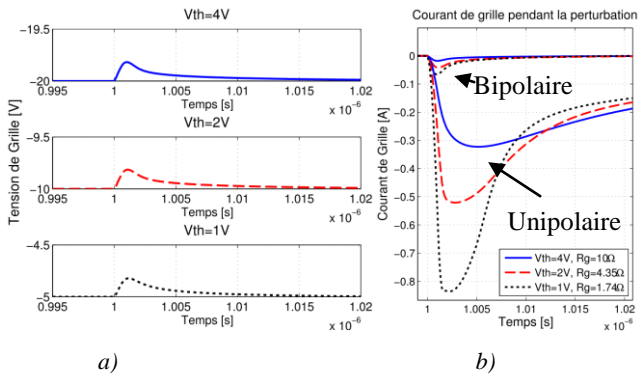


Figure 9 : a) Effets d'un  $dv/dt$  positif sur la tension de grille, la tension de sortie du driver étant à  $-5 \cdot V_{th}$ . b) Comparaison sur l'évolution du courant de grille pendant la perturbation, pour la commande unipolaire et bipolaire.

#### d- Conséquences sur le circuit de commande rapproché

Il a été vu dans les sections précédentes que le circuit de commande avait un rôle prédominant sur la dynamique du composant de puissance et ce d'autant plus que la tension de seuil était faible. Une attention particulière doit donc être apportée aux interactions entre la partie commande et la partie puissance afin de s'affranchir des phénomènes parasites pouvant causer une augmentation des pertes ou même un mauvais fonctionnement du circuit global. Les impédances des interconnexions entre la commande et la puissance sont des sources de parasites qui vont venir perturber la commutation de l'interrupteur de puissance. Par exemple, l'inductance parasite entre la commande rapprochée et la grille du transistor de puissance cause des oscillations faiblement amorties de la tension  $V_{gs}$  lors d'une commutation. Celles-ci peuvent remettre partiellement le transistor en conduction. De même entre la source du transistor et de la reprise de source du circuit de commande, l'inductance parasite introduit une tension positive entre grille et source lors de l'apparition d'une variation de courant, ce qui ralentit la commutation et alourdit ainsi le bilan des pertes. L'intégration de la commande au plus près de la puissance par un report en flip chip permettra donc de réduire fortement l'impédance entre la commande et le composant de puissance, de cette manière la fiabilité de la commande sera donc augmentée et les pertes réduites. Il a été vu dans la section III-c que l'immunité du composant de puissance lors d'une commutation pouvait être améliorée par l'emploi d'une tension négative entre grille et source lors du blocage de l'interrupteur. Cette commande bipolaire peut être créée dans une technologie CMOS à partir d'une tension unipolaire, en rajoutant simplement un étage de commande sur la source du transistor de puissance. En outre, la diminution de la tension de seuil permet de réduire la tension d'alimentation du circuit de commande, qui pourrait ainsi être avantageusement alimenté par la faible source de tension disponible pendant l'état passant du composant de puissance [11]. Ce dernier point est particulièrement attrayant et tire le plein bénéfice d'une conception couplée des puces de puissance et de leur puce de commande associée.

## IV. BILAN ET CONCLUSIONS

L'étude qui a été présentée dans cet article montre qu'il existe des gains non négligeables à l'utilisation de transistors de puissance à tension de seuil réduite. En effet, il a été démontré que la tension de seuil pouvait être réduite jusqu'à 1V sans rencontrer de contrainte physique majeure, et que la sensibilité de la tension de seuil à la température n'était pas dégradée. De plus nous avons montré qu'il existe des gains notables sur l'énergie de commande avec les composants à tension de seuil réduite, et ce malgré une augmentation des capacités parasites lorsque la tension de seuil est réduite par la modification de l'oxyde de grille. La baisse de la tension d'alimentation de la commande est la cause majeure de ces gains, même si la résistance de grille du transistor doit être réduite et ainsi le courant de grille augmenté pour conserver une dynamique de commutation égale aux composants à tension de seuil supérieure. Cette diminution de la tension de commande est également très attrayante car elle permet de diminuer l'écart entre la tension du composant de puissance à l'état passant et la tension d'alimentation du circuit de commande rapprochée, afin d'effectuer le plus efficacement possible une auto alimentation du circuit de commande. En conclusion et grâce aux fonctionnalités apportées par l'intégration et la conception couplée des circuits de commande, il n'apparaît pas de verrous ni de contre indication à l'utilisation de ces transistors de puissance à tension de seuil réduite.

## V. REFERENCES

- [1] Kim, E.D.; Kim, N.K.; Kim, S.C.; Bahng, W.; Song, G.H.; Han, S.B., "An intelligent power module for IGBT gate driver implemented in 0.8  $\mu\text{m}$  high voltage CMOS process," Industrial Electronics, 2001. Proceedings. ISIE 2001. IEEE International Symposium on , vol.1, no., pp.661-665 vol.1, 2001
- [2] Automotive Grade AUIRS2181S, "High- and Low-Side Driver", Datasheet, International Rectifier
- [3] Lee, F.C.; van Wyk, J.D.; Boroyevich, D.; Guo-Quan Lu; Zhenxian Liang; Barbosa, P., "Technology trends toward a system-in-a-module in power electronics," Circuits and Systems Magazine, IEEE , vol.2, no.4, pp. 4-22, Fourth Quarter 2002
- [4] Simon M. Sze, Kwok K. Ng, "Physics of Semiconductor Devices", Wiley-Interscience; 3ème édition, October 27, 2006
- [5] Rouger N., « Intégration monolithique des fonctions d'interface au sein de composants de puissance à structure verticale », Thèse de l'Institut National Polytechnique de Grenoble, Juillet 2008
- [6] Datasheet NID9N05CL Logic Level Power MOSFET
- [7] B. Delinchant *et al*, "An Optimizer using the Software Component Paradigm for the Optimization of Engineering Systems", The International Journal COMPEL, Volume 26, Number 2, 2007, pp 368-379
- [8] L. Aubard, "Modélisation des transistors MOS de puissance pour l'électronique de commutation", Thèse de l'Institut National Polytechnique de Grenoble, 1999
- [9] G. Verneau, "Optimisation Géométrique de MOSFETs de Puissance en vue d'Intégrer l'Alimentation de l'Etage de Commande", Thèse de l'Institut National Polytechnique de Grenoble, Mai 2002
- [10] N Rouger, JC Crebier, H tran Manh, C Schaeffer, "Toward integrated gate driver supplies : Practical and analytical studies of high-voltage capabilities", IEEE Power Electronics Specialist Conference, Juin 2008.
- [11] T Simonot, N Rouger, JC Crébier, "Design and characterization of an integrated CMOS gate driver for vertical power MOSFETs", IEEE Energy Conversion Congress and Exposition ECCE 2010 – à paraître.