Analyse d'architectures de multiplieurs en vue de la basse consommation

Mariem SLIMANI et Philippe MATHERAT
Institut Telecom,Telecom ParisTech, COMELEC,
46 rue barrault, 75634, Paris, FRANCE

Objectifs

- Etudier les performances des différentes architectures de multiplieurs.
- Comparer la consommation des multiplieurs Combinatoires et ceux séquentiels pour se donner une idée sur la relation logicialité/consommation.

Architectures de Multiplieurs

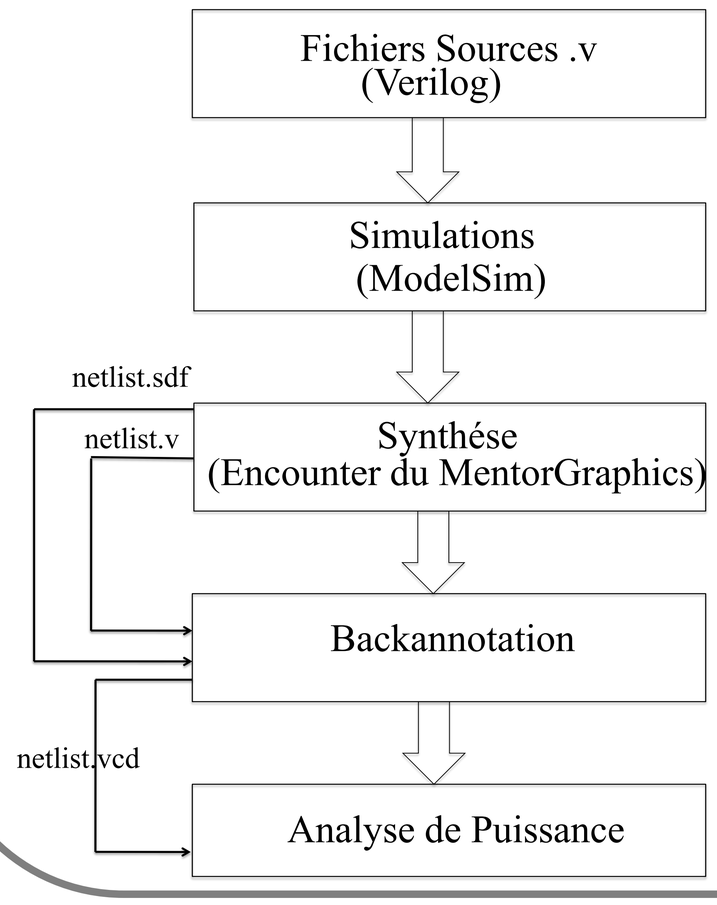
Principe de multiplication de deux nombres binaires :

```
                    x3 x2 x1 x0
   x                y3 y2 y1 y0
   ------------------------------
        y0x3 y0x2 y0x1 y0x0
     y1x3 y1x2 y1x1 y1x0
  y2x3  y2x2 y2x1 y2x0
+ y3x3 y3x2 y3x1 y3x0
   ------------------------------
   p7   p6   p5   p4   p3   p2   p1   p0
```

Plusieurs méthodes d'implémentation :

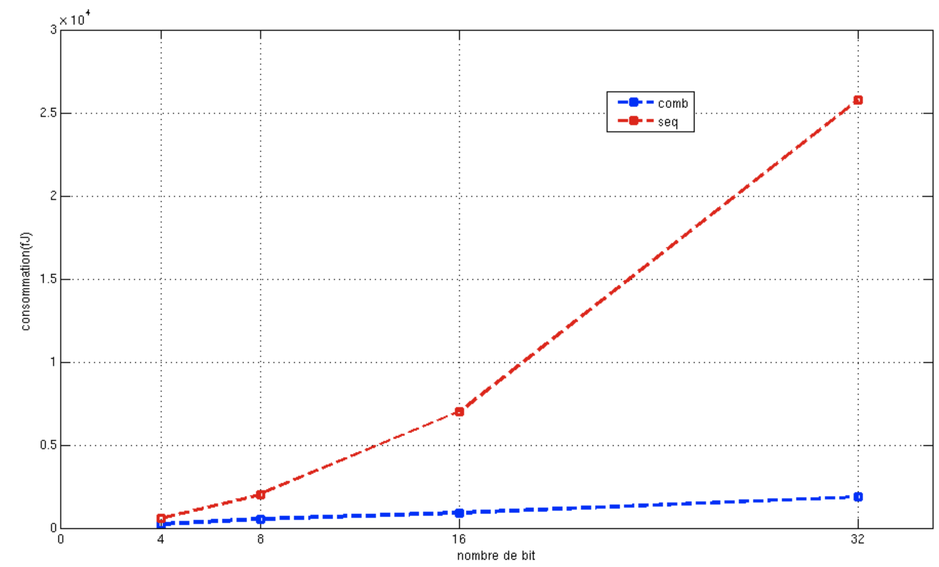
- Combinatoire : Fonction logique à partir d'une table de vérité ;
- Séquentiel : Algorithme « Shift-and-add ».

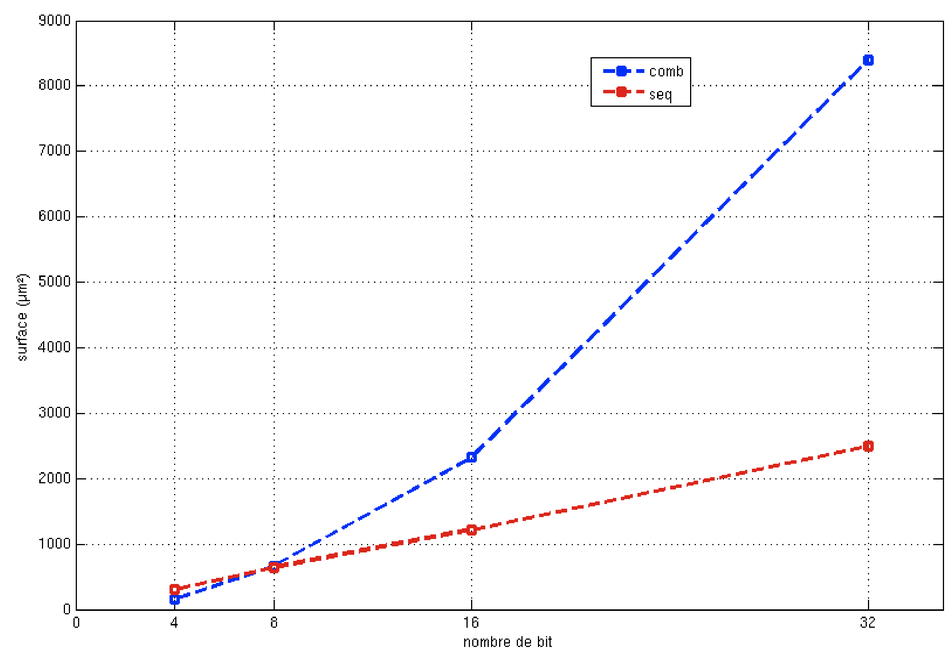
Diagramme de Conception



Résultats de Simulations

Algori-thme	Combinatoires			Séquentiels		
	MRC	MW	CSM	MS	MR1	MR2
Surface(μm^2)	661.4	657.28	866.8	804.4	940.16	648.4
P_T(μm)	564.2	602.5	1252.5	382.9	506.6	223.8
F(mul/s)	F	F	F	F/18	F/9	F/9
E(fJ)	564.2	602.5	1252.5	6893.6	4560.1	2014.2
E/E1	1	1.06	2.21	12.21	8.08	3.569





Conclusion

- Pour une application à basse consommation, le multiplieur combinatoire MRC est à sélectionner parmi tous les multiplieurs combinatoires et le multiplieur MR2 est le meilleur multiplieur séquentiel.
- Les multiplieurs séquentiels consomment beaucoup plus que les multiplieurs combinatoires, cela permet de nous confirmer en premier temps le fait que « plus c'est logicielle, plus ça consomme ».