



HAL
open science

Conception et modélisation d'une tête RF pour un émetteur récepteur impulsionnel à 60 GHz en technologie CMOS sub-micronique

Michael Kraemer, Daniela Dragomirescu, Robert Plana

► **To cite this version:**

Michael Kraemer, Daniela Dragomirescu, Robert Plana. Conception et modélisation d'une tête RF pour un émetteur récepteur impulsionnel à 60 GHz en technologie CMOS sub-micronique. Journées Nationales du Réseau Doctoral de Microélectronique 2009 (JNRDM 2009), May 2009, Lyon, France. hal-00449501

HAL Id: hal-00449501

<https://hal.science/hal-00449501>

Submitted on 21 Jan 2010

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Conception et modélisation d'une tête RF pour un émetteur-récepteur impulsif à 60 GHz en technologie CMOS sub-micronique

Michael Kraemer, Daniela Dragomirescu, Robert Plana
CNRS; LAAS; 7 avenue du colonel Roche, F-31077 Toulouse, France
Université de Toulouse; UPS, INSA, INP, ISAE; LAAS; F-31077 Toulouse, France

E-mail: {mkraemer, daniela, plana}@laas.fr

Résumé

Ce papier présente des travaux sur la modélisation et la conception d'une tête RF pour un émetteur-récepteur à 60 GHz en technologie CMOS 65nm. Une modélisation comportementale au niveau système est proposée. Elle est nécessaire pour évaluer l'impact d'une intégration commune du front-end et de la bande de base numérique sur une même puce.

L'architecture de l'émetteur-récepteur est du type "conversion directe". La bande de base numérique crée les impulsions qui sont ensuite converties en analogique et modulées par une porteuse autour de 60 GHz. Une voie I et une voie Q sont utilisées. Le spectre est découpé en sous-bandes. Le récepteur fera la transposition du signal, de 60 GHz vers la bande de base. L'interface entre la tête RF et la partie responsable du traitement du signal numérique est faite par un convertisseur analogique numérique.

Une nouvelle méthode utilisant des réseaux de neurones pour modéliser le comportement d'un oscillateur contrôlé en tension est également présenté dans ce papier. L'implémentation est faite en VHDL-AMS.

1 Introduction

Pour les applications de type réseau de capteur ainsi que dans les futurs systèmes de communication sans fils très haut débit (> 1 GBit/s) et courte distance (< 10 m), la bande de fréquence autour de 60 GHz possède des performances très intéressantes. Dans cette bande, la future réglementation de l'ETSI devrait allouer 9 GHz de bande avec une puissance isotopique rayonnée équivalente (PIRE) de 56dBm [1]. Aux États Unis et au Japon, il existe déjà des réglementations autour de 60 GHz qui permettent d'émettre un signal ayant une puissance comparable sur une bande de 7 GHz.

Les standards qui sont en train d'être installés dans cette bande (IEEE 802.15.3a, WirelessHD, ECMA-387) prévoient un découpage en sous-bandes de 1.728 GHz. L'aspect multi-bande permet d'établir plusieurs liens en même temps. De plus, l'utilisation de sous-bande implique la réduction de la largeur de bande à traiter par la bande de base, ce qui facilite sa réalisation avec les technologies CMOS actuelles. Par contre, la tête RF doit

travailler sur toute la plage de fréquences disponible pour couvrir toutes les sous-bandes, ce qui nécessite une architecture large-bande.

Dans la section 2, les travaux sur la tête RF d'un émetteur-récepteur ultra large bande autour de 60 GHz utilisant une architecture conversion directe [2, 3] sont présentés. La section 3 expose une méthodologie pour modéliser l'oscillateur employé dans cet émetteur-récepteur.

2. Conception de la tête RF de l'émetteur-récepteur

Plusieurs émetteur-récepteurs 60 GHz en technologie CMOS ont été présentés ces dernières années (p.ex. [4, 5, 6]). En technologie SiGe, un émetteur-récepteur qui fait la transposition des impulsions ultra large bande a été publié [7]. Ces travaux ont montré la faisabilité de ce type de circuit, sans traiter toutes les détails de l'implémentation.

L'émetteur-récepteur décrit dans ce papier est optimisé afin d'avoir une très faible consommation de puissance. Il utilise une modulation impulsionnelle, pour laquelle les impulsions sont générées numériquement par la bande de base et ensuite transposées à 60 GHz [8].

La transposition est faite directement, sans fréquence intermédiaire, non seulement pour l'émetteur, mais aussi pour le récepteur [2, 3]. L'avantage de ce choix est une architecture simple et donc faible consommation ainsi qu'une intégrabilité élevée. Pour exploiter efficacement le spectre, la porteuse doit être modulée en quadrature. Les récepteurs à conversion directe ont l'avantage de tolérer une légère erreur de phase.

L'inconvénient d'une telle architecture est principalement la présence d'une composante continue entraînée par le couplage entre les deux entrées du mélangeur et le bruit en $1/f$. Au delà d'utiliser des composants et un layout qui atténuent ces effets, une bande de base ultra large bande impulsionnelle est moins sensible à ces effets, parce que la suppression d'une partie du spectre autour de zéro peut être toléré plus facilement.

2.1 Architecture de la tête RF

Le schéma de la tête RF de l'émetteur est représenté sur la Figure 1, celui du récepteur sur la Figure 2.

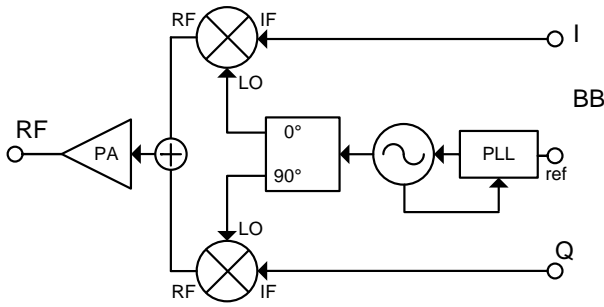


FIG. 1. Diagramme de l'émetteur

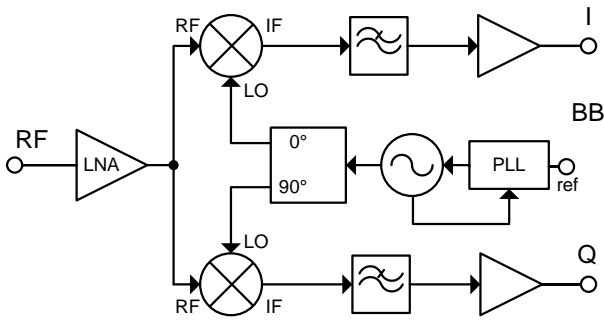


FIG. 2. Diagramme du récepteur en conversion directe

Dans les deux sous-circuits, la porteuse est générée par un oscillateur contrôlé en tension (VCO, voir section 2.2.1), qui doit être synchronisé avec une référence externe par une boucle à verrouillage de phase (PLL). Un déphaseur crée le signal de l'oscillateur local (OL) en phase et en quadrature à partir de la sortie du VCO.

Dans l'émetteur, les voies I et Q de la bande de base (BB), qui sortent de convertisseur numérique-analogique, sont modulés par des mélangeurs en utilisant les signaux de l'OL en phase et en quadrature. Avant d'être émis par les antennes, les deux canaux sont additionnés et amplifiés (PA). L'information est donc répartie à gauche et à droite de la porteuse. Il n'y a donc pas d'image à rejeter au récepteur.

Dans le récepteur, le signal est tout d'abord amplifié par un amplificateur faible bruit (LNA, voir 2.2.2). Puis il est réparti sur deux voies I et Q. Dans un récepteur à conversion directe, cette séparation doit obligatoirement avoir lieu avant la transposition, pour éviter que les deux voies se superposent. Après la transposition vers la bande de base, le signal doit être filtré et amplifié, pour travailler dans la pleine échelle du convertisseur numérique analogique.

2.2 Composants du circuit en fabrication en technologie CMOS 65 nm

Les composants décrits dans cette section constituent le début des travaux. Le but est de réaliser l'émetteur-récepteur complètement intégré.

2.2.1 Oscillateur contrôlé en tension. La gamme de fréquence de l'oscillateur doit être suffisamment large

pour comprendre les porteuses de toutes les sous-bandes. Avec la première porteuse à 58.32 GHz et la dernière à 64.8 GHz, l'oscillateur a une plage de réglage relatif d'au moins 10%.

Un oscillateur de type "Colpitts Différentiel" est en fabrication en technologie CMOS 65nm. Il est optimisé par rapport au bruit de phase, tout en ayant une faible consommation, et contient aussi deux buffers suiveurs.

2.2.2 Amplificateur faible bruit. Dans une architecture de type conversion directe, il est primordial que la tête RF fournisse suffisamment de gain afin de réduire l'influence du facteur de bruit de la bande de base (constitué, notamment, du bruit en $1/f$). En plus de l'utilisation d'un mélangeur actif, du gain doit être apporté par l'amplificateur faible bruit. Dans une technologie CMOS 65nm, 20 dB de gain peuvent être fournis par deux étages cascodes. Un tel circuit, conçu selon l'algorithme détaillé en [9], est en fabrication.

2.2.3 Inductances. Pour maximiser les performances et minimiser la surface du circuit, des inductances sont utilisées au lieu des lignes de transmission [5]. L'optimisation du facteur de qualité de ces inductances nécessite un compromis dans le choix de la largeur des conducteurs [10]. Une largeur trop élevée augmente les pertes dues au couplage avec le substrat faible résistivité, une largeur trop petite augmente celles dues à la résistivité de la métallisation.

Des simulateurs électromagnétiques comme Sonnet, HFSS et ASITIC sont évalués afin de trouver le meilleur moyen de déterminer précisément le comportement de ces inductances. Des structures de test sont en fabrication afin de valider les résultats obtenus par simulation.

3 Modélisation comportementale d'un oscillateur contrôlé en tension

A des fréquences très élevées, les modèles utilisés pour la conception des sous-circuits sont trop complexes, empêchant ainsi leur utilisation pour simuler un système complet. Il faut donc des modèles comportementaux qui réduisent l'ordre du système, comme présenté pour les quadripôles micro-ondes dans [11]. Cette méthodologie n'est pourtant pas facilement applicable aux oscillateurs. Le modèle proposé dans ce chapitre comble cette lacune. Le principe de base est exposé de façon plus approfondie dans [12] pour des oscillateurs simples sans contrôle en tension.

Pour l'implémentation du modèle, le langage de description matériel "VHDL-AMS" [13] est utilisé, car il permet de simuler des blocs analogiques et numériques.

La nouvelle technique modélise le comportement en régime transitoire et régime permanent ainsi que le bruit de phase pour des oscillateurs micro-onde. Cette méthodologie peut être appliquée à une grande variété d'oscillateurs contrôlés en tension : différentiels ou non, indépendants de l'architecture et avec ou sans buffer.

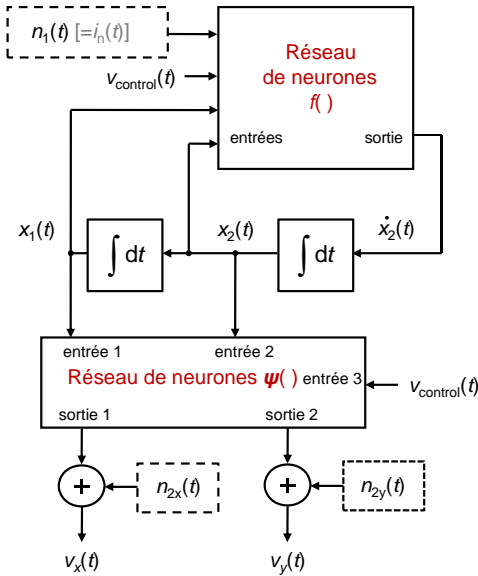


FIG. 3. Structure du modèle proposé

La technique proposée utilise des réseaux de neurones pour approximer la caractéristique non linéaire du circuit. La dynamique est décrite par un système d'équations différentielles d'ordre deux dans l'espace d'états, ce qui représente une grande réduction par rapport à l'oscillateur initial. Le bruit de phase est simulé en injectant dans le résonateur du bruit Gaussien, qui sera ensuite transformé en bruit de phase dans la région $1/f^2$.

3.1 Structure du modèle

L'ordre du circuit d'un VCO peut facilement dépasser le millier puisque chaque capacité parasite indépendante en accroît l'ordre.

Dans le modèle proposé, les états de l'oscillateur ne sont plus liés aux capacités et inductances du circuit. Cela permet de réduire l'ordre du système à deux sans changer le comportement de l'oscillateur. En effet, le vecteur d'état du système est défini par

$$\mathbf{x}(t) = \begin{bmatrix} x_1(t) \\ x_2(t) \end{bmatrix} = \begin{bmatrix} v_{\text{tank}}(t) \\ \dot{v}_{\text{tank}}(t) \end{bmatrix}. \quad (1)$$

avec $v_{\text{tank}}(t)$ la tension sur le résonateur, et $\dot{v}_{\text{tank}}(t)$ sa dérivée première. $v_{\text{tank}}(t)$ et $\dot{v}_{\text{tank}}(t)$ sont les nouveaux états du système. L'équation différentielle qui décrit l'évolution de ces états est donc

$$\dot{\mathbf{x}}(t) = \begin{bmatrix} \dot{x}_1(t) \\ \dot{x}_2(t) \end{bmatrix} = \begin{bmatrix} x_2(t) \\ f(x_1(t), x_2(t), \mathbf{u}(t)) \end{bmatrix}. \quad (2)$$

La fonction $f()$ représente le comportement fortement non linéaire de l'oscillateur, et prend comme arguments les vecteurs contenant les états $\mathbf{x}(t)$ et les entrées $\mathbf{u}(t)$ du système. Ces dernières sont dans ce cas la tension de contrôle et le signal d'une source de bruit. L'équation des sorties,

$$\begin{bmatrix} v_x(t) \\ v_y(t) \end{bmatrix} = \Psi(x_1(t), x_2(t), \mathbf{u}(t)) \quad (3)$$

est utilisée pour calculer les tensions à la sortie de l'oscillateur à partir de ses états et de ses entrées.

La structure du modèle complète est donnée dans la Figure 3. Les fonctions $f()$ et $\Psi()$ sont implémentées par des réseaux de neurones [14]. Les blocs en pointillés contiennent des sources de bruit Gaussien, qui sont utilisées, pour émuler le bruit de phase à la sortie de l'oscillateur, et pour initier l'oscillation.

Les réseaux de neurones [14] contiennent l'intégralité du comportement de l'oscillateur. Afin de déterminer les paramètres de ces réseaux, on les entraîne avec des données obtenues via une simulation au niveau circuit (SPECTRE ou ADS). La réponse d'un réseau de neurones avec deux couches cachées, approxinant la fonction $f()$, est représentée dans la Figure 4. La réponse du réseau entraîné correspond très précisément au cycle limite obtenu par la simulation sur ADS.

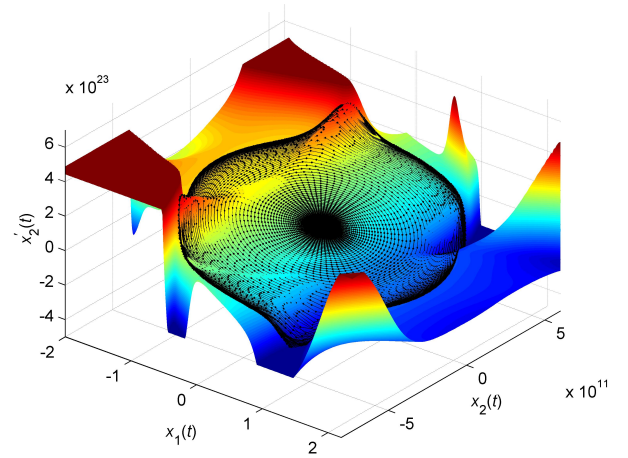


FIG. 4. Couverture de la fonction $f()$ obtenu par le réseau de neurones (surface colorée) par rapport à sortie du modèle ADS (cycle limite en noir).

3.2 Résultats du modèle

La méthodologie décrite ci-dessus est appliquée afin de modéliser le comportement d'un VCO type "Colpitts" différentiel à 60 GHz, dont le schéma existe sur ADS. A partir de ce modèle, les deux réseaux nécessaires présentés sur la Figure 3 sont entraînés. Deux couches cachées avec 15 et 10 neurones pour approximer $f()$ et une couche cachée avec trois neurones pour approximer $\Psi()$ ont été nécessaires pour obtenir une erreur quadratique moyenne de l'ordre de $1E-6$.

Le spectre de bruit de phase simulé avec le modèle proposé est donné en Figure 5. Le comportement en régime transitoire et en régime permanent, qui contient aussi le point de polarisation du circuit, est donné en Figure 6.

4. Conclusion

Des travaux innovants qui portent sur l'implémentation et la modélisation d'un émetteur-récepteur à 60 GHz sont présentés. Une architecture

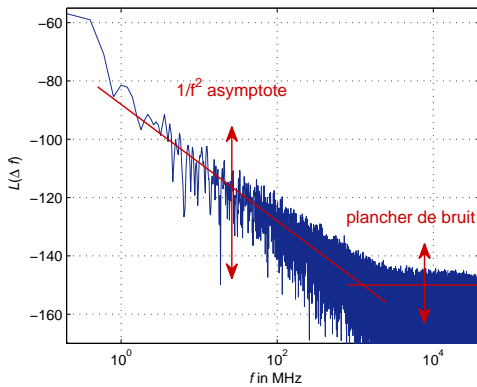


FIG. 5. Spectre de bruit de phase produit par le modèle VHDL-AMS proposé

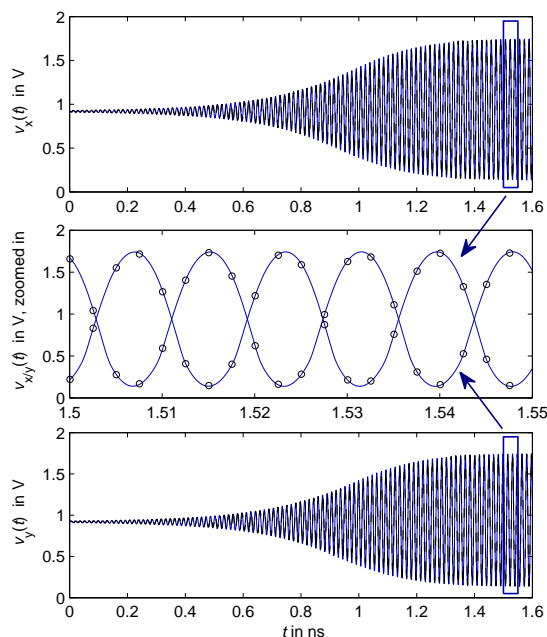


FIG. 6. Comparaison : sorties différentielles du modèle proposé (cercles) par rapport aux résultats du modèle ADS (ligne).

conversion directe est proposée avec l'objectif de réduire la consommation, qui est la contrainte majeure dans le contexte des réseaux des capteurs autonomes. Suite à une conception spécifique, des composants clés de cet émetteur-récepteur sont en fabrication dans une technologie CMOS 65 nm.

De plus, une nouvelle technique pour créer des modèles comportementaux des VCOs a été développée. Les résultats montrent qu'il est possible de réduire l'ordre des modèles à deux, si la vue boîte noire est suffisante. Grâce à ce modèle, il est possible de réduire d'une façon drastique le temps de calcul des simulations systèmes tout en conservant une excellente précision et une prise en compte du bruit de phase.

Références

- [1] The european telecommunications standards institute (ETSI), www.etsi.org.
- [2] B. Razavi. Design considerations for direct-conversion receivers. *IEEE Transactions on Circuits and Systems II : Analog and Digital Signal Processing*, 44(6) :428–435, June 1997.
- [3] A.A. Abidi. Direct-conversion radio transceivers for digital communications. *IEEE Journal of Solid-State Circuits*, 30(12) :1399–1410, Dec. 1995.
- [4] Behzad Razavi. A millimeter-wave CMOS heterodyne receiver with on-chip LO and divider. *IEEE Journal of Solid State Circuits*, 43(2) :477–485, February 2008.
- [5] D. Alldred, B. Cousins, and S.P. Voinigescu. A 1.2V, 60-GHz radio receiver with on-chip transformers and inductors in 90-nm CMOS. In *IEEE Compound Semiconductor Integrated Circuit Symposium*, pages 51–54, Nov. 2006.
- [6] Stephane Pinel, Saikat Sarkar, Padmanava Sen, et al. A 90nm CMOS 60GHz radio. In *Solid-State Circuits Conference*, pages 130–601, 3-7 Feb. 2008.
- [7] M. Devulder, N. Deparis, I. Telliez, et al. UWB transmitter in BiCMOS SiGe 0.13um technology for 60 GHz WLAN communication. In *IEEE International Conference on Ultra-Wideband, 2007.*, pages 432–435, 24-26 Sept. 2007.
- [8] M Kraemer, A Lecointre, D. Dragomirescu, and R. Plana. Architecture considerations for 60 GHz pulse transceiver front-ends. In *International Semiconductor Conference CAS, Romania, 2007*.
- [9] Terry Yao, M.Q. Gordon, K.K.W. Tang, et al. Algorithmic design of CMOS LNAs and PAs for 60-GHz radio. *IEEE Journal of Solid-State Circuits*, 42(5) :1044–1057, May 2007.
- [10] T.O. Dickson, M.-A. LaCroix, S. Boret, et al. 30-100-GHz inductors and transformers for millimeter-wave (Bi)CMOS integrated circuits. *IEEE Transactions on Microwave Theory and Techniques*, 53(1) :123–133, Jan. 2005.
- [11] J. Wood, D.E. Root, and N.B. Tuffillaro. A behavioral modeling approach to nonlinear model-order reduction for RF/microwave ICs and systems. *IEEE Transactions on Microwave Theory and Techniques*, 52(9) :2274–2284, September 2004.
- [12] Michael Kraemer, Daniela Dragomirescu, and Robert Plana. Nonlinear behavioral modeling of oscillators using artificial neural networks. In *IEEE Radio Frequency Integrated Circuits Symposium*, pages 689–692, June 2008.
- [13] Design Automation Standards Committee of the IEEE Computer Society. IEEE standard VHDL analog and mixed-signal extensions : IEEE std 1076.1-1999, 1999.
- [14] Simon Haykin. *Neural Networks - A Comprehensive Foundation*. Prentice-Hall, Inc., Upper Saddle River, New Jersey, 2nd edition, 1999.