HAL
open science

Diviseur de fréquence SiGe:C 0,25 μm, large bande et faible bruit, pour banc de mesure de bruit de phase intégré

Sylvain Godet, Éric Tournier, Olivier Llopis, Julien Juyon, Andreia Cathelin

To cite this version:

Sylvain Godet, Éric Tournier, Olivier Llopis, Julien Juyon, Andreia Cathelin. Diviseur de fréquence SiGe:C 0,25 μm, large bande et faible bruit, pour banc de mesure de bruit de phase intégré. 2009. hal-00391658

HAL Id: hal-00391658

https://hal.science/hal-00391658v1

Preprint submitted on 4 Jun 2009

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

16e Journées Nationales Microondes
27-28-29 Mai 2009 Grenoble

Diviseur de fréquence SiGe:C 0,25 µm, large bande et faible bruit, pour banc de mesure de bruit de phase intégré

S. Godet[1,2], É. Tournier[1,2], O. Llopis[1], J. Juyon[1,2] et A. Cathelin[3]

[1] *LAAS-CNRS, Université de Toulouse, 7, avenue du colonel Roche, 31077 Toulouse CEDEX 4*
[2] *Université de Toulouse, UPS*
[3] *STMicroelectronics, Crolles*

Résumé
La conception, la réalisation et la caractérisation d'un diviseur de fréquence par 2, large bande et faible bruit de phase est présentée. L'application ciblée est un banc de mesure de bruit de phase totalement intégré. Le diviseur de fréquence sert à fournir des signaux de référence en quadrature, sur la bande [1 kHz ; 5,5 GHz]. Ainsi, une erreur de quadrature inférieure à ± 1° a été mesurée sur toute la bande, avec un bruit de phase résiduel de seulement −164 dBc/Hz à 100 kHz de la porteuse de 3,5 GHz.

1. Introduction

Le diviseur de fréquence numérique est un bloc essentiel dans les circuits de télécommunications actuels, et particulièrement dans les boucles à verrouillage de phase [1]. Il sert non seulement à la division de fréquence, mais également comme générateur très précis de signaux en quadrature 0°, 90°, 180° et 270° [2]. En effet, dans cette technique active, outre la simplicité de mise en œuvre, la précision de la quadrature n'est liée qu'à la symétrie de la topologie et à son comportement équilibré. On arrive ainsi à un fonctionnement sur une large bande de fréquence et avec des erreurs de phase très faibles [3], au contraire des techniques basées sur un déphasage des signaux par des impédances dont la valeur change avec la fréquence : la quadrature ne peut alors se faire qu'en bande étroite, et tout écart avec la fréquence de travail se traduit par une baisse significative des performances [4].

Dans une application où un faible bruit de phase est demandé, notamment parce que cette application est justement la caractérisation d'un composant ou d'une fonction en bruit de phase, il faut s'arranger pour que la contribution de ce diviseur ne vienne pas perturber la mesure. Il convient d'optimiser la structure afin d'obtenir les performances souhaitées.

2. Cadre de l'étude

Le diviseur de fréquence présenté ici est le premier élément d'un banc de bruit de phase totalement intégré, reconfigurable, destiné à effectuer des mesures *in situ* de résonateurs et d'oscillateurs fixes ou contrôlés. La figure 1 montre l'exemple d'une configuration de ce banc destinée à mesurer le bruit de phase résiduel d'un résonateur.

Dans le principe, le signal de la source se divise sur deux voies, la première avec le résonateur à mesurer qui y impose ses fluctuations de phase, et la deuxième servant de référence. Le déphaseur permet ensuite de régler avec exactitude la quadrature pour l'attaque du mélangeur. Ce dernier transpose alors le spectre du bruit de phase vers la bande de base. Finalement, une amplification de ce bruit basse fréquence image permet d'attaquer un analyseur de spectre avec une puissance suffisante. Dans cette structure, le diviseur remplace avantageusement le diviseur de puissance, puisqu'il génère quatre signaux en quadrature dont deux sont utilisés, et rend caduque le déphaseur puisque la quadrature est assurée dès sa sortie. Dans une première version, le résonateur à mesurer est de type BAW SMR avec une fréquence de résonance de 1,75 GHz qui constitue donc notre cahier des charges en fréquence pour l'optimisation : la fréquence de travail du diviseur par 2 est ainsi de 3,5 GHz.

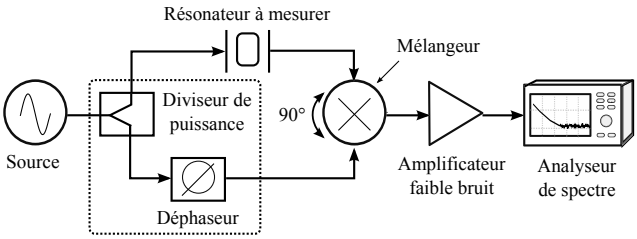

Figure 1 - banc de mesure de bruit de phase intégré

3. Architecture du diviseur de fréquence

Une attention toute particulière doit être apportée à la technologie utilisée, à la topologie ainsi qu'au choix et au dimensionnement des composants du diviseur, afin d'en minimiser la contribution en bruit pour ne pas perturber celui à mesurer. Considérant qu'à aire égale les transistors bipolaires sont moins bruyants que leur homologues MOS, une technologie BiCMOS SiGe a été choisie : la technologie BiCMOS7RF SiGe :C 0,25 µm de ST Microelectronics.

La structure du diviseur par deux est basée classiquement sur une bascule sensible sur front bouclée sur elle-même. Cette bascule sensible sur front est réalisée à partir de deux bascules sensibles sur niveaux complémentaires,

dont le montage en série crée la sensibilité sur un front (figure 2).

La configuration basique de la bascule sensible sur niveau est constituée de deux étages différentiels (figure 3(a)) : un pour la lecture de l'entrée (Q_1, Q_2), et un pour la mémorisation par réaction positive de la sortie sur l'entrée (Q_3, Q_4). L'activation de ces étages différentiels s'effectuent par leur source de courant (Q_5 et Q_6 respectivement) et de manière mutuellement exclusive car commandées par des niveaux complémentaires de l'horloge. Il s'agit de sources de courant contrôlées en tension (VCCS).

Pour diminuer le bruit du diviseur, après avoir identifié qu'une contribution majeure au bruit global provenait du bruit en tension associé à la forte résistance de sortie des sources de courant Q_5 et Q_6, nous avons fait le choix de basculer sur des sources de tension contrôlées en tension (VCVS), donc à faible résistance de sortie, tout en leur gardant une fonction de polarisation des étages différentiels (figure 3(b)). Le taux de réjection de mode commum est alors dégradé, mais il n'est pas ici un critère d'importance dans la mesure où le mode commun est naturellement éliminé par la nature équilibrée de la topologie et du fonctionnement. On ne cherche pas non plus à avoir un gain différentiel important, puisque l'excursion de signaux de sortie est comparable à celle des signaux d'entrée (niveaux logiques homogènes) : on ne cherche qu'un gain proche de 1.

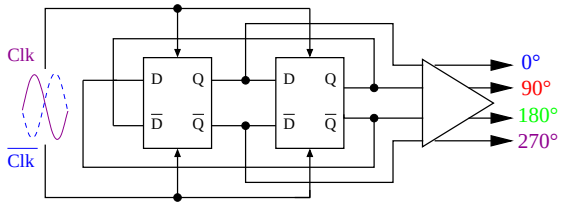

Figure 2 - Réalisation d'une bascule sensible sur front

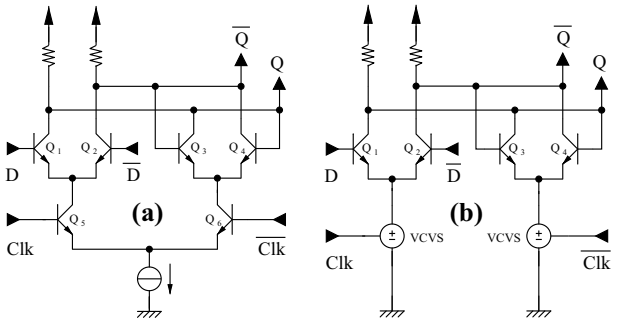

Figure 3 - Versions basique (a) et optimisée (b)

Les sources contrôlées VCVS sont implémentées par de simples collecteurs communs comme montré sur la figure 4.

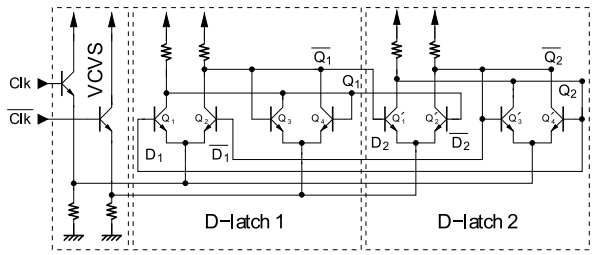

Figure 4 : Implémentation pratique de 3(b)

4. Dessin de masques

Dans un circuit micro-onde faible bruit, une attention toute particulière doit être accordée au dessin de masques. Ainsi, le fonctionnement haute fréquence sera, entre autre, assuré par la parfaite symétrie de la topologie du circuit et de son fonctionnement équilibré, qui doivent se retrouver dans la géométrie du dessin de masques (figure 5). Un compromis apparaît entre la montée en fréquence et le niveau de bruit du diviseur : ne souhaitant travailler que sur une gamme de fréquence de quelques gigahertz, nous avons ici clairement privilégié la minimisation du niveau de bruit en polarisant fortement les transistors bipolaires des paires différentielles, et donc en augmentant leur aire avec une structure multi-doigts. Notons qu'augmenter ce courant de polarisation, et donc la consommation du circuit, n'est pas un problème étant donné que l'application finale de mesure intégrée n'est utilisée que de façon discontinue et sur une courte durée de mesure. Par contre, l'augmentation du courant de polarisation peut causer des gradients de température au sein de la puce auxquels il convient de faire attention [5, 6].

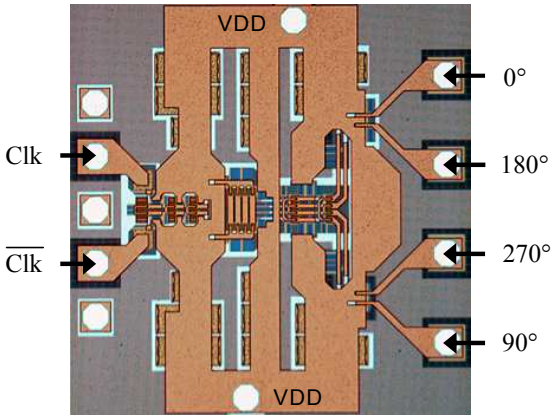

Figure 5 - Photographie du diviseur 1150×1150 µm²

5. Simulations et mesures

Ce diviseur de fréquence a été mesuré sur une large gamme de fréquence [1 kHz; 5,5 GHz], sous une alimentation de 2,5 V et une consommation de 53 mW.

Une quadrature avec une erreur inférieure à ±1° sur toute la bande est obtenue (figure 6).

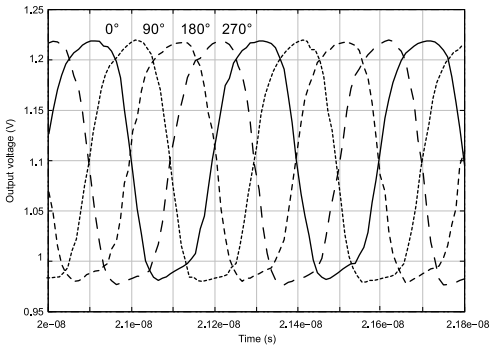

Figure 6 - Mesure de la quadrature en sortie

De plus, les performances en bruit de phase sont de −164 dBc/Hz et montrent une amélioration de 15 dB par rapport à la structure classique (figure 7). Ce niveau de

bruit dépend de la fréquence d'entrée ainsi que le montre la simulation de la figure 8. Il dépend également de la surface d'émetteur ainsi que le montre la figure 9. D'après cette simulation, nous avons choisi une surface d'émetteur de 12 µm, au delà de laquelle la diminution du niveau de bruit se fait moins importante pour une augmentation d'aire donnée.

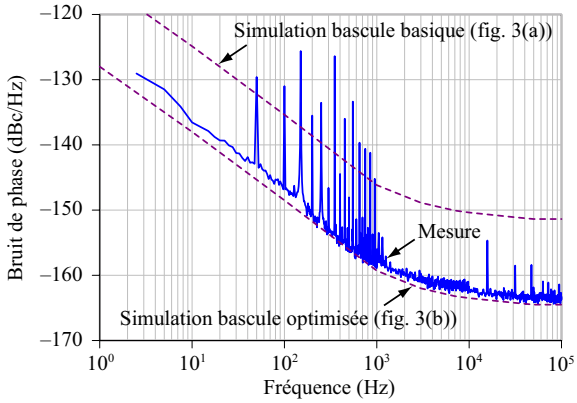

Figure 7 - Simulations et mesure du bruit de phase résiduel

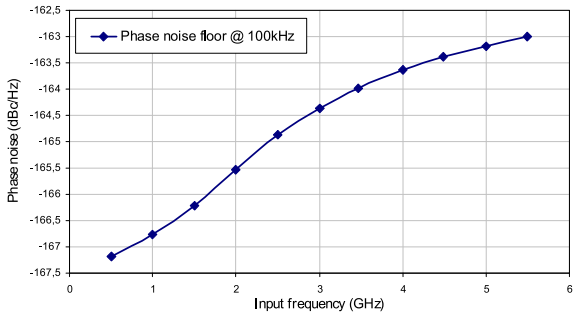

Figure 8 - Simulation du bruit de phase en fonction de la fréquence

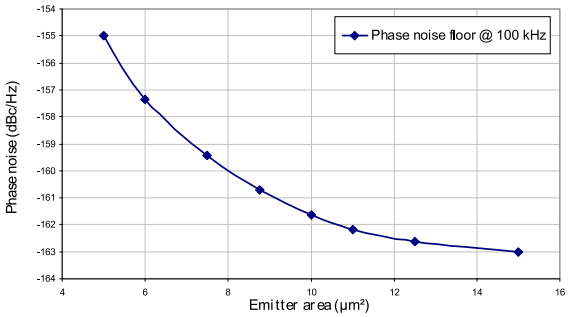

Figure 9 - Simulation du bruit de phase en fonction de l'aire d'émetteur

Le tableau 1 donne une comparaison par rapport à quelques autres réalisations de la littérature scientifique. Rappelons à nouveau que le critère consommation est ici minimisé étant donné la nature ponctuelle d'utilisation du banc de mesure.

6. Conclusion et perspectives

Dans ce papier, un diviseur de fréquence numérique a été conçu et optimisé, notamment en terme de bruit de phase résiduel. Ses performances sont de $-164\,\mathrm{dBc/Hz}$ @ 100 kHz de la fréquence de travail de $3,5$ GHz de l'application visée, et une gamme de fréquence de fonctionnement de $[1\,\mathrm{kHz}; 5,5\,\mathrm{GHz}]$. Il entre actuellement dans la conception d'un banc de mesure de bruit de phase totalement intégré dont la finalisation devrait se faire d'ici quelques mois.

Remerciements

Ce travail a été réalisé dans le cadre du projet européen MOBILIS. Nous adressons nos remerciements à l'ensemble des partenaires du projet.

Tableau 1 - Comparaison avec la littérature

Référence	Technologie	Fréquence	Bruit de phase	Dissipation
[7]	BiCMOS 0,25um	10 GHz	$-115\,\mathrm{dBc/Hz}$ @ 1 MHz	$16,25$ mW
[8]	BiCMOS 65nm	$11,8$ GHz	$-157,7\,\mathrm{dBc/Hz}$ @ 20 MHz (simulé)	$14,5$ mW
[9]	BiCMOS 0,25um	5 GHz	$-112\,\mathrm{dBc/Hz}$ @ 1 MHz	142 mW
Ce travail	BiCMOS 0,25um	$[1\,\mathrm{kHz}; 5,5\,\mathrm{GHz}]$	$-164\,\mathrm{dBc/Hz}$ @ 100 kHz	53 mW

Références

[1] A. Bonfanti, A. Tedesco, C. Samori, and A. L. Lacaita, « A 15-GHz broad-band & frequency divider in 0.13-& CMOS for quadrature generation », *IEEE Microwave and Wireless Components Letters*, vol. 15, pp. 724–726, Nov. 2005.

[2] Y.-H. Chun, J.-R. Lee, S.-W. Yun, and J.-K. Rhee, « Design of an RF low-noise bandpass filter using active capacitance circuit », *IEEE Transactions on Microwave Theory and Techniques*, vol. 53, pp. 687–695, Feb. 2005.

[3] R. Mohanavelu and P. Heydari, « A novel ultra high-speed flip-flop-based frequency divider », in *Proc. International Symposium on Circuits and Systems ISCAS '04*, vol. 4, pp. IV–169–72, 23–26 May 2004.

[4] S. Verma, H. R. Rategh, and T. H. Lee, « A unified model for injection-locked frequency dividers », *IEEE Journal of Solid-State Circuits*, vol. 38, pp. 1015–1027, June 2003.

[5] P. Gray and D. Hamilton, « Analysis of electrothermal integrated circuits », in *Proc. Solid-State Circuits Conference. Digest of Technical Papers. 1970 IEEE International*, pp. 160–161, Volume XIII,&eb 1970.

[6] T. Sato, J. Ichimiya, N. Ono, K. Hachiya, and M. Hashimoto, « On-chip thermal gradient analysis and temperature flattening for SoC design », in *Proc. Asia and South Pacific Design Automation Conference the ASP-DAC 2005*, vol. 2, pp. 1074–1077, 18–21 Jan. 2005.

[7] F. Herzel, W. Winkler, and J. Borngraber, « An integrated 10 GHz quadrature LC-VCO in SiGe :C BiCMOS - technology for low-jitter applications », in *Proc. Custom Integrated Circuits Conference the IEEE 2003*, pp. 293–296, 21–24 Sept. 2003.

RÉFÉRENCES

[8] R. Prakash, S. Akhtar, and P. T. Balsara, « Phase Noise Reduction in High Speed Frequency Divider », in *Proc. IEEE Dallas/CAS Workshop on Design, Applications, Integration and Software*, pp. 83–86, Oct. 2006.

[9] K. Schmalz, F. Herzel, and M. Piz, « An Integrated 5 GHz Wideband Quadrature Modem in SiGe :C BiCMOS Technology », in *Proc. 36th European Microwave Conference*, pp. 1656–1659, 10–15 Sept. 2006.