



**HAL**  
open science

## Qualification et génération de vecteurs pour la validation et le test de production de systèmes analogiques, mixtes et RF

Yves Joannon, Vincent Beroulle, Chantal Robach, Smail Tedjini, Jean-Louis Carbonero

► **To cite this version:**

Yves Joannon, Vincent Beroulle, Chantal Robach, Smail Tedjini, Jean-Louis Carbonero. Qualification et génération de vecteurs pour la validation et le test de production de systèmes analogiques, mixtes et RF. GdR SoC-SiP, 2006, "Paris, France. pp.1. hal-00250407

**HAL Id: hal-00250407**

**<https://hal.science/hal-00250407>**

Submitted on 12 Feb 2008

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# Qualification et génération de vecteurs pour la validation et le test de production de systèmes analogiques, mixtes et RF

Yves JOANNON<sup>1,2</sup>, Vincent BEROULLE<sup>1</sup>, Chantal ROBACH<sup>1</sup>, Smaïl TEDJINI<sup>1</sup>, Jean-Louis CARBONERO<sup>2</sup>  
<sup>1</sup>LCIS-ESISAR (INPG), Valence, <sup>2</sup>ST MICROELECTRONICS, Crolles  
<sup>1</sup>firstname.name@esisar.inpg.fr, <sup>2</sup>firstname.name@st.com

## Résumé

L'augmentation de la complexité des systèmes sur puce mixtes et RF (SoC AMS&RF) rend difficile leur test. En effet, les défauts pouvant apparaître lors de la conception et la fabrication de ces circuits sont de plus en plus difficilement observables et contrôlables. Plusieurs méthodes de test ont déjà été développées pour les composants RF élémentaires mais ces méthodes conduisent à des temps de simulation rédhibitoires pour la génération des tests de SoC AMS&RF. Ainsi, nous proposons une méthode pour la qualification et la génération de vecteurs de test basée sur l'injection et la simulation de fautes au niveau comportemental. Cette approche est validée sur un IC, développé par ST Microelectronics, réalisant le front-end RF d'un système d'émission-réception WCDMA.

## 1 Introduction

Le développement de nouvelles méthodes de conception et de fabrication a permis la réalisation de systèmes intégrés multi-domaines analogique mixtes et RF (SoC AMS&RF). L'intégration de ces systèmes a entraîné la diminution des coûts de fabrication mais a aussi engendré l'augmentation des difficultés du test de production. Le coût du test prend alors une part importante dans le coût final du produit. Le test est ainsi devenu une phase critique de la production des SoC AMS&RF. Nous proposons une méthode permettant de qualifier puis de générer automatiquement des vecteurs de test pour ces systèmes complexes.

## 2 Qualification et génération de vecteurs

La méthode développée est basée sur l'injection et sur la simulation de fautes. Plusieurs travaux de test pour les circuits analogiques ont été réalisés en utilisant des modèles de bas niveau [1, 2]. Le principal inconvénient de ces approches est l'utilisation de modèles au niveau transistor qui peuvent engendrer des temps de simulation importants voir même entraîner l'impossibilité de simuler les systèmes complexes dans leur totalité. Dans notre approche, un modèle de plus haut niveau est utilisé afin de pallier ce désavantage. En effet, nous proposons de réutiliser le modèle comportemental préalablement

développé lors de la phase de conception descendante du système.

### a. Modélisation comportementale des SoC AMS&RF

Le circuit intégré (IC) utilisé pour valider notre méthode est un émetteur-récepteur RF WCDMA (Wideband Code Divided Multiple Acces). Ce système analogique, mixte et RF a été entièrement modélisé en VHDL-AMS. Le VHDL-AMS est un langage normalisé pour la description de système matériel qui a été développé afin de modéliser les circuits analogiques et mixtes à des niveaux d'abstraction élevés. Notre méthode étant basée sur l'injection de fautes, le niveau de modélisation est un critère important. En effet, le niveau de précision de la description originale du système a une influence directe sur le modèle de faute utilisé. Ainsi, plus cette description sera détaillée plus le modèle de faute sera réaliste mais plus les temps de simulations seront importants.

Utilisé lors de la conception Top-Down du SoC WCDMA, les modèles comportementaux de chaque sous-bloc sont composés à la fois de paramètres fonctionnels (gains, fréquences de coupure...) et de paramètres électriques (impédances d'entrée et de sortie, intermodulation, couplages parasites...). La figure 1 présente sous une forme schématique l'ensemble des paramètres utilisés lors de la modélisation comportementale du sous-bloc « amplificateur faible bruit » (LNA pour Low Noise Amplifier).

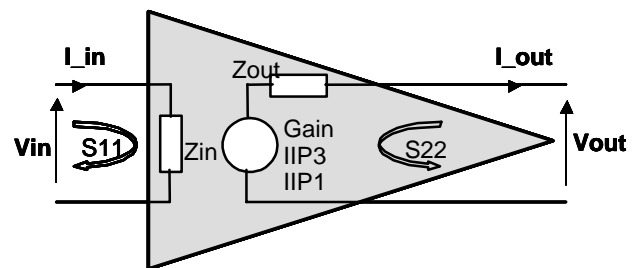


Fig. 1: Modèle comportemental du LNA

Il est important de noter que la modélisation comportementale, de part l'utilisation des paramètres électriques, décrit plus finement le système qu'une modélisation fonctionnelle. Ces paramètres électriques sont ceux qui sont précisés lors de la spécification de chaque bloc du circuit lors de la définition des plans de modélisation et de vérification [3]. C'est ce niveau de modélisation que nous proposons d'utiliser.

### b. Qualification des vecteurs de test

Le principe utilisé pour la génération des vecteurs consiste à comparer les réponses des modèles fautifs avec celles du modèle sain. Ce principe est illustré sur la figure 2. L'ensemble des modèles sains est défini comme l'ensemble des modèles dont tous les paramètres sont situés à l'intérieur de leurs spécifications. Pour la création des modèles fautifs, nous choisissons de ne considérer que les variations d'un seul des paramètres de la description originale. Ainsi, une description fautive (ou *mutant*) est une description dans laquelle un seul paramètre est situé à l'extérieure de ses spécifications. Les jeux de test que l'on désire qualifier (i.e. mesurer la qualité) sont appliqués aux différents mutants, ceux-ci sont alors simulés avec l'environnement de simulation *ADMS RF de Mentor Graphics*. Lorsque les résultats de simulation d'un mutant se trouvent à l'extérieure des résultats de simulation atteignables par les modèles sains, cela signifie que la faute a été détectée. Ce vecteur de test est alors retenu pour le test de production.

### c. Résultats expérimentaux

Cette approche pour optimiser la couverture des mutants des vecteurs peut être couplée à une ou plusieurs techniques de génération manuelle ou automatique. Les premières expériences réalisées consistent à montrer la pertinence de cette approche pour le test de production. Bien sûr la pertinence de celle-ci pour la validation de conception n'est pas à démontrer puisque le modèle de fautes utilisé correspond directement à des défauts de conception réalistes. Il s'agit par contre de montrer que les vecteurs retenus sur la base de modèles de fautes

comportementaux (donc éloignés des défauts physiques) permettent tout de même la détection d'un grand nombre de fautes injectées au niveau transistor dans les systèmes complexes. Dans ce but, cette approche d'optimisation a été appliquée sur la partie réception du système WCDMA. Une liste de vecteurs de test générée manuellement lors de la phase de caractérisation de cette partie réception est tout d'abord optimisée. Ensuite, la couverture de fautes au niveau transistor de ce sous-ensemble optimisé est comparée à la couverture de fautes de l'ensemble initial. Les résultats de simulation obtenus sur l'exemple traité montrent que le modèle de fautes utilisé au niveau comportemental permet d'estimer avec un bon niveau de précision la couverture de faute au niveau transistor [4]. En particulier, les phénomènes de masquage des fautes au niveau transistor pouvant apparaître à cause des corrélations entre paramètres comportementaux restent rares.

## 3 Conclusion

Le travail réalisé a permis de développer un outil pour la qualification et l'optimisation de vecteurs de test, pour la validation de conception et le test de production pour les systèmes intégrés AMS&RF. Cet outil réutilise le modèle comportemental du système développé lors de sa conception descendante. De ce fait, les temps de développement des modèles et les temps de simulation sont réalistes. Finalement, la métrique proposée basée sur la détection des modèles fautifs permet à la fois de qualifier et d'optimiser les jeux de test.

## References

- [1] K. SAAB, N. BEN-HAMIDA, B. KAMINSKA, "Parametric fault simulation and test vector generation", DATE 00, pp. 650, 2000.
- [2] F. LIU, S. OZEV, "Fast hierarchical process variability analysis and parametric test development for analog/RF circuits", International Conference on Computer Design, pp. 161-170, 2005.
- [3] K. S. Kundert, O. Zinke, "The Designer's guide to Verilog AMS", CADENCE, pp 13-33, June 2004.
- [4] Y. Joannon, V. Berouille, C. Robach, S. Tedjini, J.L. Carbonero, "Using of behavioural level AMS&RF simulation for validation test set optimization", 6th Workshop on Test of Wireless Circuits and Systems, USA, may 2007,

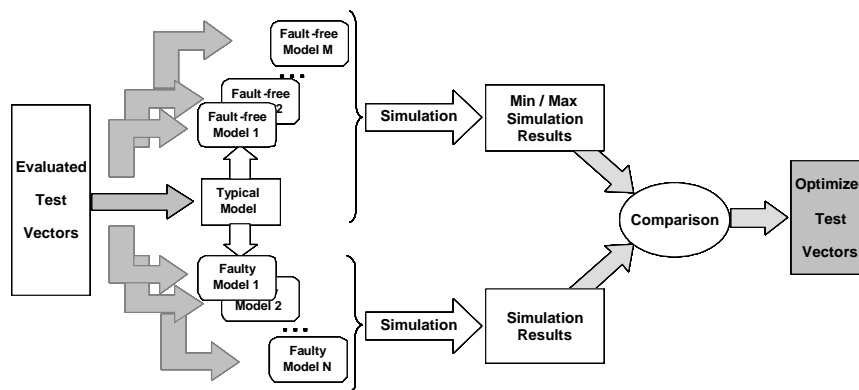


Fig. 2: Qualification et optimisation des vecteurs de test